

УДК 539.1.074:53.087.92

ПРИНЦИПЫ ОРГАНИЗАЦИИ СРЕДНЕГО УРОВНЯ (MIDDLE LEVEL) В СИСТЕМЕ УПРАВЛЕНИЯ ДЕТЕКТОРАМИ SPD ПРОЕКТА NICA И ОСОБЕННОСТИ РЕАЛИЗАЦИИ ФУНКЦИЙ ДИСПЕТЧЕРСКОГО УПРАВЛЕНИЯ

Ю. В. Крышнев¹, Е. С. Кокоулина², А. В. Сахарук¹, А. Е. Запольский¹

¹Учреждение образования «Гомельский государственный технический университет имени П. О. Сухого», Республика Беларусь

²Объединенный институт ядерных исследований, г. Дубна, Российская Федерация

Рассмотрены основы принципов управления средним уровнем (Middle Level) системы управления детектором SPD проекта NICA, который создается Объединенным институтом ядерных исследований, а также возможности реализации функций диспетчерского контроля.

Ключевые слова: система управления детектором, диспетчерский контроль, дистанционное управление, FPGA, Altera Cyclone 5, протокол обмена, SCADA, WinCC OA, CANopen, Modbus, SPD, NICA.

DESIGN PRINCIPLES OF THE MIDDLE LEVEL IN THE NICA PROJECT SPD DETECTOR CONTROL SYSTEM AND FEATURES OF THE IMPLEMENTATION OF DISPATCH CONTROL FUNCTIONS

Y. V. Kryshneu¹, E. S. Kokoulina², A. U. Sakharuk¹, A. Y. Zapolski¹

¹Sukhoi State Technical University of Gomel, the Republic of Belarus

²Joint Institute for Nuclear Research, Dubna, Russian Federation

The paper considers the fundamentals of the Middle Level management principles of the NICA SPD detector control system, which is created by the Joint Institute for Nuclear Research, as well as the possibilities of implementing dispatch control functions.

Keywords: detector control system, dispatch control, remote control, FPGA, Altera Cyclone 5, exchange protocol, SCADA, WinCC OA, CANopen, Modbus, SPD, NICA.

Основной целью данной работы является разработка элементов аппаратно-программного комплекса на основе программируемой логической интегральной схемы (ПЛИС) FPGA Altera Cyclone 5 для системы управления детектором SPD. Решение данной задачи позволит организовать управление как основными режимами работы частей детектора, так и детектором в целом, обеспечит непрерывный контроль медленно изменяющихся параметров детектора и технических средств, обеспечивающих его работу.

Главной задачей детектора SPD (Spin Physics Detector) является возможность всестороннего изучения спиновой структуры нуклона, что позволит сформировать понимание структуры и фундаментальных свойств нуклона непосредственно из динамики его кварков и глюонов [1].

Синхронизация системы управления детектором (СУД) с основными режимами работы ускорительного комплекса NICA осуществляется посредством подсистемы синхронизации, общей для СУД и системы сбора данных SPD DAQ.

Система управления детектором предназначена для обеспечения автономной работы подсистем детектора на этапе первоначального запуска, поддержания режимов его работы, а также выполнения необходимых операций при обслуживании, калибровке и плановой модернизации детектора. Основными целями и задачами данной системы являются управление и мониторинг, анализ полученных данных, управление системой безопасности [1–3].

Функции управления и мониторинга заключаются в контроле всех подсистем (питание, термостабилизация, криогенные системы, газовые системы); синхронизация с ускорительным комплексом NICA, автоматизация операций (запуск, обслуживание, калибровка).

Функция анализа данных заключается в архивировании параметров для анализа нештатных ситуаций и хранении конфигураций параметров для различных режимов работы.

Функция управления системой безопасности заключается в реакции на аварийные события и автоматическом отключении детектора для предотвращения повреждений.

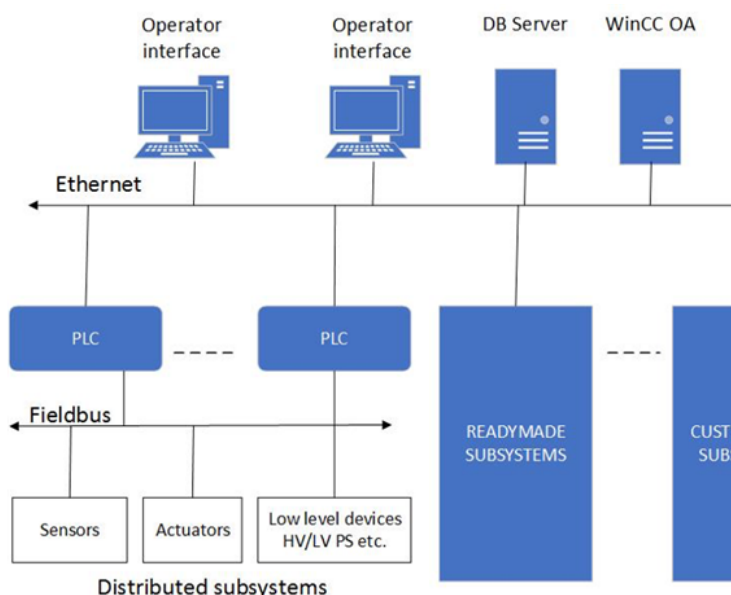


Рис. 1. Трехуровневая структура СУД

Система управления детектором разделена на три уровня (нижний, средний, верхний), каждый из которых выполняет свои определенные задачи (рис. 1).

Средний уровень (Middle Level) состоит из программируемых логических элементов, а также готовых и заказных подсистем (например, вакуумные и газовые системы). Данный уровень обеспечивает сбор данных с компонентов нижнего уровня (DAQ), управление компонентами нижнего уровня (**Low Level**), передачу обработанных данных в систему верхнего уровня (**High Level**) [1]. Для организации обмена данными с верхним уровнем можно использовать протокол Ethernet. Особенность данного уровня заключается в том, что он включает модули для реализации интерфейсов и управления локальными подсистемами.

К **Middle Level** относятся устройства управления и сбора данных, которые собирают измерительную информацию, передают ее на центральный сервер верхнего

уровня, а также формируют управляющие воздействия для исполнительных устройств нижнего уровня. Также к среднему уровню относятся схемы нормализации и обработки сигналов (преобразователи). Схемы сопряжения необходимы для согласования значений уровней или преобразования сигналов для согласования с входами системы управления и сбора данных. В качестве такой системы можно использовать ПЛИС (сокр. англ. – FPGA), например, Altera Cyclone 5 (рис. 2). Для работы с датчиками используется 8-канальный аналого-цифровой преобразователь (АЦП), для формирования аналоговых управляющих сигналов – 24-битный цифроаналоговый преобразователь (ЦАП), для формирования дискретных управляющих сигналов – цифровые порты вывода, для цифровой обработки измеряемых сигналов в реальном времени и передачи их в операционную систему (ОС) – ядро FPGA.

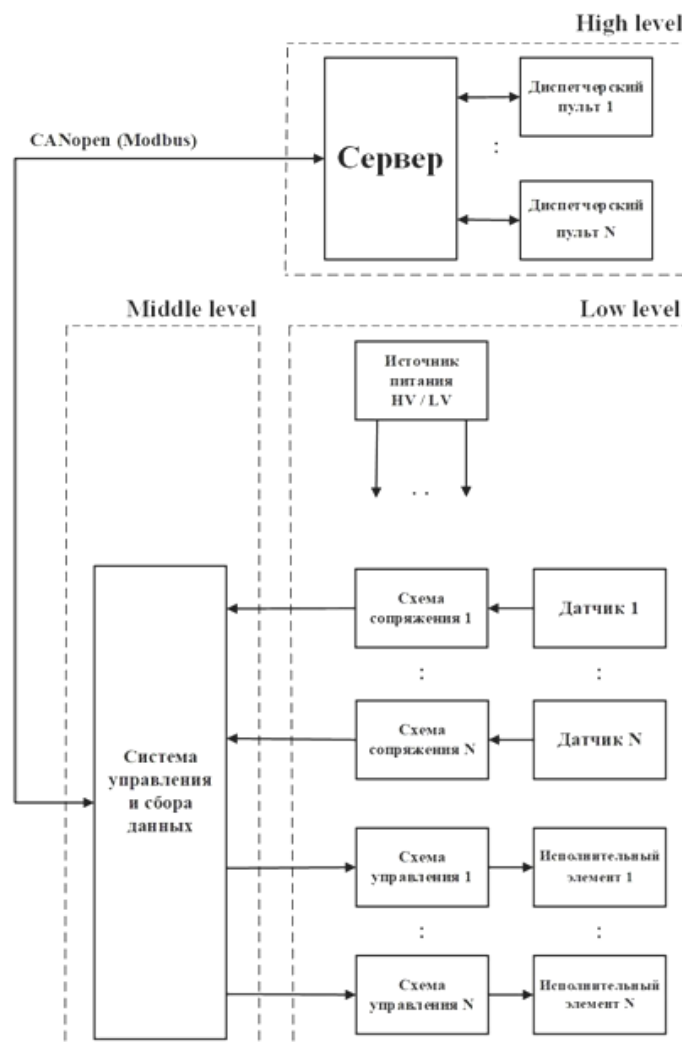


Рис. 2. Предлагаемая структурная схема СУД

Структурирование информации и осуществление коммуникации с сервером через сетевой интерфейс возможны через специальные модули на основе ОС. FPGA Cyclone 5 имеет в своем составе ядро процессора на основе архитектуры ARM. Это позволяет запускать полноценную операционную систему на базе ядра Linux, реализовать графический интерфейс для локального управления и отображения информа-

ции [4]. Процессорные ядра FPGA основаны на архитектуре ARM Cortex-A9 Dual Core, который представляет собой двухъядерный процессор с поддержкой многопоточности.

В рамках предлагаемого проектного решения предполагается использование отладочной платы Terasic модели DE1-SoC-MTL2 на базе устройства FPGA Cyclone 5. Устройство содержит 85000 логических элементов, включает в себя HPS (Hard Processor System) – интегрированную систему на кристалле (SoC), и непосредственно FPGA. В HPS входит процессорное ядро, контроллер памяти, интерфейсы ввода-вывода, шина связи с FPGA. Интерфейс памяти включает в себя 1 GB DDR3 (для HPS), 64 MB SDRAM, имеется поддержка карт памяти стандарта MicroSD (для HPS). Для хранения конфигурационных данных FPGA отвечает микросхема Flash-памяти EPCQ256, которая имеет емкость 32 MB, поддерживает последовательный интерфейс передачи SPI и имеет стандартное напряжение питания 3,3 В. Интерфейсы коммуникации состоят из 1GbE Port (HPS), 2 портов USB 2.0 Host Port (HPS), UART to USB (HPS), PS/2, IR TX / RX.

Мультимедийные интерфейсы включают сенсорный жидкокристаллический дисплей диагональю 7 дюймов с поддержкой технологии Multi-Touch, а также ТВ-декодер и поддержку видекодека 24-bit Codec. Наличие дисплея упрощает процесс отработки и отладки системы. Порты расширения представлены двумя коннекторами формата 40-Pin GPIO, 10-выводным АЦП Input Header, коннектором LTC. Пользовательские порты ввода/вывода представлены наличием 10+1 светодиодов (HPS), 4+1 кнопок без фиксации (HPS), 10-ю переключателями и 6-ю семисегментными индикаторами.

Для тестирования, отладки, мониторинга и программирования имеется поддержка интерфейса JTAG (Joint Test Action Group), что значительно упрощает разработку и тестирование электронных систем. Кроме того, для отладки и программирования имеется возможность использовать USB Blaster II – фирменный программатор и отладчик, подключаемый к компьютеру через USB-порт. Для работы с устройством применяется интегрированная среда разработки Quartus Prime [4].

Ввод измерительной информации и управление исполнительными элементами целесообразно осуществить на основе средств современной аналоговой и цифровой электроники, а также общей системы управления на основе FPGA Altera Cyclone 5. Использование данной платформы позволяет рассчитывать в перспективе также и на реализацию части функций диспетчерского контроля системы.

Литература

1. Technical Design Report of the Spin Physics Detector (For the SPD collaboration) / JOINT INSTITUTE FOR NUCLEAR RESEARCH. – February 6, 2024. – Version 2.00. – 349 p.
2. V. M. Abazov, V. Abramov, L. G. Afanasyev [et al.]. Conceptual design of the Spin Physics Detector. 1 2021, 2102.00442.
3. Gavrischuk, O. P. Electromagnetic calorimeter for the SPD experiment / O. P. Gavrischuk, A. I. Maltsev, V. V. Tereshenko. // Physics of Particles and Nuclei. – – 2021. – Vol. 52 (975)
4. Terasic DE1-SoC Board – URL: <https://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=165&No=836&PartNo=2#contents> (date of access: 08.09.2024).