

**СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА**

Г 88

P3-88-313

**Т.Грос, Д.Калавски, Д.Рубин, А.Б.Тулаев,
А.В.Туманов**

**МНОГОФУНКЦИОНАЛЬНЫЙ ИНТЕРФЕЙС
"МУЛЬТИ" ПЕРСОНАЛЬНЫХ КОМПЬЮТЕРОВ
ТИПА IBM XT И AT**

1988

ВВЕДЕНИЕ

Персональные компьютеры (ПК) IBM XT^{11/} и AT^{12/} и совместимые с ними ПК, например "Правец-16"^{13/}, "Datamini 286"^{14/} и т.д., в настоящее время являются в своей категории самыми распространенными в мире и очень широко применяются в различных областях. Используя подходящий интерфейс, их успешно можно применять и для автоматизации физических экспериментов. Существуют два основных способа для подключения экспериментальной аппаратуры к ПК: стандартные^{15,6,7/} и специальные интерфейсы^{18,9/}. Многофункциональный интерфейс МУЛЬТИ, разработанный в ЛНФ ОИЯИ, относится ко второй группе. Основной задачей интерфейса МУЛЬТИ является обеспечение быстродействующей двусторонней передачи данных между ПК (типа XT или AT) и внешним устройством (ВУ) по каналу расширения (I/O channel) компьютера. Стандартной электроникой интерфейса является регистр ввода-вывода. Кроме того, плата интерфейса содержит еще так называемую "макетную область". При необходимости, для расширения возможностей интерфейса, в макетной области можно создать подсистему для решения специальной задачи пользователя. Эта подсистема может использовать все ресурсы основной электроники интерфейса.

ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

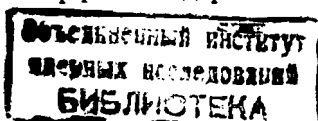
Режимы работы:

- режим двусторонней передачи данных по программному каналу (ППК);
- режим передачи данных от ВУ в ПК по каналу прямого доступа памяти (ПКПД);
- режим самотестирования (ТЕСТ).

Длина слова данных содержит 1, 2, 3 или 4 байта (устанавливается программно).

Максимальная скорость передачи данных в режиме работы ПКПД не менее 850 кбайт/с.

Основная электроника интерфейса содержит 34 ИС.



ПОСТРОЕНИЕ ИНТЕРФЕЙСА

Интерфейс МУЛЬТИ, расположенный на одной плате, которая вставляется в свободный разъем канала расширения ПК (блок-схема на рис.1), включает в себя следующие узлы:

- буферы линий шины ПК, в том числе приемники линий ADDRESS (0 ÷ 9), IOR, IOW и AEN и двунаправленный буфер линии данных DATA (0 ÷ 7);
- селектор адреса и дешифратор команд управления;
- регистр управления;
- регистр статуса;
- 32-разрядный входной регистр и мультиплексор 32:8;
- 32-разрядный выходной регистр и демultipлексор 8:32;
- 32-разрядный двунаправленный буфер линий данных, предназначенный для передачи информации из/в ВУ;
- логика прерывания;
- логика канала прямого доступа в память;

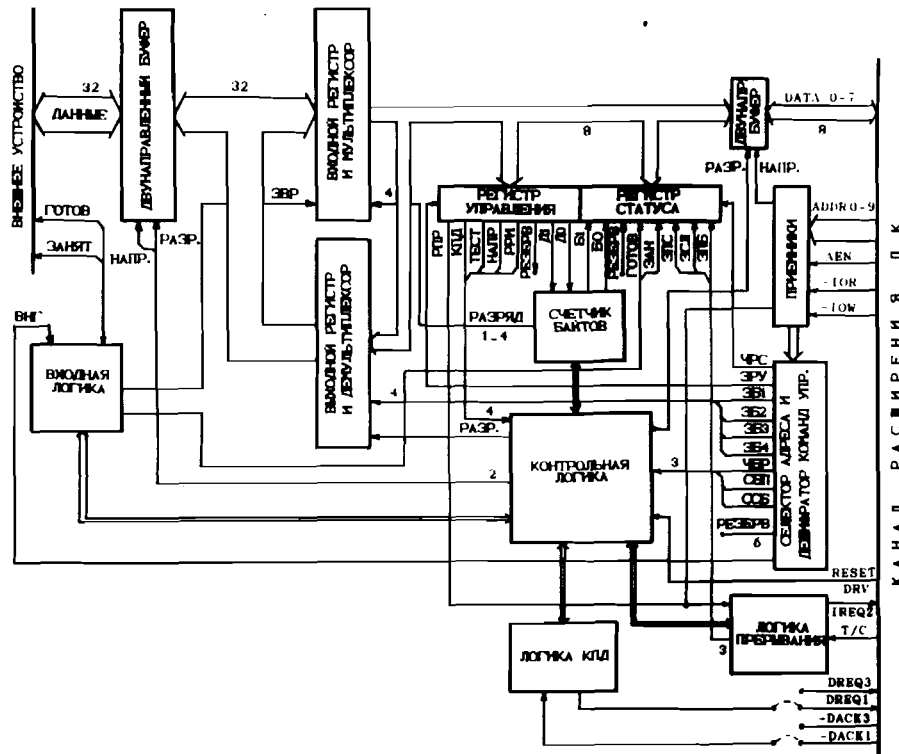


Рис.1. Блок-схема интерфейса МУЛЬТИ.

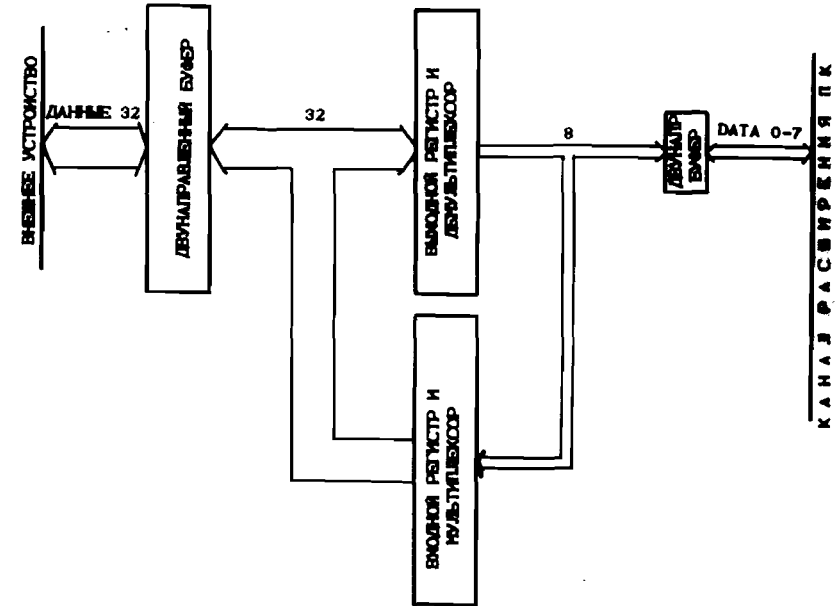


Рис.2. Блок-схема потока данных через интерфейс.

- входная логика;
- счетчик байтов;
- контрольная логика.

На рис.2 показана часть блок-схемы рис.1, представляющая поток данных через интерфейс МУЛЬТИ.

Интерфейс дешифрирует и выполняет 16 команд управления, имеющих последовательные адреса порта. С помощью переключки на плате можно выбрать либо адреса 300 ÷ 30F, либо 310 ÷ 31F и таким образом одновременно работать с двумя интерфейсами МУЛЬТИ. Из них адреса 3XA ÷ 3XF являются резервом для специальной электроники пользователя, а адреса 3X0 ÷ 3X9 используются для управления системой регистра ввода-вывода. Ниже указанные адреса используются для следующих команд:

- 3X0 — чтение одного байта из входного регистра (ЧБР);
- 3X1 — чтение регистра статуса (ЧРС);
- 3X2 — запись первого (младшего) байта в выходной регистр (ЗБ1);
- 3X3 — запись второго байта в выходной регистр (ЗБ2);
- 3X4 — запись третьего байта в выходной регистр (ЗБ3);
- 3X5 — запись четвертого байта в выходной регистр (ЗБ4);
- 3X6 — запись в регистр управления (ЗРУ);

ПОСТРОЕНИЕ ИНТЕРФЕЙСА

Интерфейс МУЛЬТИ, расположенный на одной плате, которая вставляется в свободный разъем канала расширения ПК (блок-схема на рис.1), включает в себя следующие узлы:

- буферы линий шины ПК, в том числе приемники линий ADDRESS (0 ÷ 9), IOR, IOW и AEN и двунаправленный буфер линии данных DATA (0 ÷ 7);
- селектор адреса и дешифратор команд управления;
- регистр управления;
- регистр статуса;
- 32-разрядный входной регистр и мультиплексор 32:8;
- 32-разрядный выходной регистр и демultipлексор 8:32;
- 32-разрядный двунаправленный буфер линий данных, предназначенный для передачи информации из/в ВУ;
- логика прерывания;
- логика канала прямого доступа в память;

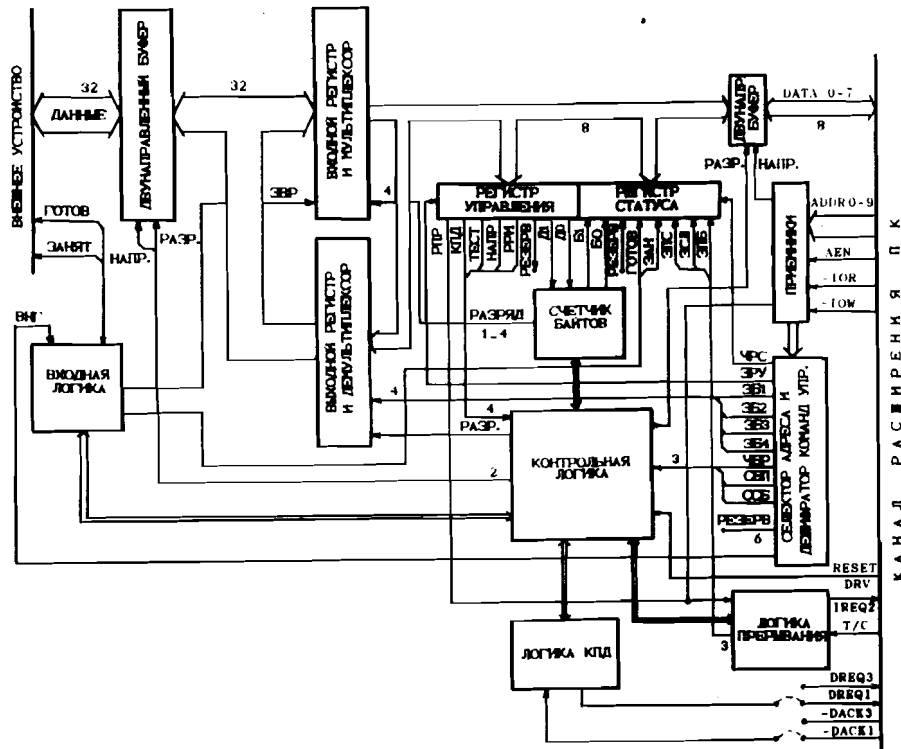


Рис.1. Блок-схема интерфейса МУЛЬТИ.

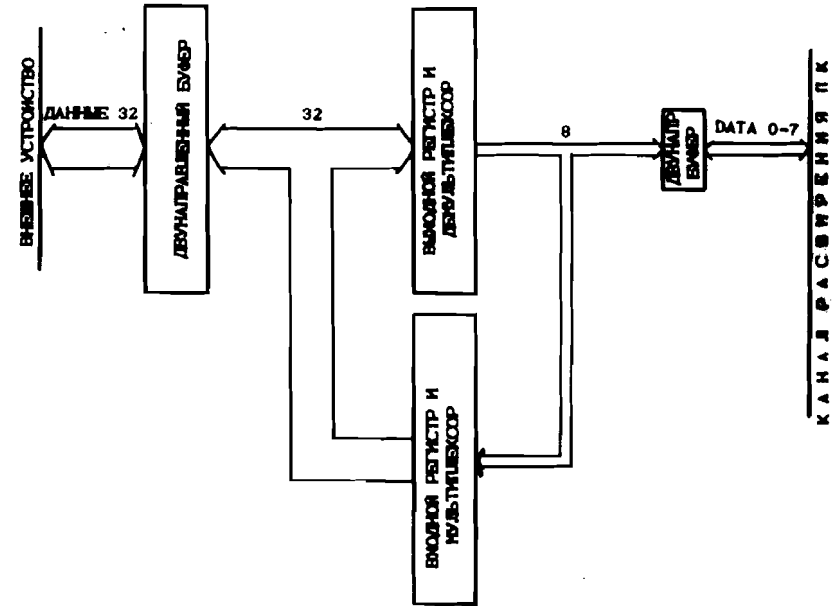


Рис.2. Блок-схема потока данных через интерфейс.

- входная логика;
- счетчик байтов;
- контрольная логика.

На рис.2 показана часть блок-схемы рис.1, представляющая поток данных через интерфейс МУЛЬТИ.

Интерфейс дешифрирует и выполняет 16 команд управления, имеющих последовательные адреса порта. С помощью переключки на плате можно выбрать либо адреса 300 ÷ 30F, либо 310 ÷ 31F и таким образом одновременно работать с двумя интерфейсами МУЛЬТИ. Из них адреса 3XA ÷ 3XF являются резервом для специальной электроники пользователя, а адреса 3X0 ÷ 3X9 используются для управления системой регистра ввода-вывода. Ниже указанные адреса используются для следующих команд:

- 3X0 — чтение одного байта из входного регистра (ЧБР);
- 3X1 — чтение регистра статуса (ЧРС);
- 3X2 — запись первого (младшего) байта в выходной регистр (ЗБ1);
- 3X3 — запись второго (младшего) байта в выходной регистр (ЗБ2);
- 3X4 — запись третьего байта в выходной регистр (ЗБ3);
- 3X5 — запись четвертого байта в выходной регистр (ЗБ4);
- 3X6 — запись в регистр управления (ЗРУ);

3X7 — внутренняя готовность для передачи данных (ВНГ);
 3X8 — сброс источников прерывания (СБП);
 3X9 — селективный сброс интерфейса (ССБ);
 3XA ÷ 3XF — резерв для специальной электроники пользователя.
 Если длина слова больше одного байта, то чтение данных из входного регистра выполняется по байтам под действием последовательных команд ЧБР в следующем порядке: четвертый (старший) байт — первый байт.

С помощью регистра управления устанавливаются условия и режимы работы интерфейса. Назначение разрядов регистра:

1 — D₀ 0 1 0 1
 2 — D₁ 0 0 1 1
 1 2 3 4 ДС, байт

D₀ и D₁ определяют длину слова (ДС) при передаче данных от ВУ в интерфейс;

- 3 — разрешение работы интерфейса (РПИ);
- 4 — выбор канала передачи данных (КПД);
- 5 — режим самотестирования (ТЕСТ);
- 6 — выбор направления передачи данных (НАПР);
- 7 — РЕЗЕРВ;
- 8 — разрешение прерывания (РПР).

Регистр статуса сообщает о состоянии интерфейса.

Назначение разрядов регистра:

1 — B₀ 1 0 1 0
 2 — B₁ 1 0 0 1
 0 1 2 3 число байтов

B₀ и B₁ информируют о числе непереданных байтов слова во входном регистре при передаче данных от ВУ в интерфейс;

- 3 — состояние линии ГОТОВ;
- 4 — состояние линии ЗАНЯТ;
- 5 — РЕЗЕРВ;
- 6 — завершение передачи слова из интерфейса в ВУ (ЗПС);
- 7 — завершение записи слова во входной регистр интерфейса из ВУ (ЗСЛ);
- 8 — заполнение буфера КПД (ЗПБ).

Интерфейс имеет три источника прерывания в виде триггеров T1 ÷ T3 (см.рис.3), из которых T1 и T2 функционируют в режиме ППК, а T3 в режиме ПКПД. Установка любого из этих триггеров вызывает поступление запроса прерывания на линии IRQ шины ПК (IRQ2 для ХТ и IRQ9 для АТ), если это разрешено 8-м разрядом регистра управления РПР. Выходы триггеров соединены с входами статусного регистра (6 ÷ 8 разряды). При этом и в случае запрета прерывания интерфейса

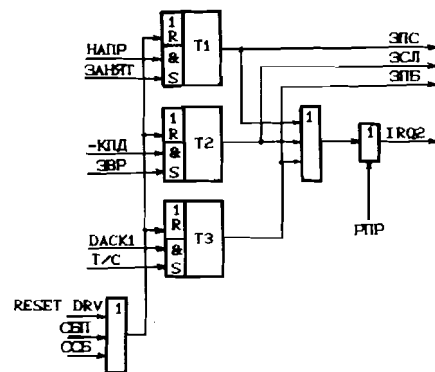


Рис.3. Принципиальная схема логики прерывания.

с помощью чтения статусного регистра можно получить информацию о состояниях триггеров. T1 устанавливается после завершения передачи слова из интерфейса в ВУ, то есть ПК может готовить для выдачи следующие данные. T2 устанавливается, когда ВУ завершает запись слова во входной регистр интерфейса, и после этого ПК может прочитать данные из интерфейса. Триггер T3 устанавливается при заполнении буферной области КПД в ОЗУ ПК. Источники прерывания сбрасываются под действием сигнала RESET DRV и командами СБП и ССБ.

Логика КПД организует запись данных из входного регистра интерфейса в ОЗУ ПК по каналам прямого доступа памяти. С помощью переключки на плате можно выбрать либо первый, либо третий канал. Логика КПД может выполнять свои функции только в том случае, если контроллер прямого доступа в память (КПДП) ПК установлен в режим работы SINGLE TRANSFER MODE или DEMAND REQUEST MODE /1 0 . 1 1 /.

Циклы времени передачи (τ_c) одного слова для различных случаев представлены в таблице.

Таблица

Длина слов, байт	"Правец-16"(ХТ)		"Datamini"(АТ)		Режим работы КПДП
	τ_c , мкс	τ_c , мкс	normal	turbo	
1	2,1	4,8		3,1	single
2	4,2	9,6		6,2	transfer
3	6,3	14,4		9,3	mode
4	8,4	19,2		12,4	
2	2,9	6,1		3,8	demand
3	3,8	7,4		4,7	request
4	4,6	8,7		5,2	mode

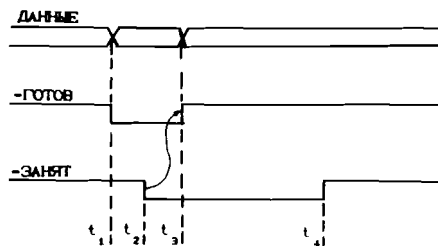


Рис.4. Временная диаграмма совместной работы интерфейса и ВУ: t_1 – момент времени установления передающей системой сигнала ГОТОВ и выдачи данных; t_2 – момент времени установления принимающей системой сигнала ЗАНЯТ и приема данных; t_3 – момент времени снятия передающей системой сигнала ГОТОВ и данных; t_4 – момент времени снятия принимающей системой сигнала ЗАНЯТ и готовности к приему новых данных.

Входная логика организует двустороннюю передачу данных между интерфейсом и ВУ. Имеются две линии для управления передачей данных. Сигнал ГОТОВ вырабатывается системой, которая должна передавать информацию, а сигнал ЗАНЯТ – приемной системой. Временная диаграмма процесса передачи данных представлена на рис.4. Кроме вышеуказанного, входная логика управляет действиями 32-разрядного двунаправленного буфера линий данных и под действием сигнала ГОТОВ вырабатывает сигнал записи данных во входной регистр (ЗВР).

Счетчик байтов организует передачу слова байтами при передаче данных из входного регистра в ПК.

ОРГАНИЗАЦИЯ РАБОТЫ ИНТЕРФЕЙСА

В режиме работы ПКПД под действием сигнала ГОТОВ, вырабатываемого ВУ, записывается слово во входной регистр интерфейса и одновременно устанавливается сигнал DREQ. Под действием сигналов КППД DACK&IOR байты слова последовательно мультиплексируются на вход двунаправленного буфера линий DATA ($0 \div 7$), и одновременно разрешается работа этого драйвера. Временная диаграмма передачи 24-разрядного слова представлена на рис.5а, а схема потока информации на рис.6а.

В режиме работы ППК при передаче данных из ВУ в интерфейс, под действием сигнала ГОТОВ записывается слово во входной регистр интерфейса и одновременно устанавливается триггер Т2. ПК может получить информацию об этом с помощью методов, описанных выше. Под действием команды ЧБР и сигнала ПК IOR ($\text{ЧБР} \& \text{IOR}$) байты слова последовательно мультиплексируются на вход двунаправленного драйвера линий DATA ($0 \div 7$), и одновременно разрешается работа этого буфера. Временная диаграмма передачи 16-разрядного слова представлена на рис.5б, а схема потока информации на рис.6б.

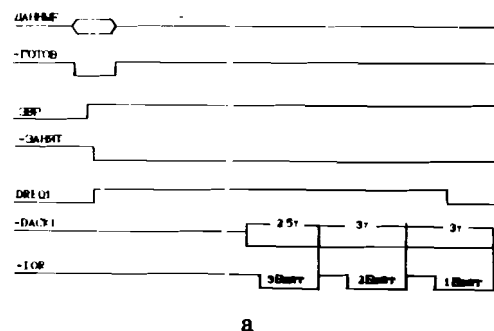


Рис.5. Временная диаграмма передачи 3 байтов из ВУ в ПК в режиме ПКПД DEMAND REQUEST MODE, t является периодом времени тактового импульса КППД (а). Временная диаграмма передачи 2 байтов из ВУ в ПК в режиме ППК (б). Временная диаграмма передачи одного байта из ПК в ВУ в режиме ППК (в).

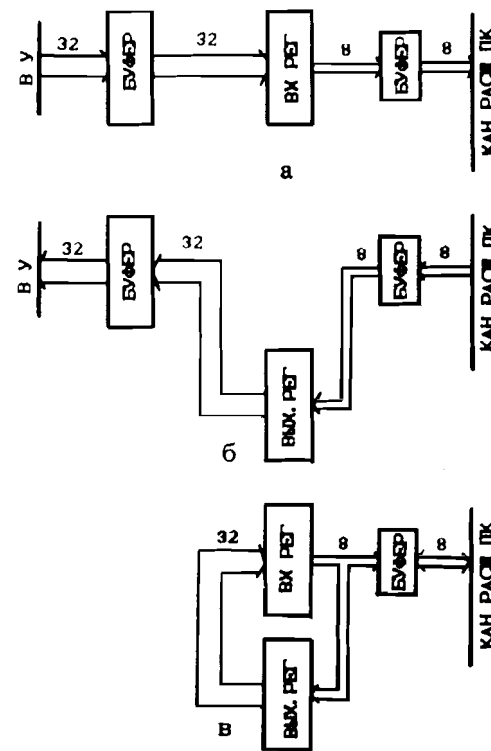
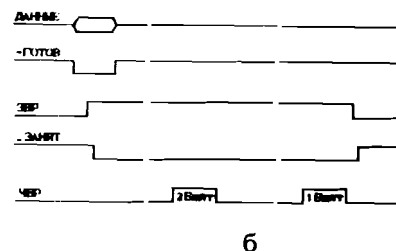


Рис.6. Схема потока информации в режиме ПКПД и в режиме ППК при передаче информации из ВУ в ПК (а). Схема потока информации из ПК в ВУ в режиме ППК (б). Схема потока информации в режиме ТЕСТ (в).

В режиме работы ППК при передаче данных из интерфейса в ВУ сначала записывается информация из ПК в выходной регистр интерфейса с помощью команд ЗБ1 ÷ ЗБ4. После этого инициируется передача данных командой ВНГ, под действием которой интерфейс вырабатывает сигнал ГОТОВ и одновременно разрешает работу 32-разрядного двунаправленного буфера. После приема данных ВУ вырабатывает сигнал ЗАНЯТ, под действием которого в интерфейсе устанавливается триггер Т1. ПК информируется об этом с помощью вышеуказанных методов. Временная диаграмма передачи 8-разрядного слова представлена на рис.6в, а схема потока информации на рис.6в.

Самотестирование интерфейса можно выполнять в каждом из режимов работы. В процессе тестирования сначала записывается информация из ПК в выходной регистр интерфейса с помощью команд ЗБ1 ÷ ЗБ4. После этого командой ВНГ данные переписываются из выходного во входной регистр и одновременно инициируется передача данных в ПК, которая происходит вышеуказанными методами. В режиме ТЕСТ работа 32-разрядного двунаправленного буфера запрещена. Схема потока информации представлена на рис.6в.

ПРОГРАММНОЕ ИНИЦИИРОВАНИЕ СИСТЕМЫ

Перед началом работы с интерфейсом МУЛЬТИ требуется программная инициализация одного из выбранных режимов обмена данными. В режиме ПКЦД, в процессе начальной инициализации, дополнительно выбирается первый или третий канал схемы ПК 8237А (КПДП) ^{10.111}, в которую заносятся коды условий работы, и производится запись номера рабочей страницы ОЗУ в регистр страниц памяти (page register) выбранного канала ^{11.121}. Инициализация заканчивается командой разрешения работы интерфейса МУЛЬТИ и выбранного канала КПДП. При организации обмена данными с ВУ в режиме прерываний инициируется и контроллер прерываний ПК типа 8259А ^{10.111}.

Программа начальной инициализации на языке BASIC может выглядеть следующим образом:

```

40 OUT 10,1+4'chl disable
50 OUT 11,1+4'demand transfer mode, addr increment, write
60 OUT &H83,7'write page register
70 OUT 12,0'reset first/last flip-flop
80 OUT 2,0'write address reg. low
90 OUT 2,0'write address reg. high

```

```

100 OUT 12,0'reset f/l flip-flop
110 OUT 3,&HFF'write byte count reg. low
120 OUT 3,&HFF'write byte count reg. high
200 OUT &H309,0'reset of interface
210 OUT &H306,2+4+8+16'3 bytes, interface enable, test and DMA
300 OUT 10,1'chl enable

```

В итоге выполнения этих операций интерфейсу МУЛЬТИ будет разрешено работать в режиме самотестирования по первому каналу КПДП с длиной массива 4 кбайт, записываемого на седьмую страницу памяти ПК и имеющего структуру 3-байтных слов.

Интерфейс МУЛЬТИ успешно использовался на ПК "Правец-16" в экспериментах по квазиупругому рассеянию нейтронов на спектрометре КОРА в ЛНФ ОИЯИ при выполнении трехмерного анализа.

Авторы выражают благодарность В.А.Владимирову, Г.П.Жукову, П.А.Кулиничу и В.Х.Хоромской за полезные обсуждения.

ЛИТЕРАТУРА

1. *IBM Personal Computer XT, Technical Reference, IBM PC Hardware Reference Library, 1983.*
2. *IBM Personal Computer AT, Technical Reference, IBM PC Hardware Reference Library, 1985.*
3. *Персональный компьютер Правец-16. Техническое описание. София, НРБ, 1986.*
4. *Datamini 286 Personal Computer Introductory Guide, Goh Electronics, Singapore, 1987.*
5. *DSP Technology Models 6001&6002, PC001, PC004, DSP Technical Reference Manual, April, 1986.*
6. *Кулинич П.А. и др. ОИЯИ, P10-87-876, Дубна, 1987.*
7. *IEEE-488 Interface Card, PC-Lab Card Series, American Advantech Corp., San Jose, USA.*
8. *Bandendistel K. et al. Experience in Interfacing to the IBM Personal Computer, IEEE NS, 32(1985)1, 314-315.*
9. *PCL-712 Multi-Lab Card, PCL-714 Super-Lab Card, PC-Lab Card Series, American Advantech Corp., San Jose, USA.*

10. *Microsystem Components Handbook, Intel, 1985.*
11. *Rollins D. TECH Help! , Flambeaux Software, Glendale, Text Version 3.2a, 1987.*
12. *Sargent M. et al. The IBM Personal Computer from the Inside Out, Addison-Wesley, 1984, 242-247.*

НЕТ ЛИ ПРОБЕЛОВ В ВАШЕЙ БИБЛИОТЕКЕ?

Вы можете получить по почте перечисленные ниже книги, если они не были заказаны ранее.

Д13-84-63	Труды XI Международного симпозиума по ядерной электронике. Братислава, Чехословакия, 1983.	4 р. 50 к.
Д2-84-366	Труды 7 Международного совещания по проблемам квантовой теории поля. Алушта, 1984.	4 р. 30 к.
Д1,2-84-599	Труды VII Международного семинара по проблемам физики высоких энергий. Дубна, 1984.	5 р. 50 к.
Д17-84-850	Труды III Международного симпозиума по избранным проблемам статистической механики. Дубна, 1984. (2 тома)	7 р. 75 к.
Д11-85-791	Труды Международного совещания по аналитическим вычислениям на ЭВМ и их применению в теоретической физике. Дубна, 1985.	4 р. 00 к.
Д13-85-793	Труды XII Международного симпозиума по ядерной электронике. Дубна, 1985.	4 р. 80 к.
Д4-85-851	Труды Международной школы по структуре ядра. Алушта, 1985.	3 р. 75 к.
Д3,4,17-86-747	Труды V Международной школы по нейтронной физике Алушта, 1986.	4 р. 50 к.
—	Труды IX Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1984. (2 тома)	13 р. 50 к.
Д1,2-86-668	Труды VIII Международного семинара по проблемам физики высоких энергий. Дубна, 1986. (2 тома)	7 р. 35 к.
Д9-87-105	Труды X Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1986. (2 тома)	13 р. 45 к.
Д7-87-68	Труды Международной школы-семинара по физике тяжелых ионов. Дубна, 1986.	7 р. 10 к.
Д2-87-123	Труды Совещания "Ренормгруппа - 86". Дубна, 1986.	4 р. 45 к.
Д4-87-692	Труды Международного совещания по теории малочастичных и кварк-адронных систем. Дубна, 1987.	4 р. 30 к.
Д2-87-798	Труды VIII Международного совещания по проблемам квантовой теории поля. Алушта, 1987.	3 р. 55 к.
Д14-87-799	Труды II Международного симпозиума по проблемам взаимодействия мюонов и пионов с веществом. Дубна, 1987	4 р. 20 к.
Д17-88-95	Труды IV Международного симпозиума по избранным проблемам статистической механики. Дубна, 1987.	5 р. 20 к.

Рукопись поступила в издательский отдел ОИЯИ
7 мая 1988 года.

Заказы на упомянутые книги могут быть направлены по адресу: 101000 Москва, Главпочтамт, п/я 79. Издательский отдел Объединенного института ядерных исследований.