

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна

96-439

P13-96-439

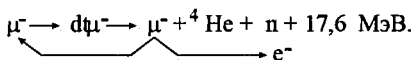
В.Г.Зинов, А.И.Руденко, В.Т.Сидоров

ТРИГГЕРНОЕ УСТРОЙСТВО НА ОСНОВЕ
ПРОГРАММИРУЕМОЙ ЛОГИЧЕСКОЙ МАТРИЦЫ
(FPGA) ДЛЯ ИССЛЕДОВАНИЙ МЮ-КАТАЛИЗА

Направлено в журнал «Приборы и техника эксперимента»

1996

Схема процессов мюонного катализа ядерных реакций синтеза в смеси изотопов водорода внешне проста:



Однако, за счет многоцикличности процесса число вылетающих нейтронов в чистом дейтерии может достигать 5 на один мюон. Для смеси D2+T2 число вылетающих нейтронов может достигать 100 за время жизни мюона (2,2 мкс). Поэтому электроника распознавания остановок мюонов в мишени и запуска регистрирующей аппаратуры достаточно сложна [1].

Схема выделения остановок мюонов по нормировке на их электроны распада достаточно традиционна для всех экспериментов с остановившимися мюонами, поэтому электроника запуска часто требует некоторой модификации для применения в конкретных измерениях.

Для исследований мюо-катализа на установке ТРИТОН [2] ЛЯП разработано триггерное устройство на основе программируемой логической микросхемы, которое обеспечивает эффективное выделение остановок мюонов в мишени. Логика его работы может быть изменена программно.

Упрощенная схема детекторной части установки приведена на рис.1. Сцинтилляционные детекторы 1, 2, 3, и 4

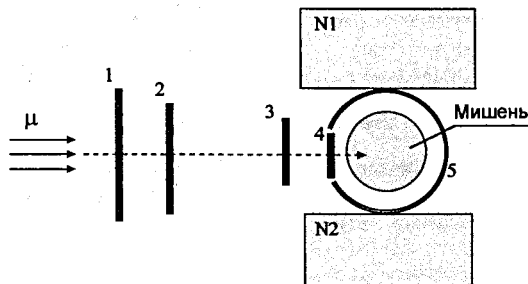


Рис. 1. Детекторная часть установки

региструют мюоны пучка от ускорителя. Цилиндрический пропорциональный детектор 5 регистрирует электроны от распада мюонов в мишени. Детекторы полного поглощения N1 и N2 на основе жидкого сцинтиллятора NE-213 [3] фиксируют образующиеся в мишени нейтроны и электроны.

Система регистрации данных установки ТРИТОН

Электроника системы (рис.2) размещена в крейте КАМАК, который управляется персональным компьютером (ПК) через контроллер крейта КК012 [4]. Данные накапливаются на диске ПК с помощью on-line программ, которые обеспечивают также настройку параметров аппаратуры и условий отбора данных, а также их передачу в локальную сеть для экспресс-обработки на off-line компьютере и записи на магнитную ленту. Регистрация данных производится параллельными 8-разрядными АЦП (ПЛАЦП - Flash ADC), кото-

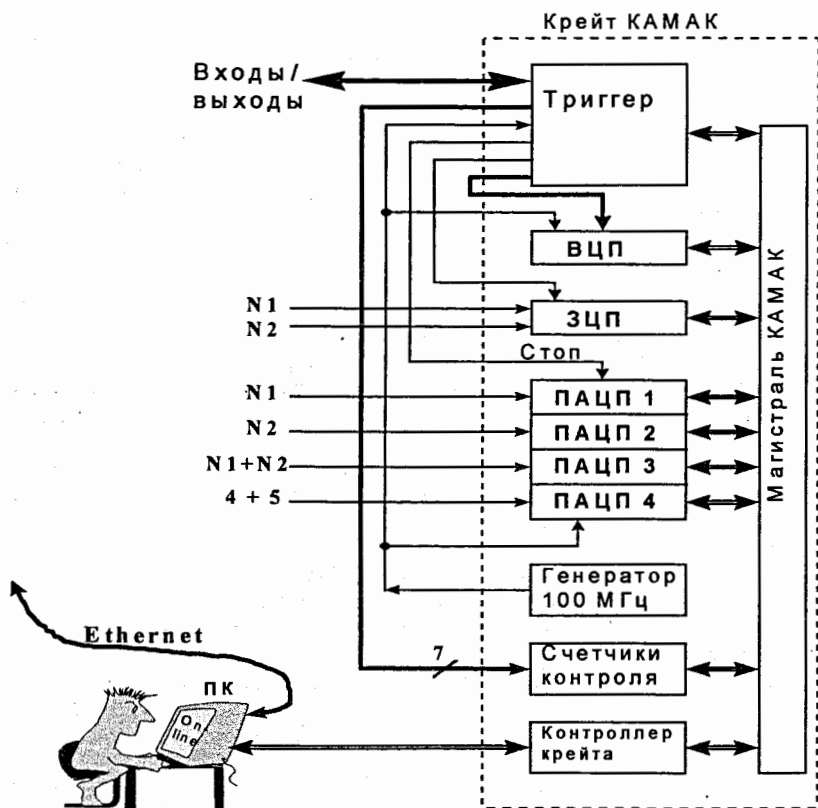


Рис. 2. Система регистрации данных установки ТРИТОН

рые синхронно стробируются внешним генератором с частотой 100 МГц. Для этого используются ПАЦП в стандарте КАМАК 6841 фирмы "LeCroy" (2 канала в блоке шириной 1М, внутренняя память до 128К байт на канал). Четыре канала ПАЦП производят измерение амплитуды поступающих сигналов:

- 1 - от детектора N1
- 2 - от детектора N2
- 3 - аналоговая сумма от детекторов N1 и N2
- 4 - аналоговая сумма от детекторов 4 и 5 ($\mu + e$).

Триггер определяет момент остановки мюона в мишени, анализирует выполнение заданных условий в заданном интервале времени и, при их выполнении, подает сигнал остановки "Стоп" в ПАЦП. Затем данные из них считываются через магистраль КАМАК в персональный компьютер. С помощью ВЦП и ЗЦП измеряются временной спектр электронов распада мюона и заряд электронов распада от детекторов N1 и N2, которые используются при обработке данных для нормировки.

Для контроля функционирования детекторов триггер также формирует сигналы, которые подаются на счетчики.

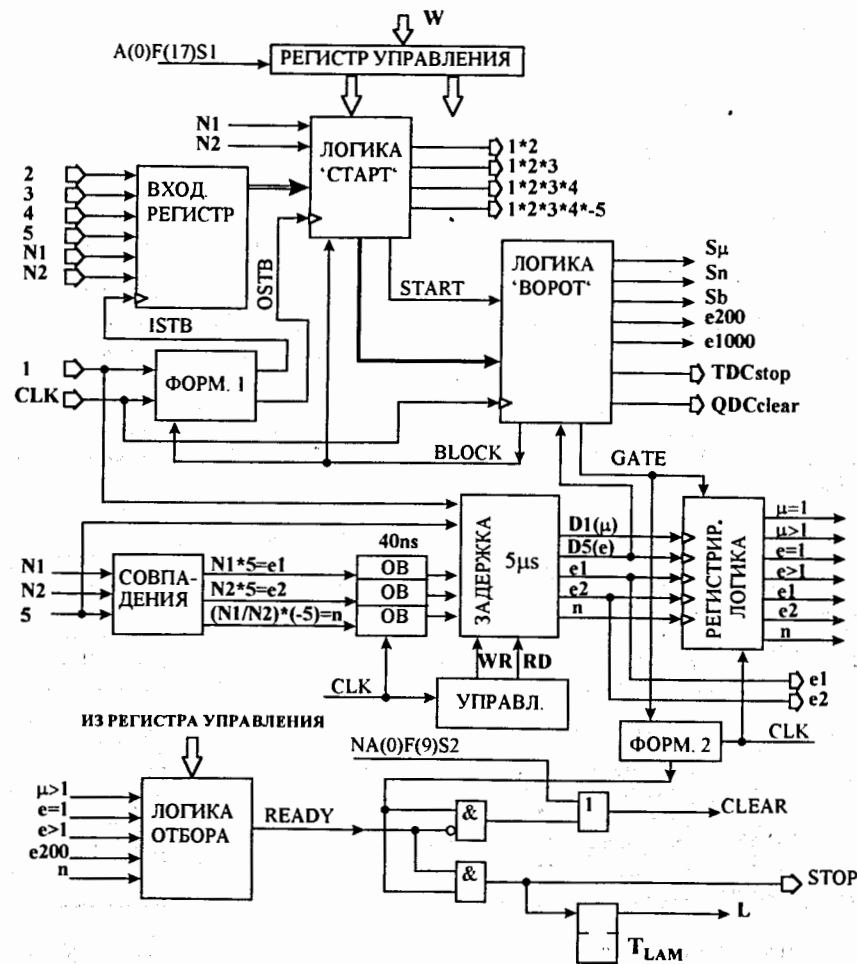


Рис.3. Блок-схема триггера

Описание блок-схемы триггера

Задача триггера состоит в отборе событий, которые соответствуют остановке мюона в веществе мишени. Полезное событие определяется следующими условиями:

1. Анализируемый интервал времени ("ворота") составляет 20 мкс и начинается за 5 мкс до обнаружения мюона.
2. Только один мюон, один электрон, а также не менее одного нейтрона должно быть внутри "ворот".

3. Электрон, зарегистрированный в диапазоне 0-200 нс относительно времени обнаружения мюона означает, что мюон остановился в стенке мишени, а не внутри, т.е. событие не является полезным.

Блок-схема триггера приведена на рис.3. Внешние входные и выходные сигналы отмечены значком \square . Все времязадающие узлы стробируются внешним сигналом CLK с частотой 100 МГц.

Сигнал от детектора I запускает схему Форм.1, который формирует сигналы ISTB и OSTB длительностью 40 нс. Первый из них заносит состояние сигналов детекторов мюонов во входной регистр.

Логика старта отбирает по состоянию ее входов комбинацию, которая соответствует остановке мюона в мишени, т.е. $1*2*3*4*5$. Сигналом OSTB, который задержан на 10 нс относительно ISTB, при выполнении этого условия, формируется сигнал START, который запускает логику "ворот". Логика старта также формирует сигналы для контрольных счетов ($1*2$, $1*2*3$, $1*2*3*4$, $1*2*3*4*5$), а также позволяет формировать сигнал START от нейтронных или фоновых сигналов в режимах калибровки. Управление работой логики старта производится с помощью регистра управления, запись в который происходит с шин W магистрали по команде NA(0)F(17). Сигналы регистра управления (см. табл.1) позволяют задавать условия формирования сигнала START, а также эмулировать сигналы входного регистра для отладки системы.

Таблица 1. Назначение разрядов регистра управления

W	Сигнал	Назначение
W1	ICTL1	Разрешение I1
W2	ICTL2	Установка I2
W3	ICTL3	Установка I3
W4	ICTL4	Установка I4
W5	ICTL5	Разрешение I5
W6	ICTL6	Разрешение N
W7	ICTLN	Разрешение запуска ворот от N1 или N2
W8	ICTLF	Разрешение запуска ворот от IFON
W9	CTLAM1	Разрешение LAM по условию: $(e = 1) * -(e > 1) * n * -(e200) * -(\mu > 1)$
W10	CTLAM2	Разрешение LAM по условию: $(e = 1) * -(e > 1) * -(e200) * -(\mu > 1)$
W11	CTLAM3	Разрешение LAM по условию: n
W12	CTLAM4	LAM = 1

Логика "ворот" включает в себя счетчики, которые формируют сигнал "ворот" длительностью 20 мкс и отмеряют временные интервалы 200 нс и 1000 нс для определения времени появления электрона. Схемы совпадений и регистры этого узла фиксируют условия старта "ворот" - мюон, нейтрон или фон (S_{μ} , S_n , S_b), время появления электрона в пределах 200 нс ($e200$), после 1000 нс ($e1000$), а также сигналы управления для ВЦП и ЗЦП (TDCstop, QDCclear).

Сигнал блокировки входных сигналов BLOCK устанавливается на время "ворот" плюс время обработки события.

Схема совпадений по сигналам N1, N2 и N5 выделяет сигналы электронов $e1$ и $e2$, соответствующие детекторам N1 и N2, а также сигналы нейтронов. Затем они формируются по длительности (40 нс) одновибраторами ОВ. Эти сигналы, а также сигналы от детектора мюонов (1) и электронов (5) задерживаются на 5 мкс перед их анализом в интервале "ворот".

Задержка выполнена на одной микросхеме памяти типа FIFO емкостью $256*9$, в которой используется 5 бит. Схема управления задержкой формирует сигналы записи WR и чтения RD с частотой 33,33 МГц. При этом после инициализации блока формируется 167 сигналов WR ($167*30$ нс = 5010 нс), а затем сигналы WR и RD формируются одновременно и постоянно.

Регистрирующая логика фиксирует поступающие во время "ворот" задержанные на 5 мкс сигналы мюонов, электронов и нейтронов. При этом сигналы мюонов от детектора I и электронов от детектора 5 подсчитываются для обнаружения второго сигнала. По окончании сигнала GATE состояние выходов схемы, содержащих необходимую для последующего принятия решения информацию о структуре события во время закончившихся "ворот", подаются в схему логики отбора события.

Схема логики отбора в соответствии с уровнями входных сигналов от регистрирующей логики и логики отбора устанавливает состояние сигнала READY. Выбор условия установки его в 1 определяется заданным состоянием разрядов CTLAM1 - CTLAM4 регистра управления (табл.1) Могут быть заданы одно из следующих условий (или любая их логическая сумма):

- $(e = 1) * -(e > 1) * n * -(e200) * -(\mu > 1)$
- $(e = 1) * -(e > 1) * -(e200) * -(\mu > 1)$
- n
- Ready = 1 всегда.

Первое условие является основным, остальные используются для режимов калибровки и отладки.

Формирователь Форм.2 по окончании сигнала "ворот" GATE с задержкой в 50 нс подает сигнал STBR длительностью 50 нс. Если READY = 0, то формируется сигнал CLEAR, который подается на все узлы триггера (на блок-схеме не показано), устанавливая их в исходное состояние, что означает готовность блока к обработке следующего события.

Таблица 2. Статусное слово

R	Сигнал	Описание
R1	$\mu = 1$	Только 1 мюон
R2	$\mu > 1$	Больше 1 мюона
R3	$e = 1$	Только 1 электрон
R4	$e > 1$	Больше 1 электрона
R5	$e1$	Электрон в N1
R6	$e2$	Электрон в N2
R7	n	Нейтрон в N1 или N2
R8	$e1000$	Электрон после 1000нс
R9	$e200$	Электрон до 200нс
R10	S_n	Калибровка
R11	S_b	Фон

При выполнении заданных условий отбора (READY = 1) формируется сигнал STOP для ПАЦП и в магистраль подается сигнал готовности блока L. После этого по командам ПК из ПАЦП считываются зарегистрированные данные и подается команда сброса NA(0)F(9), которая формирует сигнал CLEAR.

Дешифратор КАМАК формирует сигналы записи в регистр управления, считывания статусной информации о последнем обработанном событии (см.табл.2) и сигнал сброса.

Структура блока триггера

Электрическая схема, соответствующая описанной выше блок-схеме триггера, реализована в одной микросхеме XC3142A - 4PC84. Это программируемая логическая матрица FPGA (Field Programmable Gate Array) фирмы "Xilinx" (США), которая эквивалентна примерно 3500 вентилям (двухвходовый элемент И-НЕ). Микросхема содержит 480 триггеров со скоростью переключения до 230 МГц и 144 логических элемента (5 входов, 2 выхода) с внутренней задержкой не более 3,3 нс. Она выполнена по технологии КМОП. Уровни входных/выходных сигналов соответствуют ТТЛ. Корпус микросхемы имеет 84 вывода.

Структура всего блока приведена на рис. 4. Внешние входные и выходные сигналы имеют уровни НИМ, поэтому блок содержит схемы преобразования уровней на микросхемах К500ПУ124/125.

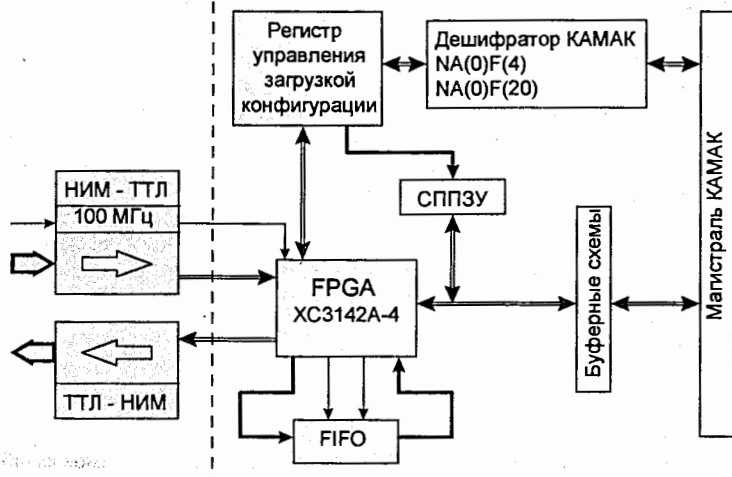


Рис. 4. Структура блока триггера

Входные преобразователи (НИМ-ТТЛ) содержат компараторы AD96687 для фиксации порога срабатывания и цепи удлинения сигналов на 30 нс, т.к. входные сигналы имеют минимальную ширину 5 нс. Всего используется 20 входных сигналов и 20 выходных. Преобразователь для тактовых сигналов 100 МГц выполнен на транзисторах. Соединения между преобразователями и входами микросхемы FPGA осуществляются скрученными парами.

Внутренние связи FPGA задаются с помощью ее встроенной конфигурационной статической памяти, содержимое которой (т.е. конфигурацию требуемой электрической схемы) необходимо загружать снаружи. При включении питания она обнуляется.

Специальные схемы, которые содержатся в кристалле FPGA помимо собственно логической матрицы, обеспечивают загрузку конфигурационной памяти из внешнего ПЗУ или другого источника данных.

В описываемом блоке на печатной плате установлена панелька для СППЗУ, в которое предварительно заносятся коды конфигурации. При включении питания содержимое СППЗУ автоматически загружается в конфигурационную память FPGA.

С помощью регистра управления возможна загрузка конфигурации из файла ПК через магистраль КАМАК по командам NA(0)F(20) (назначение битов приведено в табл. 3). Это позволяет при необходимости изменять конфигурацию схемы внутри FPGA в любой момент времени. Объем конфигурационных данных для используемой

микросхемы составляет 30784 бита. Время загрузки составляет не более 0,2 с.

Подготовка конфигурационных данных производилась с помощью пакетов программ фирм "ORCAD" и "Xilinx".

Блок выполняет следующие команды магистрали:

NA(0)F(1) - чтение статусной информации отобранного события	Q = 1
NA(0)F(4) - чтение состояния сигнала готовности FPGA после загрузки конфигурации на шину R1.	Q = 1
NA(0)F(9) - сброс всей логики блока в исходное состояние	Q = 0
NA(0)F(17) - запись информации в регистр управления	Q = 1
NA(0)F(20) - запись в регистр управления загрузкой конфигурации FPGA	Q = 1

По сигналу Z производится сброс всей логики блока в исходное состояние.

Технические характеристики

Ширина блока - 3М
 Количество входов - 20 (разъемы LEMO)
 Количество выходов - 20 (разъемы LEMO)
 Уровни входных/выходных сигналов - НИМ
 Минимальная длительность входных сигналов - 5 нс
 Длительность выходных сигналов - 40 нс
 Частота тактовых сигналов - 100 МГц.

Максимальный потребляемый ток: 0,8 А по цепи -6 В; 0,6 А по цепи +6 В (из них 300 мА потребляет микросхема FPGA).

Особенности использования FPGA

Использование программируемых логических матриц дает определенные преимущества по сравнению с обычными цифровыми микросхемами при разработке и использовании аппаратуры, которая включает логические узлы. Можно отметить следующие из них:

- электронная схема может быть размещена в одной или нескольких микросхемах (их внутренняя емкость достигает 100000 вентилей, количество входов/выходов - более 400);
- упрощается печатная плата за счет сокращения компонентов и связей между ними;
- схема устройства может быть изменена без использования паяльника и переработки печатной платы путем замены конфигурационного ПЗУ или загрузки нового конфигурационного файла;
- улучшение частотных характеристик устройства путем замены микросхем на более быстрые того же типа (для примера: скорость переключения внутренних триггеров варьируется в пределах примерно от 50 до 400 МГц);
- увеличивается надежность.

Литература

1. Гилев А.И. и др. - ПТЭ, 1991, N4, с.73.
2. Дзелепов В.П. и др. - ЖЭТФ, 101, 1105(1992).
3. Dzheleпов V.P. et al. - НИМ, 1988, v.A269, No.3, p.634.
4. Антюхов В.А. и др. - Сообщение ОИЯИ, P10-90-589, Дубна, 1990.

Рукопись поступила в издательский отдел
2 декабря 1996 года.