

Б-903

24/1-710

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна.

P13-5742

1704/2-71



5742

Ю.Г. Будяшов, В.Г. Зинов, Б.С. Краснобородов

ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОБЛЕМ

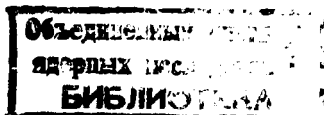
ИНТЕГРАТОР
НАНОСЕКУНДНЫХ СИГНАЛОВ
С УПРАВЛЕНИЕМ

1971

Ю.Г. Будяшов, В.Г. Зинов, Б.С. Краснобородов

**ИНТЕГРАТОР
НАНОСЕКУНДНЫХ СИГНАЛОВ
С УПРАВЛЕНИЕМ**

Направлено в ЦТЭ



Составной частью блоков наносекундной логики являются линейные схемы пропускания. Как показал анализ проводимых на ускорителе экспериментов с применением электронной методики, основная задача подобных устройств состоит в том, чтобы обеспечить линейную передачу только полезных сигналов на вход анализирующего устройства. Но именно в этом случае нужно не сохранение формы, а затягивание их до длительности, обеспечивающей нормальную работу входного блока анализирующего устройства (≈ 1 мксек) с сохранением пропорциональности амплитуд входных и выходных сигналов.

В реальных случаях форма сигнала, поступающего для амплитудного анализа с ФЭУ, постоянна и не зависит от его амплитуды. Поэтому для затягивания сигнала достаточно простого интегрирования его тока. В случае отступления от указанного условия надо внимательно рассмотреть вопрос, каким физическим параметрам (чаще всего это энерговыделение в детекторе) соответствуют такие параметры сигнала, как его амплитуда и площадь. Практически всегда имеется возможность разделить временные и спектрометрические каналы. Отказ же от требования сохранения формы сигналов на выходе линейной схемы пропускания значительно упрощает решение задачи предотвращения прохождения анализируемых и управляющих сигналов через проходные емкости закрытых ключевых элементов устройства.

Изложенное выше позволяет обоснованно заменить линейную схему пропускания наносекундных сигналов интегратором наносекундных сигналов с управлением.

Принципиальная схема устройства приведена на рисунке. За основу схемы интегратора наносекундных сигналов с управлением взят токовый последовательно-параллельный ключ ^{/1/}. На вход дифференциального усилителя $T_3 T_4$ через диодный мост подаются анализируемые сигналы отрицательной полярности, на вход дифференциальной пары $T_1 T_2$ - управляющие сигналы отрицательной полярности.

Токовый ключ состоит из транзистора T_5 и диода D_1 . В исходном состоянии T_5 открыт, а D_1 - закрыт.

Для понимания работы интегратора полезно рассмотреть три случая поступления сигналов на входы.

Первый случай. Поступил сигнал только на вход усилителя $T_3 T_4$. Поскольку диод D_1 закрыт, а триод T_5 открыт, то дополнительный ток T_3 пройдет через T_5 . На выходе (транзистор T_6) сигнала не будет.

Второй случай. Пришел только сигнал управления. Тогда T_1 закрывается, T_2 открывается, T_5 закрывается. Начальный ток транзистора T_3 (ток без сигнала на T_4 - пьедестал) поступает через открывающийся диод D_1 на интегрирующий конденсатор C_{12} . Однако он будет полностью скомпенсирован током противоположного направления с коллектора T_1 через резистор R_8 . Потенциал на конденсаторе C_{12} не изменится.

Третий случай (рабочий). Поступают одновременно сигналы на оба входа. Тогда транзистор T_5 закрывается, и рабочий ток транзистора T_3 через D_1 перезаряжает конденсатор C_{12} , причем начальный ток T_3 остается скомпенсированным током T_1 . Постоянная времени интегрирования определяется цепочкой $R_8 C_{12}$. Дифференциальный уси-

литель $T_3 T_4$ и диодный мост D_2-D_7 ограничивают диапазон входных сигналов на уровне 1в. При выборе начального тока T_3 надо руководствоваться тем, что он должен быть минимальным без значительного увеличения входного сопротивления T_3 по эмиттеру. Это уменьшает величину пьедестала, подлежащего компенсации. Кроме того, при уменьшении начального тока через диод D_1 время его открытия увеличивается из-за зарядки паразитных емкостей на его катоде. Это приведет к нелинейности при малых входных сигналах. Транзисторы T_7, T_8 снижают влияние изменения питающего напряжения на работу схемы. Резистор R_{23} , выведенный на переднюю панель блока, позволит регулировать величину возможного пьедестала как положительной, так и отрицательной полярности. Резистор R_4 регулирует степень запираания диода D_1 . Переключатель P_1 позволяет закрыть T_5 (выключить внешнее управление). В этом случае схема интегрирует все сигналы, поступившие на вход усилителя $T_3 T_4$. С помощью транзисторов T_9, T_{10} и туннельного диода D_{11} формируется сигнал внешнего управления анализатором длительностью 1 мксек.

Интегральная нелинейность интегратора составляет 1% при входном сигнале не более 1в и выходном сигнале не более 0,25в. Температурная нестабильность не хуже 0,1% на градус С. Параметры схемы измерялись при длительности сигнала управления 20 нсек и анализируемом сигнале 10 нсек.

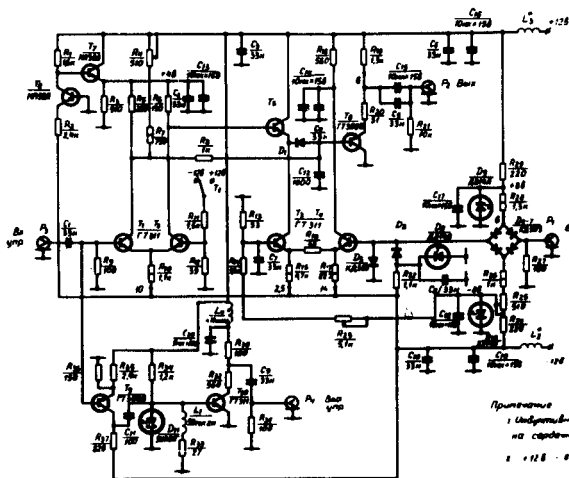
Интегратор смонтирован на печатной плате и размещен в блочке размером 158 x 80 x 275 мм.

Авторы благодарят Б.Ю. Семенова за ценные советы при обсуждении схемы.

Л и т е р а т у р а

1. H. Verweij. One TwoFast Tunnel Diode Monostable Multivibrator circuit and a Fast Linear Transmission Gate. Nuclear Electronics, IAEA, Vienna, pp.723-730 (1968).

Рукопись поступила в издательский отдел
9 апреля 1971 года.



Принципиальная схема интегратора. T_5 - транзистор с $f_a > 1$ Гц.
 $D_{1,2}$ - диод германиевый с τ перекл. < 1 нсек.