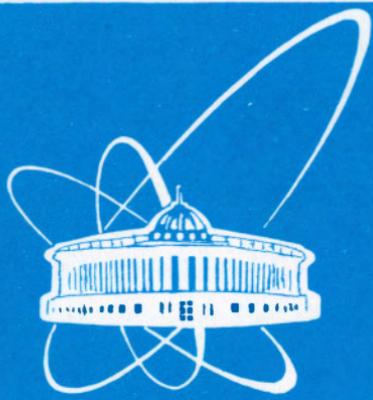


00-142



ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна

00-142

P13-2000-142

Г.Д.Георгиев¹, И.Р.Русанов

МНОГОКАНАЛЬНЫЙ АНАЛИЗАТОР

Направлено в журнал «Приборы и техника эксперимента»

¹Институт ядерных исследований и ядерной энергетики БАН,
София

1. Введение

Сцинтилляционный метод регистрации частиц — один из наиболее старых методов. Однако широкое распространение он получил только после создания фотоэлектронных умножителей (ФЭУ) — приборов, обладающих способностью регистрировать слабые вспышки света [3]. Сцинтилляционный счетчик состоит из сцинтиллятора и фотоэлектронного умножителя. Под действием заряженных частиц и гамма-квантов на выходе сцинтилляционного счетчика появляется электрический импульс. При этом линейно связанной с поглощенной энергией в сцинтилляторе является амплитуда этого импульса. Таким образом, с помощью сцинтилляционных счетчиков можно не только регистрировать излучение, но и определять его энергию [2,3].

Применение сцинтилляционных счетчиков, кроме устройства, измеряющего параметры выходных сигналов, предполагает наличие источника высоковольтного напряжения для питания ФЭУ. Для удобства работы необходимо, чтобы оба устройства находились в общем программно-управляемом модуле. Расположение на одной плате источника высоковольтного напряжения и преобразователя в многоканальном анализаторе обычно приводит к появлению наводок с высоковольтной части на измерительную. При этом шумы и наводки ухудшают измерительные характеристики анализатора. Поэтому подобный подход к реализации многоканальных анализаторов требует тщательной развязки обеих частей модуля.

2. Многоканальный анализатор

В работе предлагается многоканальный анализатор для измерения энергетического распределения ионизирующего излучения. Блоковая схема многоканального анализатора приведена на рис. 1. В состав устройства входят следующие функциональные

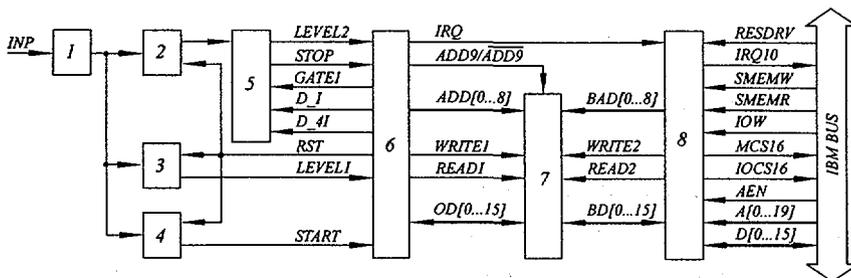


Рис. 1. Блок-схема многоканального анализатора: 1 – входной буфер, 2 – интегратор, 3 – амплитудный дискриминатор, 4 – дискриминатор со следящим порогом, 5 – преобразователь ток-заряд-время, 6 – блок управления процессом преобразования, 7 — двухпортовая память, 8 – блок управления обменом данными по компьютерной магистрали.

узлы: входной буфер с интегратором, дискриминатор со следящим порогом, преобразователь ток-амплитуда-время, блок управления процессом преобразования, двухпортовая буферная память и блок управления обменом данными по компьютерной магистрали типа *ISA-BUS*.

По принципу работы анализатор представляет собой преобразователь заряд-время-код. При появлении входного сигнала происходит усиление и интегрирование тока фотомножителя. Одновременно по сигналам с входного дискриминатора следует запуск схемы, задающей время заряда накопительной емкости сформированным током – временные ворота *GATE1*. В момент окончания импульса *GATE1* начинается медленный разряд накопительной емкости. При этом по счетно-импульсному методу измеряется время разряда. По окончании процесса преобразования цифровой код, соответствующий значению эквивалентного заряда входного сигнала, задает адрес ячейки буферной памяти. Следует чтение и увеличение на единицу содержимого выбранной ячейки. После этого анализатор готов к следующему циклу преобразования.

В буферной памяти сохраняются коды, соответствующие распределению эквивалентного заряда входного сигнала. В анализаторах этого типа время накопления гистограммы распределения эквивалентного заряда составляет несколько секунд. Поэтому в модуле предусмотрен таймер, задающий время измерительного цикла. По окончании

очередного измерительного цикла таймер выдает сигнал *IRQ10* в магистрали компьютера. По этому сигналу инициализируется процесс чтения. По окончании процесса чтения следует сброс содержимого ячеек памяти.

Рассмотрим более детально функционирование и взаимодействие выделенных функциональных узлов многоканального анализатора.

2.1. Преобразователь ток–амплитуда–время

Принципиальная схема аналоговой части многоканального анализатора приведена на рис.2. В качестве пороговых элементов, инициализирующих начало процесса преобразования, во входном блоке используются быстрые интегральные компараторы типа *MAX976*. Применением этих компараторов обеспечивают малую задержку срабатывания и высокую чувствительность. Дискриминатор реализован по схеме компаратора со следящим порогом (*КСП*). Так как схема *КСП* с одним компаратором в исходном состоянии имеет нулевой порог и будет запускаться от шумов и помех, то для подавления ложных срабатываний входного блока в модуле добавлен амплитудный дискриминатор M_3 [5]. При помощи параллельного защитного канала формируется сигнал *LEVEL1*, разрешающий работу анализатора только при наличии полезного сигнала на входе.

Применение этого способа реализации входного дискриминатора позволяет осуществить точную привязку к началу входного сигнала. При этом временное положение переднего фронта выходного сигнала *START* не зависит от амплитуды входного сигнала и определяется срабатыванием *КСП*.

В данном преобразователе заряд входного сигнала измеряется по двухэтапной процедуре. Во время первого этапа при помощи интегрирующей R_1C_1 – цепи, операционного усилителя M_4 и транзистора T_5 формируется ток заряда накопительной емкости C_2 . При этом сформированный ток является пропорциональным амплитуде входного сигнала.

В исходном состоянии, когда транзистор T_{13} открыт, напряжение накопительной емкости C_2 сброшено в ноль. После срабатывания компаратора со следящим порогом M_2 , M_3 выдаются сигналы $LEVEL1$ и $START$, регистрируемые схемой управления. По переднему фронту сигнала $START$ схема управления процесса преобразования формирует импульс $GATE1$ и выдает сигнал RST , запирающий транзистор T_{13} . После этого по импульсу $GATE1$ дифференциальный токовый ключ T_3 , T_4 переключается, а транзистор T_2 начинает заряд накопительной емкости. Так как транзисторы T_1 и T_2 включены в схему «токовое зеркало», то значение тока заряда равно току транзистора T_5 . Поэтому по окончании импульса $GATE1$ напряжение на накопительной емкости фиксируется на уровне, пропорциональном заряду входного сигнала. Время заряда составляет $\tau = 1$ мкс.

По окончании импульса $GATE1$ заряд прекращается, а схема управления процессом преобразования выдает сигнал D_I (или D_{-I}). По этому сигналу токовым ключом T_6 , T_7 (или T_{10} , T_{11}) включается ток линейного разряда, вырабатываемый генератором тока T_8 , T_9 (или T_9 , T_{12}). Включение первого или второго токового ключа определяется сигналом $LEVEL2$ с выхода компаратора M_7 . Если напряжение накопительного конденсатора C_2 меньше заданного порога, то включается токовый ключ T_6 , T_7 , иначе — токовый ключ T_{10} , T_{11} . Во втором случае сработает компаратор M_7 и разряд конденсатора C_2 произойдет в четыре раза быстрее.

С целью уменьшения влияния температурного дрейфа p - n -переходов T_8 , T_9 (или T_9 , T_{12}) генератор тока выполнен компенсированным (его температурным дрейфом компенсируется дрейф этих p - n -переходов).

Конец медленного разряда фиксируется компаратором M_6 при переходе напряжения конденсатора C_2 через ноль. Измерение времени медленного разряда осуществляется схемой управления процессом преобразования по счетно-импульсному методу.

2.2 Блок управления процессом преобразования

Блок управления процессом преобразования выполнен на основе многократно программируемых логических матриц фирмы «XILINX» — XC4003EP('84 (см. рис.3).

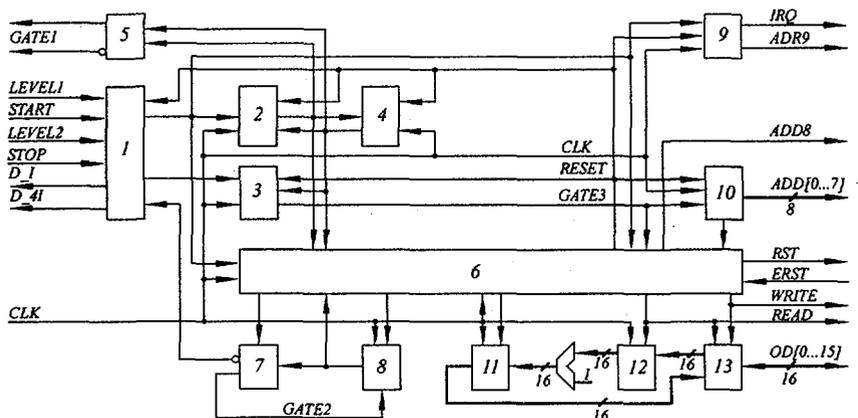


Рис.3. Схема блока управления процессом преобразования: 1 – входно-выходный блок, 2,3 – схемы синхронизации, 4 – счетчик $Cч_2$, 5 – схема совпадений I_1 , 6 – схема управления, 7 – схема совпадений I_2 , 8 – счетчик $Cч_3$, 9 – таймер, 10 – адресный счетчик $Cч_2$, 11,12 – регистры, 13 – буфер

При появлении сигналов *START* и *LEVEL1* (они формируются в схеме дискриминатора со следящим порогом) происходит их регистрация при помощи *D*-триггера. Этот триггер обеспечивает защиту анализатора от ложных срабатываний, потому что разрешающим для сигнала *START* является сигнал *LEVEL1*. После привязки входных сигналов к положительному фронту первого за ними импульса тактовой серии задается начало временных ворот *GATE1* и включается счетчик $Cч_1$. По сигналу переполнения счетчика $Cч_1$, поступающему на вход схемы совпадений I_1 , формируется срез импульса *GATE1*. Процесс заряда прекращается.

Следует медленный разряд запоминающего конденсатора и запуск схемы кодировки. В ее состав входят: схема синхронизации CC_1 , адресный счетчик $Cч_2$, схема управления, входно-выходные регистры и сумматор. В схеме кодировки осуществляют-

ся выработка цифрового кода, соответствующего значению сформированного временного интервала.

По окончании временных ворот *GATE1* схема синхронизации *CC₁* выдает импульс *GATE3*. Во время действия этого импульса снимается блокировка с 8-разрядного адресного счетчика *C₄*, и разрешается пересчет тактовой серии. Момент окончания цикла преобразования определяется в схеме управления. При этом если во время действия импульса *GATE3* появился сигнал *STOP*, то следует изменение содержимого ячейки буферной памяти. Для этого 10-разрядный код, сформированный схемой кодировки, подается на адресные входы буферной памяти. Одновременно схема управления вырабатывает импульс *READ*, по которому снимается блокировка с входного буфера и данные выбранной ячейки буферной памяти синхронно, относительно тактового сигнала *CLK*, заносятся во входной регистр. При помощи сумматора к содержимому выбранной ячейки добавляется единица. Следует запись нового цифрового кода в выходной регистр и по сигналу *WRITE* его перезапись в выбранную ячейку памяти. После записи схема преобразования устанавливается в начальное состояние импульсом сброса *RESET*. При этом в аналоговую часть анализатора поступает сигнал *RST*.

В случае отсутствия сигнала *STOP* также вырабатывается сигнал сброса *RESET*. После этого модуль готов к следующему циклу преобразования.

Для того чтобы достигнуть непрерывности процесса преобразования входной информации, в многоканальном анализаторе необходимо обеспечить возможность одновременного выполнения операций накопления и считывания спектра. Поэтому в качестве буферного накопителя используется двухпортовая память *IDT7133* типа *SRAM*. Память разделена на две части. При этом в текущем измерительном цикле в первую часть идет запись, а во вторую часть — чтение. По окончании процесса чтения следует сброс содержимого всех ячеек второй части памяти. В следующем измерительном цикле — наоборот.

Выбор первой или второй части памяти преобразователем осуществляется при помощи сигнала *ADD9*. При переходе к новому измерительному циклу старший адрес (сигнала *ADD9*) памяти устанавливается в противоположном состоянии. Младшие адреса *ADD[0...8]* формируются счетчиком *C₄*.

Особенностью данного многоканального анализатора является возможность измерять значение эквивалентного заряда входного сигнала с различной точностью. При больших амплитудах входного сигнала срабатывает компаратор M_7 и выдает сигнал *LEVEL2*. По этому сигналу адрес *ADD8* устанавливается в единицу.

Со стороны компьютерной магистрали на адресные входы буферной памяти подаются младшие адреса $A[0...8]$, а в качестве старшего адреса используется инвертированный сигнал *ADD9*. Старшие адреса $A[10...19]$, выдаваемые компьютером, определяют положение первой ячейки буферной памяти в адресном пространстве компьютера.

Основным источником нелинейности в анализаторах подобного типа является наложение входных сигналов. В рассмотренном модуле в схеме управления введена дополнительная логика, обеспечивающая устранение этой нелинейности. Если во время действия временных ворот *GATE1* появится новый сигнал *START*, то схемой управления вырабатывается сигнал сброса *RESET* и выдается сигнал *RST*. При этом за время действия входного сигнала необходимо блокировать измерительный контур преобразователя. Поэтому по новому сигналу *START* задается начало временных ворот *GATE2*, блокирующее измерительный контур, и снимается блокировка со счетчика C_3 . По сигналу переполнения с этого счетчика и при помощи схемы совпадений I_2 формируется срез сигнала *GATE2*. После этого блокировка измерительного контура снимается и модуль готов к очередному циклу преобразования. Время блокировки составляет 1,5 мкс.

Особенность данной схемы блокировки измерительного контура заключается в том, что при появлении очередного сигнала *START* во время действия сигнала *GATE2* счетчик C_3 обнуляется, а к времени блокировки добавляются новые 1,5 мкс.

Кроме этого устранение наложения входных сигналов требует отслеживания входных воздействий и во время медленного разряда накопительного конденсатора. Поэтому при появлении очередного сигнала *START* во время действия сигнала *GATE3* также формируются временные ворота *GATE2* и происходит блокировка входного блока анализатора. При этом сигнал сброса *RESET* выдается по окончании процесса преобразования заряд–время–код.

3. Заключение

Представленный прибор применяется для измерения энергетического распределения ионизирующих частиц, испускаемых источником с высокой активностью. При этом был использован сцинтиллятор из йодистого натрия. Максимальное «мертвое» время составляет 5 мкс. При этом скорость накопления спектра выше 160000 событий/секунду. Прибор испытан при входной скорости более 400000 событий/секунду. Для облегчения работы с многоканальным анализатором прибор имеет программно-управляемый источник высокого напряжения для питания ФЭУ ($U_{\max} = -2048$ В, $\Delta U = 0,5$ В / 12-разрядный ЦАП). Применение программируемого высоковольтного источника позволяет стабилизировать коэффициент усиления фотоумножителя.

В конструкцию платы модуля, наряду с рекомендациями [1.4], внесен ряд технических решений, обеспечивающих высокие измерительные характеристики устройства. К ним относятся:

— многослойная технология выполнения платы анализатора, обеспечивающая минимальную собственную индуктивность «общей земли» и кратчайший обратный путь по линии передачи сигналов;

— минимальная длительность проводников, передающих критичные сигналы;

— экранировка и развязка цепей по питанию.

В результате их применения нелинейность многоканального анализатора сведена до 0,1 %.

ЛИТЕРАТУРА

1. Ralph T. Interconnection techniques for Motorola's MECL 10000 Series Emitter Coupled Logic, Application Note 556, Motorola Int., 1972.
2. Цитович А.П. Ядерная электроника. М.: Энергоатомиздат. 1984.

3. Абрамов А.И., Казанский Ю.А., Матусевич Е.С. Основы экспериментальных методов ядерной физики. М.: Энергоатомиздат, 1985.
4. Применение интегральных микросхем в электронной вычислительной технике. Справочник. /Под редакцией Файзулаева Б.Н., Тарабрина Б.В./ М.: Радио и связь, 1986.
5. Мелешко Е.А. Наносекундная электроника в экспериментальной физике. М.: Энергоатомиздат, 1987.

Рукопись поступила в издательский отдел
19 июня 2000 года.