

объединенный
институт
ядерных
исследований
дубна

810 / 2-80

25 / 2-80

P13 - 12828

С.Г.Басиладзе, А.Н.Парфенов

БЫСТРАЯ СИСТЕМА
СЧИТЫВАНИЯ И КОДИРОВАНИЯ ИНФОРМАЦИИ
ДЛЯ ПРОЦЕССОРОВ,
РАБОТАЮЩИХ В РЕАЛЬНОМ ВРЕМЕНИ

1979

P13 - 12828

С.Г.Басиладзе, А.Н.Парфенов

**БЫСТРАЯ СИСТЕМА
СЧИТЫВАНИЯ И КОДИРОВАНИЯ ИНФОРМАЦИИ
ДЛЯ ПРОЦЕССОРОВ,
РАБОТАЮЩИХ В РЕАЛЬНОМ ВРЕМЕНИ**

Направлено в "Nuclear Instruments and Methods"
и на I Европейский симпозиум по сбору
и обработке экспериментальных данных
и управлению процессами /Зап. Берлин,
октябрь 1979 г./

Басиладзе С.Г., Парфенов А.Н.

P13 - 12828

Быстрая система считывания и кодирования информации для процессоров, работающих в реальном времени

Описывается быстрая система регистрации и подготовки данных для процессорных систем отбора событий. Осуществляется представление номеров и числа сработавших каналов в двоичном коде, а также передача этих кодов по быстрой магистрали в специальный накопитель со скоростью до 400 Мбит/с. Возможен вывод данных и на магистраль КАМАК.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1979

Basiladze S.G., Parfenov A.N.

P13 - 12828

A Fast Systems of Data Preparation for Event Selection Hardware Processors

A fast system of data preparation for event selection hardware processors is described. The system enables input pulses to be registered, the serial numbers of triggered channels and the amount of the triggered channels to be converted to binary code. The system consists of several 16-channel input register and priority encoder modules and of one serial-to-parallel converter of buffer. The input register and encoder modules are connected by a fast dataway to cascade them to increase the number of inputs up to 1024 and to transmit information to the serial-to-parallel converter having a capacity of eight 12-bit words. The binary codes of the serial numbers of the triggered channels are transferred from the serial-to-parallel converter to an arithmetic device of the processor. The time of selection and encoding the serial number of each triggered channel is 25 ns. It is possible to transfer data via the CAMAC dataway as well.

The investigation has been performed at the Laboratory of High Energies, JINR.

Preprint of the Joint Institute for Nuclear Research. Dubna 1979

В последнее время на крупных физических установках широко применяют быстрые специализированные цифровые процессоры для выделения исследуемых событий в реальном времени эксперимента. Если устройства предварительной селекции /наборы схем совпадений/ работают непосредственно с импульсами с детекторов, то процессоры, реализующие существенно более сложный алгоритм отбора, требуют, как правило, логарифмического представления входной информации, т.е. перевода параметров импульсов /величины, времени поступления, координаты/ в двоичный код. Это позволяет существенно сократить объем аппаратуры, реализующей алгоритм отбора.

До настоящего времени процессоры создавались индивидуально для каждой задачи ^{1,2/}. Анализ созданных устройств показывает, что они содержат ряд функционально-тождественных подсистем. Например, простейшей является подсистема ^{3/}, реализующая алгоритм

$$\sum_{i=1}^k A_i X_i \geq B_j \quad , \quad /1/$$

который применяется при отборе по суммарному энергосодержанию, определенным координатным или угловым соотношениям и т.д. Поэтому очевидно, что для создания спецпроцессоров может и должен быть применен функционально-модульный принцип построения, который позволит, так же как в свое время в наносекундной логике (NIM) и в задаче интерфейса с ЭВМ /КАМАК/, создавать в короткие сроки из унифицированных блоков достаточно сложные системы отбора, пригодные к быстрой перестройке, последовательному совершенствованию, неоднократному использованию, простые в эксплуатации и ремонте. Это обеспечит широкое внедрение техники спецпроцессоров в эксперимент.

По-видимому, полное решение этой задачи возможно лишь в рамках создаваемого стандарта FASTBUS ^{4/} и требует дальнейшего накопления опыта для выделения стандартных функциональных подсистем отбора. Однако и сейчас уже можно

унифицировать некоторые процессорные системы. Наиболее широкое распространение в физике высоких энергий имеют спецпроцессоры, работающие с детекторами координат частиц. Как указывалось выше, важной составной частью таких спецпроцессоров являются системы подготовки данных. Анализ показывает, что они должны иметь следующие стандартные функциональные подсистемы:

1. Узел регистрации входных импульсов.
2. Схему шифровки числа зарегистрированных импульсов для представления его в двоичном коде.
3. Схему шифровки номеров каналов, на которые поступили импульсы, для представления их в двоичном коде.
4. Быструю магистраль, ориентированную только на передачу кодов в накопитель.
5. Накопитель, преобразующий последовательно поступающие с быстрой магистрали двоичные слова в параллельный код события. Этот блок необходим для сверхбыстродействующих спецпроцессоров, в которых отдельные арифметические операции выполняются параллельно.

Задача стандартизации систем подготовки данных тем более актуальна, потому что они занимают до 80% объема оборудования спецпроцессора.

На рис. 1 приведена упрощенная блок-схема стандартизованной системы подготовки данных, разработанная в Лаборатории высоких энергий ОИЯИ. В систему входят модули двух типов: 16-канальные входные регистры и приоритетные шифраторы (DATA ENCODER), а также преобразователь последовательно поступающей информации в параллельную. Несколько одинаковых блоков DATA ENCODER объединены быстрой магистралью с целью увеличения числа входов /максимальное их число - 1024/ и для передачи двоичных кодов номеров сработавших каналов в преобразователь последовательной информации в параллельную. По этой же магистрали передаются коды числа сработавших каналов. Формат слова, передаваемого по магистрали, представлен также на рис. 1. Следует отметить, что данные передаются по магистрали только в одном направлении. Каждый модуль приоритетного кодирования всегда пропускает информацию, идущую с предыдущих модулей. Поступление в модуль низкого /разрешающего/ потенциала по шине "Запрет" быстрой магистрали означает, что прохождение информации из предыдущих модулей закончено. После этого с приходом каждого тактового импульса на магистраль по очереди выводятся двоичные коды номеров сработавших каналов данного модуля и номер самого модуля. По окончании кодирования на выходной шине "Запрет" вырабатывается низкий потенциал, разрешающий считывание

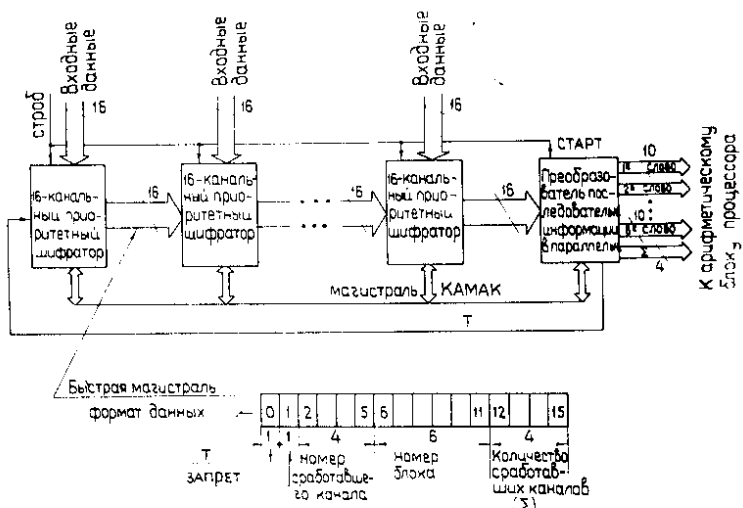


Рис. 1. Блок-схема системы считывания информации.

вание информации из последующих модулей. В модуле преобразования последовательной информации в параллельную номера сработавших каналов запоминаются и могут быть выведены оттуда в арифметическое устройство процессора.

Структурная схема унифицированного модуля регистрации и кодирования [5] приведена на рис. 2. Импульсы с участка годоскопической системы детекторов /в уровнях ECL либо TTL / поступают на 16-разрядный быстродействующий входной регистр. По команде чтения зарегистрированные данные могут быть выведены на магистраль КАМАК /например, в целях машинной проверки системы отбора/. Непосредственно с входного регистра данные поступают на схему подавления соседних срабатываний /необходима в случае работы с пропорциональными камерами/, информация с которой выводится на схему приоритетного кодирования номеров каналов, зафиксировавших импульсы в момент строб-сигнала. Эта информация подается также на цифровой сумматор, преобразующий число сработавших каналов в двоичный код и суммирующий его с кодом числа импульсов, зафиксированных в предыдущих блоках. Код числа импульсов проходит асинхронно на выход магистрали /объединяющей до 64 блоков/ с задержкой ~7 нс на блок. С появлением этого кода /четыре двоичных разряда/ на выходе магистрали становится возможным произвести предварительный отбор события по числу частиц, зарегистрированных в нескольких годоскопических плоскостях.

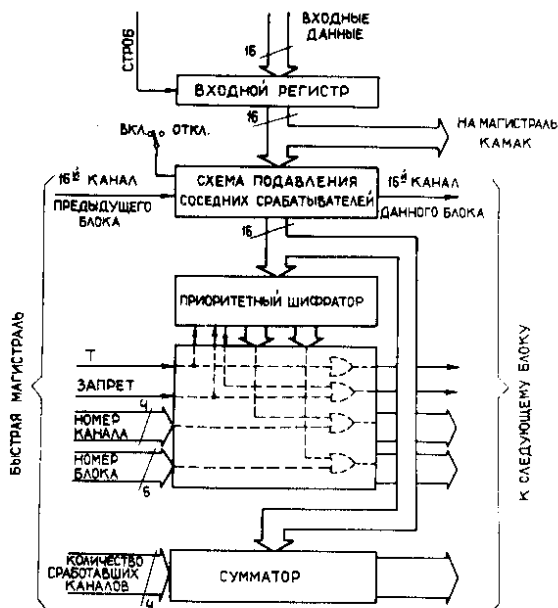
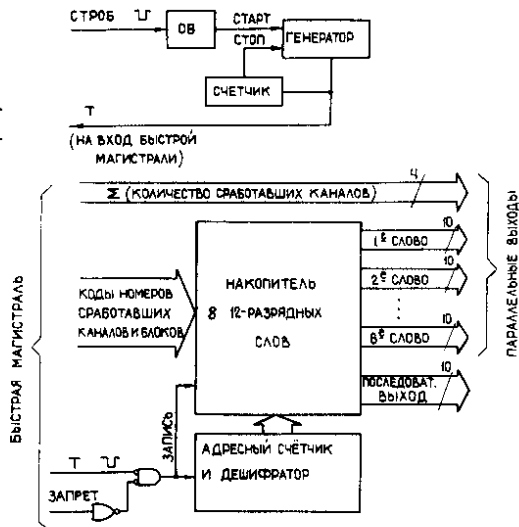


Рис. 2. Блок-схема модуля кодирования.

Наиболее ответственным узлом блока, определяющим его быстродействие, является схема поочередного кодирования номеров сработавших каналов, построенная по принципу приоритетного кодирования. Поскольку сложность приоритетного шифратора быстро растет с увеличением числа каналов, в описываемом блоке каналы разбиты на две группы /четные и нечетные каналы/ - тремя старшими разрядами кодируется номер канала в группе, а четвертый разряд означает принадлежность канала к "четной" или "нечетной" группе. При срабатывании одинаковых каналов в обеих группах схемой кодирования выдаются два числа: сначала с "0", а затем с "1" в младшем разряде.

Блок-схема накопителя-преобразователя кодов приведена на рис. 3. Задним фронтом строб-импульса запускается одновибратор МР, время выдержки которого равно времени подготовки первого кода в блоках регистрации и шифровки /~25 нс/. Задним фронтом одновибратора запускается генератор, вырабатывающий тактовые импульсы, которые поступают на вход быстрой магистрали и одновременно - в счетчик, который останавливает генератор при переполнении накопителя /емкостью 8 слов/, либо после того, как число импульсов достигнет заданной условиями эксперимента величины. Тактовые импульсы поочередно выводят коды номеров сработавших каналов на быструю

Рис. 3. Блок-схема модуля преобразования последовательно поступающей с быстрой магистрали информации в параллельную.



магистраль, проходят с ними до конца магистрали и служат строб-сигналами для записи кодов в накопитель. Накопитель-преобразователь содержит 8 12-разрядных регистров на триггерах типа LATCH /МС 10133/. С выходов триггеров коды параллельно выводятся на выходные разъемы преобразователя, откуда поступают в арифметическое устройство процессора.

Накопитель-преобразователь может использоваться также как быстрый буфер для разравнивания потока информации перед записью ее в блок памяти. Информация из накопителя может также быть выведена на магистраль КАМАК.

Краткие технические характеристики:

- | | |
|-------------------------|--|
| Входы | - число - до 1024 /до 64 модулей/, импеданс - 130 Ом, уровни TTL или ECL, минимальная длительность - 4 нс, запись по переднему фронту. |
| Входы "строб" и "сброс" | - импеданс - 50 Ом, уровни NIM, минимальная длительность - 5 нс. |
| Быстрая магистраль | - импеданс 110 Ом, уровни ECL. |

Формат данных	- 10 разрядов - код номера сработавшего канала /синхронно с тактовым импульсом/, 4 разряда - код количества сработавших каналов /асинхронная передача/.
Максимальная тактовая частота	- 40 МГц.
Емкость памяти модуля преобразования последовательно поступающей информации в параллельную	- 8 12-разрядных слов.

Функции и команды КАМАК

NA(0)F(0)	- чтение данных из входных регистров /шины R1-R16/.
NA(0)F(0)÷NA(7)F(0)	- чтение данных из модуля преобразования последовательно поступившей информации в параллельную /R-шины/.
L	- появляется при регистрации импульса в любом из каналов.
X	- сигнал правильной расшифровки функций.
Q	- совпадает с X при L = 1.

ЛИТЕРАТУРА

1. Веркерк С. В кн.: Труды IX Международного симпозиума по ядерной электронике. Варна, 1977. ОИЯИ, Д13-11182, Дубна, 1978, с.128.
2. Verkerk C. In: "Proc. of the 1978 CERN School of Computing", CERN, 78-13, p.65.
3. Базиладзе С.Г., Парфенов А.Н., Пиляр А.В. ОИЯИ, 13-12453, Дубна, 1979.
4. Larsen R.S. IEEE Trans. NS-25, 1978, 1, p. 735.
5. Базиладзе С.Г., Парфенов А.Н. ОИЯИ, 13-11449, Дубна, 1978.

Рукопись поступила в издательский отдел
3 октября 1979 года.