

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

ДУБНА



Б-821

1/8-77

P13 - 10639

2917/2-77

В.Ф.Борейко, В.М.Гребенюк, В.Г.Зинов

МАЖОРИТАРНЫЕ СОВПАДЕНИЯ

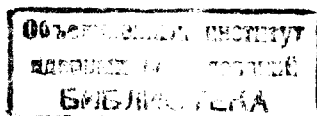
1977

P13 - 10639

В.Ф.Борейко, В.М.Гребенюк, В.Г.Зинов

МАЖОРИТАРНЫЕ СОВПАДЕНИЯ

Направлено в ПТЭ



Борейко В.Ф., Гребенюк В.М., Зинов В.Г.

P13 - 10639

Мажоритарные совпадения

Описана схема совпадений, выполненная на интегральных схемах в стандарте "Вишня". Схема имеет 15 входов совпадений, входы "АС" и "Строб" и два выхода - интегральный и дифференциальный. Быстродействие - 50 МГц. Задержка выходного сигнала относительно входного - 36 нс плюс длительность входного сигнала.

Работа выполнена в Лаборатории ядерных проблем ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1977

Boreiko V.F., Grebenyuk V.M.,
Zinov V.G.

P13 - 10639

Majority Coincidences

A coincidence unit performed on integral circuits in the standard of "Vishnya" is described. The circuit has 15 coincidence inputs, "AC" input, and "Strob" as well as two outputs - integral and differential ones. The speed of response is 50 MHz. The output signal delay with respect to the input one is 36 nsec plus the input signal duration.

The investigation has been performed at the Laboratory of Nuclear Problems, JINR.

Preprint of the Joint Institute for Nuclear Research, Dubna 1977

В последние годы в технике физического эксперимента большую роль приобрели годоскопические системы. Одним из элементов быстрого отбора событий являются мажоритарные совпадения. Эти схемы выделяют такие случаи, в которых импульсы от детекторов частиц поступают в заданном временном интервале и число их превышает заданную кратность совпадений n , т.е. $N \geq n$ /интегральный выход/. В ряде случаев есть необходимость одновременно выделять события, которые находятся в заданном диапазоне /окне/ кратности совпадений при сохранении высокого быстродействия устройства.

При разработке схемы мы учитывали, что высокое быстродействие при умеренной кратности < 10 может быть достигнуто только аналоговым способом отбора событий /1,2/. В случае увеличенной кратности ≥ 10 целесообразнее использовать цифровые методы /3/, однако это значительно усложняет элемент отбора совпадений и увеличивает мертвое время схемы в целом.

В настоящей работе описывается мажоритарная схема совпадений /МС/ с интегральным и дифференциальным выходами. Схема МС состоит из линейного сумматора токов /см. рис. 1/, компаратора верхнего уровня КВ, компаратора нижнего уровня КН, установочного триггера Т, двух двойных схем "И" - "И"1, "И"2; дифференцирующего элемента Д и двух выходных каскадов ВК 1, ВК 2.

На рис. 2 представлены временные диаграммы, поясняющие работу МС. Все входные сигналы суммируются линейным сумматором токов и, в зависимости от количества одновременно совпавших входных сигналов, амплитуда выходных импульсов сумматора будет меняться.

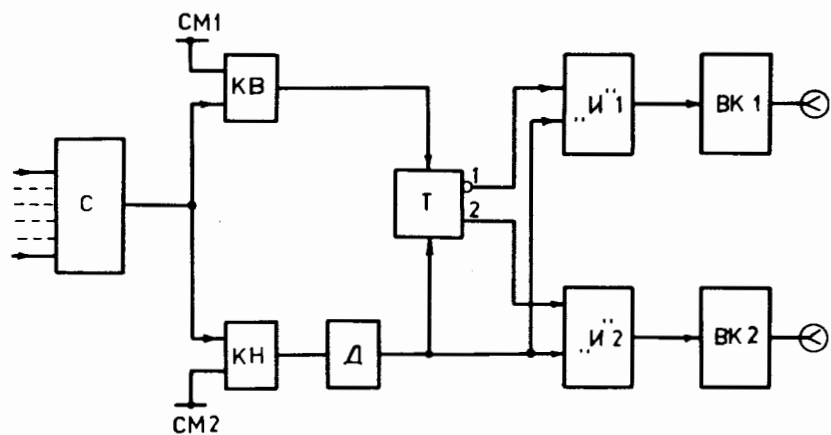


Рис. 1. Упрощенная функциональная схема МС.

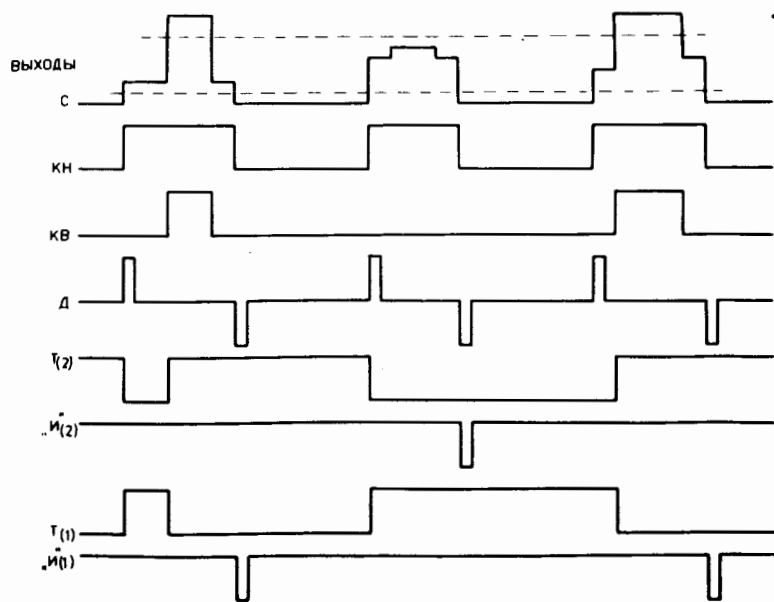


Рис. 2. Диаграмма работы МС.

Амплитудный отбор осуществляют два компаратора КН и КВ, работающих в режиме триггера Шмитта с возможностью изменения порогов срабатывания соответствующими напряжениями смещения СМ1 и СМ2. Уровень напряжения смещения СМ2 компаратора КН определяет кратность МС, а уровень СМ1 компаратора КВ - ширину окна /диапазон кратностей/. В зависимости от порогов срабатывания компараторов возможны три случая работы МС.

Первый - выходной импульс сумматора мал, и не сработал ни один компаратор.

Второй - сработал только компаратор КН.

Третий - сработал компаратор КН и за ним компаратор КВ.

Рассмотрим сначала третий случай. Выходной импульс компаратора КН после дифференцирования элементом Д поступает на входы схем "И" и установочного триггера. Выходным положительным импульсом дифференцирующего элемента триггер переводится в другое устойчивое состояние и сохраняет его до прихода импульса с компаратора КВ, который переводит триггер в исходное состояние. В этом состоянии с его инверсного выхода на схему "И"1 поступает разрешающий сигнал для прохождения отрицательного импульса элемента Д. Следовательно, на выход схемы "И"1 импульс с элемента Д пройдет только после срабатывания компаратора КВ.

Во втором случае за время действия выходного импульса сумматора компаратор КВ не срабатывает и выход триггера будет находиться в разрешенном состоянии для прохождения отрицательного выходного импульса элемента Д только через схему "И"2.

На рис. 3 показана принципиальная схема МС. Линейный сумматор выполнен на 15 токовых ключах, представляющих собой комбинацию логического элемента "ИЛИ" /1М1 ÷ 4М8/ и диода /Д1 ÷ Д15/, и транзисторе Т1. В исходном состоянии ток резистора R1 течет через транзистор Т1, т.к. все диоды Д1 ÷ Д15 закрыты эмиттерными напряжениями соответствующих элементов "ИЛИ". С приходом логического сигнала на любой из входов /например, Вх.1/, открывается диод /Д1/ и часть тока, задаваемого резистором R1, потечет через диод.

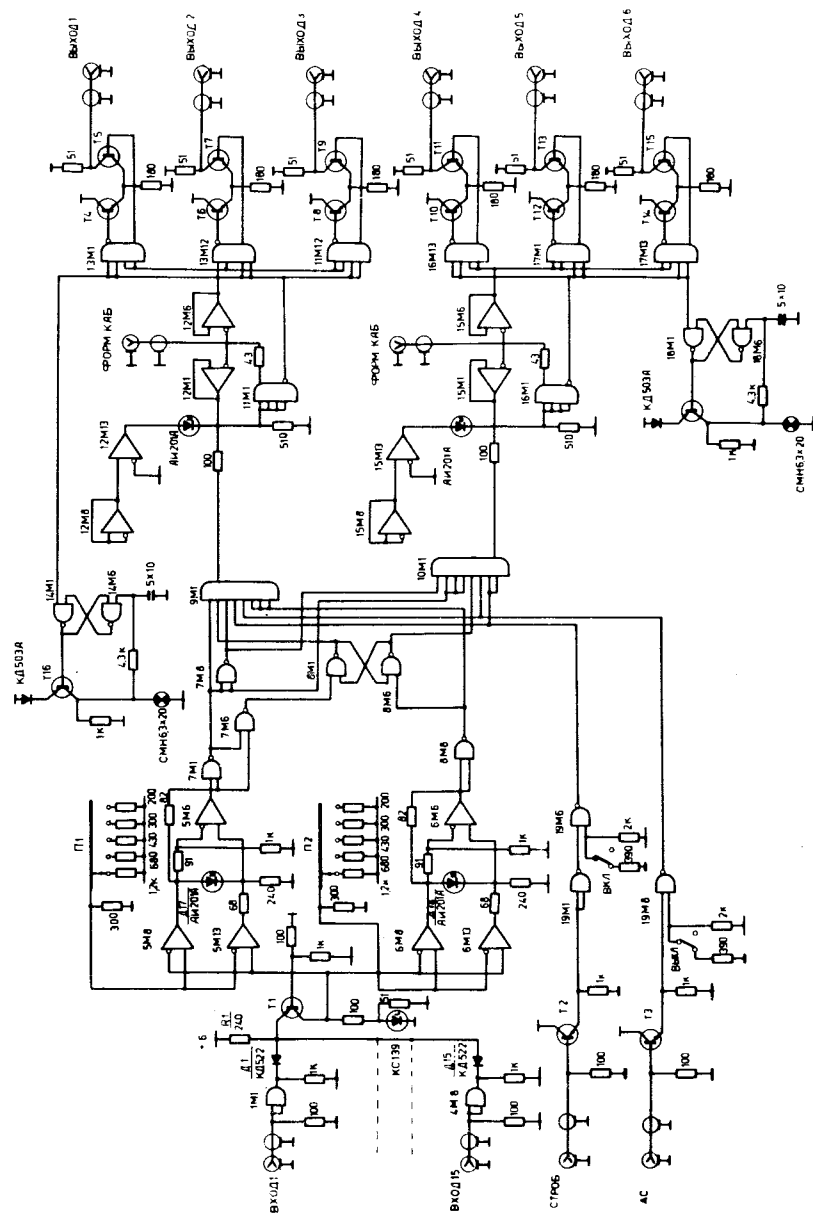


Рис. 3. Принципиальная электрическая схема МС.

Величина “ступеньки” тока для одного входа выбрана равной 5 мА.

Компаратор нижнего уровня выполнен на элементах 5M8, 5M13, 5M6 и туннельном диоде Д17, верхнего уровня - на элементах 6M8, 6M13, 6M6 и туннельном диоде Д18. Работа компаратора описана в [4]. Уровни порогов срабатывания компараторов устанавливаются переключателями П1 и П2 соответственно.

На элементах 7M1 и 7M6 осуществляется дифференцирование выходного сигнала компаратора нижнего уровня.

Установочный триггер выполнен на элементах 8M1 и 8M6.

Выходные импульсы элементов 9M1 /интегральный канал/ и 10M1 /дифференциальный канал/ поступают на выходные каскады, где они стандартизируются как по длительности, так и по амплитуде [5].

В блоке предусмотрено управление выходных импульсов: разрешение по входу “Строб” и запрещение по входу “АС” с возможностью выключения их соответствующими тумблерами, установленными на передней панели блока.

Работа блока контролируется схемой визуальной индикации отдельно для интегрального и дифференциального выходов.

Основные технические данные

Число входов совпадений	- 15
Число входов “Строб”	- 1
Число входов “АС”	- 1
Кратность совпадений n - любая	- 1 ÷ 5 из 15
“Окно” кратностей	- 1 ÷ 5
Разрешающее время задается длительностью входных сигналов.	
Число входов при $n > (1 ÷ 5)$	- 3
Число входов при $n < (1 ÷ 5)$	- 3
Длительность выходных сигналов	- 10 мс
Фронт и спад выходных сигналов	- 3,5 мс

Быстродействие	- 50 МГ
Задержка выходного сигнала относительно входного	- 36 нс+длит.входн.
Питание	- -6 В, 1,1 А; +6 В, 0,5 А.
Размер передней панели	- 160x160.

Литература

1. Бушнин Ю.Б., Дунайцев А.Ф. ПТЭ, 1973, №2, с.93.
2. Зубарь В.Н. и др. ОИЯИ, 13-4892, Дубна, 1972.
3. Bertolucci B., Horelik D., Roshe F. Preprint SLAC No. 948, Stanford, USA, 1971.
4. Борейко В.Ф., Гребенюк В.М., Зинов В.Г. ОИЯИ, P13-8705, Дубна, 1975.
5. Борейко В.Ф., Гребенюк В.М., Зинов В.Г. ОИЯИ, P13-8603, Дубна, 1975.
6. Moor M., Verweij H. 32 Input Logic Unit N-4156. CERN NP Division, 1971.

*Рукопись поступила в издательский отдел
3 мая 1977 года.*