

ОБЪЕДИНЕННЫЙ  
ИНСТИТУТ  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ  
ДУБНА

P11-86-483

Я.Бан, М.Семан\*

СПЕЦИАЛИЗИРОВАННЫЙ ПРОЦЕССОР ТИПА RISC

Направлено в журнал "Приборы и техника  
эксперимента"

---

\* ИФ САН, Кошице, ЧССР

1986

## Введение

Включение триггера второго уровня в систему сбора данных спектрметрического комплекса "Гиперон"/1/ определило необходимость разработки специализированной вычислительной системы (ВС). Основными требованиями на такую ВС являются:

- высокая скорость съема данных, поступающих из системы КАМАК,
- высокая скорость выполнения основных машинных инструкций процессора,
- малое время реакции на прерывание при одновременном сохранении гибкости системы.

После проведения анализа возможностей для выполнения перечисленных требований было решено создать микропрограммируемую пользователем КАМАК-ориентированную вычислительную систему с RISC-архитектурой процессора.

## Описание системы

Блок-схема КАМАК - ориентированной вычислительной системы (рис.1), включает следующие основные части:

- интерфейс host -компьютера, выполненный в стандарте КАМАК,
- оперативную память,
- центральный процессор,
- канал ввода-вывода,
- контроллер крейта КАМАК,
- арбитр шины.

Все основные части системы соединены шиной с импедансом 120 Ом. Вычислительная система спроектирована для работы на линии с host - компьютером. Соединение с host -компьютером реализовано через интерфейс в стандарте КАМАК, который позволяет host -компьютеру осуществлять прямой доступ в оперативную память ВС, загружать данные в микропрограммную память процессора ВС, прерывать работу процессора ВС host-компьютером и наоборот, отлаживать микропрограммы процессора и т.д.

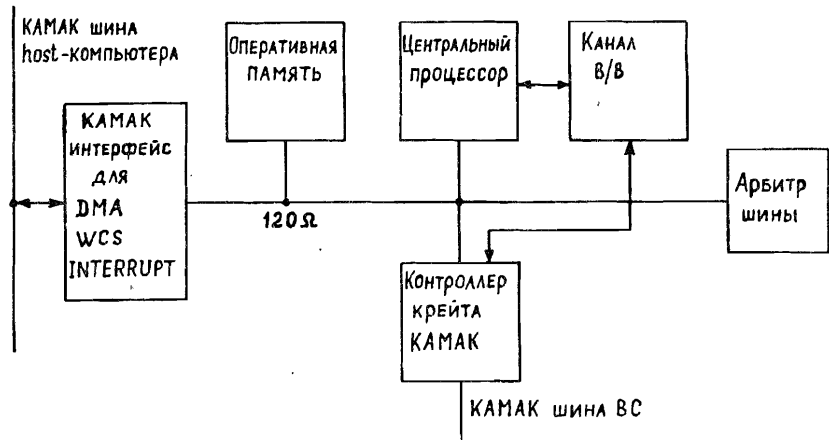


Рис.1. Блок-схема КАМАК-ориентированной вычислительной системы.

До начала работы процессора host-компьютер вводит в оперативную память программу, которая затем будет выполняться процессором ВС, и загружает память микропрограмм, определяя тем способ выполнения машинных инструкций данной программы, т.е. задавая набор команд процессора ВС. Результаты выполнения программы или другие данные host-компьютер читает или записывает тем же способом. Следует отметить, что интерфейс host-компьютера играет важную роль в процессе отладки микропрограмм: он позволяет загружать память микропрограмм процессора ВС, выполнять микроинструкции в шаговом режиме и запускать выполнение микроинструкций с заданного адреса, что позволяет эффективно отлаживать микропрограммы.

Процессор допускает прямую адресацию 64К 16-разрядных слов, то есть оперативная память может иметь емкость до 128К байт. Блок-схема памяти приведена на рис.2. Матрица памяти реализована на базе интегральных схем SY2417H-3. Приемники-передатчики шины данных и адресной шины выполнены на микросхемах K559ИЦП. Цикл оперативной памяти 200 нс, доступ данных 150 нс, причем эти времена включают реакцию арбитра шины на запрос.

Блок-схема центрального процессора приведена на рисунке 3. В процессоре можно выделить три основные части: арифметическое устройство (ALU), устройство для работы с программным счетчиком (PCU), устройство управления процессором и всей системой (CCU).

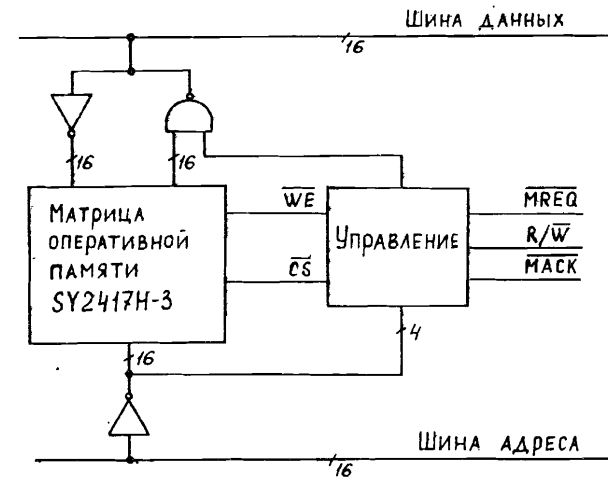


Рис.2. Блок-схема памяти.

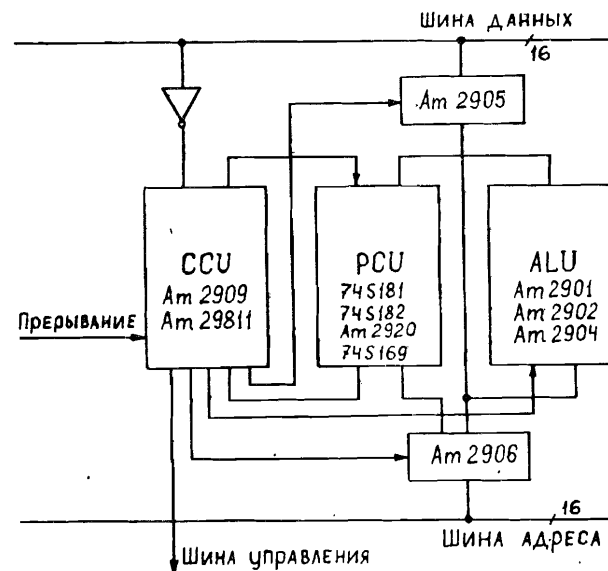


Рис.3. Блок-схема процессора.

Управляющее устройство микропрограммное. Как уже отмечалось, оно позволяет пользователю создавать свои микропрограммы. Ширина микроинструкции – 90 разрядов, емкость реализованной микропрограммной памяти – 256 90-разрядных слов, максимальная емкость этой памяти – 4К 90-разрядных слов. Управляющее устройство организует работу процессора в режиме "THREE STAGE PIPELINING(TSP)".

Схема выполнения инструкций показана на рис.4.

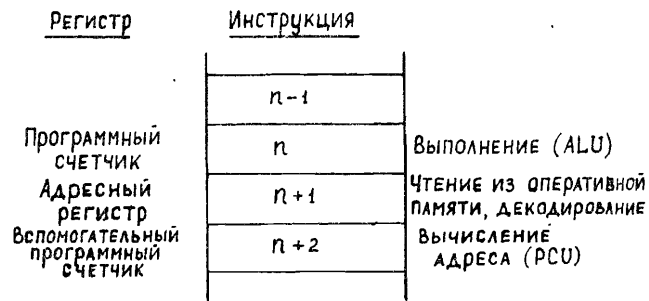


Рис.4. Выполнение инструкций.

В каждом цикле процессор выполняет инструкцию, одновременно считывает из оперативной памяти следующую, и декодирует ее и вычисляет адрес размещения третьей инструкции в оперативной памяти. Процесс остается непрерывным также при инструкциях передачи управления ( JUMP ), так как использован режим "передачи управления с задержкой" ( DELAYED CONTROL TRANSFER ), в результате чего практически каждая инструкция будет выполнена за один машинный цикл (два цикла требуется только для инструкций LDA , STA ). Генератор тактовых импульсов процессора Am2925 работает с основной частотой 20 МГц. Длина микропрограммного такта микропрограммируется в пределах от 150 нс до 500 нс. Микропрограммный шаг, в котором выполняется одна машинная инструкция (выполнение, чтение следующей инструкции, вычисление адреса – см. рис.4) имеет длину 300–350 нс в зависимости от типа инструкции. Это значит, что процессор способен выполнять около 3 млн. машинных инструкций в секунду.

Устройство управления обеспечивает широкие возможности для эффективной отладки пользовательских микропрограмм, причем отладка микропрограмм и перезапись содержимого микропрограммной памяти может выполняться динамически – из программы без остановки процессора.

Устройство для работы с программным счетчиком представляет самостоятельную часть процессора: оно обеспечивает правильную последовательность вычисления адресов программного счетчика (PC), вспомогательного программного счетчика (AUX) и адресного регистра (MA) в режиме "TSP" (рис.4). Блок-схема устройства приведена на рис.5.

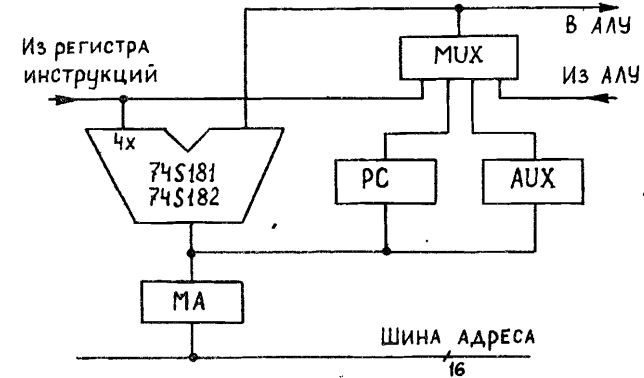


Рис.5. Блок-схема PCU.

Вычисление адресов реализовано на 16-разрядном арифметическо-логическом устройстве, параллельном АЛУ процессора. Вычисление адресов типа PC+I реализуется прямо в программном счетчике (PC), который выполнен на ИС SN74S169. При этом процессор допускает абсолютный, относительный и индексный способы адресации.

Арифметическо-логическое устройство процессора представляет третью самостоятельную часть процессора. Оно реализовано на базе 4-разрядных секционных элементов Am2901B, что в конечном счете и определяет количество и тип арифметических и логических операций, выполняемых в одном такте процессора. АЛУ процессора содержит 16 общих регистров, адресуемых из регистра инструкций процессора и из регистра микроинструкций. Для работы со статусным словом процессора использована интегральная схема Am2904.

Очень важной частью разработанной вычислительной системы является блок канала ввода/вывода, который позволяет пользователю прямо из микропрограммы управлять стандартным контроллером крейта КАМАК. Идея прямого микропрограммного управления стандартным контроллером основана на факте, что микропрограммный цикл процессора в несколько раз короче программного цикла КАМАК системы. Процессор во время текущего цикла КАМАК системы успевает подготовить и начать следующий цикл. Это достигается минимизацией числа обращений процессора в оперативную память, помещением всей программы, если она имеет небольшой

объем, в микропрограммную память. Распределение задачи между оперативной и микропрограммной памятью целиком определяется пользователем, причем это распределение можно осуществлять и динамически – во время работы процессора специальными машинными инструкциями. Этот подход позволяет реализовать непрерывное чтение данных из системы КАМАК в программном режиме со скоростью  $10^6$  16-разрядных слов в секунду.

Блок канала ввода/вывода был разработан для управления стандартным контроллером крейта КАМАК CC2023 BY SEN ELECTRONIQUE (для ЭВМ nova820, DGC, USA). Разрабатывается аналогичный блок и для контроллера DC-10(DEC).

Арбитр шины распределяет управление внутренней шиной между процессором, host-компьютером и другими устройствами В/В, которые можно подключить к ВС, при этом обмен в режиме прямого доступа в оперативную память ВС можно выполнять со скоростью  $5 \cdot 10^6$  16-разрядных слов в секунду.

#### Заключение

Разработана КАМАК-ориентированная вычислительная система для быстрой обработки данных, поступающих со спектрометрического комплекса "Типерон". Конструкция вычислительной системы позволяет уменьшить семантическое расстояние (SEMANTIC GAP) между архитектурой вычислительной системы и языком программирования системы КАМАК введением процессора с архитектурой RISC, программируемого пользователем. Повышение скорости чтения массива данных с системы КАМАК в программном режиме достигнуто за счет минимизации числа обращений процессора к оперативной памяти и распределением инструкций задачи между оперативной и микропрограммной памятью.

Авторы выражают благодарность Ю.А.Будагову, Л.Шандору за поддержку работы, В.М.Котову и А.А.Семенову за полезные советы, И.Балу-ну за помощь при отладке микропрограмм процессора и написание тестирующих программ, проверяющих работу процессора.

#### Литература

1. Антюхов В.Л. и др. ОИЯИ, Р13-84-562, Дубна, 1984.
2. BIPOlar MICROPROCESSOR LOGIC AND INTERFACE DATA BOOK, AMD, USA, 1981
3. Patterson D.A. and Seguin C.H. "A VLSI RISC" Computer, vol. 15, No9, 1982.
4. Katevenis M.G.H. et al. "THE RISCII MICROARCHITECTURE" in proc. VLSI' 1983, TRONDHEIM, NORWAY, 1983.

Рукопись поступила в издательский отдел  
15 июля 1986 года.

### ТЕМАТИЧЕСКИЕ КАТЕГОРИИ ПУБЛИКАЦИЙ ОБЪЕДИНЕННОГО ИНСТИТУТА ЯДЕРНЫХ ИССЛЕДОВАНИЙ

Индекс	Тематика
1.	Экспериментальная физика высоких энергий
2.	Теоретическая физика высоких энергий
3.	Экспериментальная нейтронная физика
4.	Теоретическая физика низких энергий
5.	Математика
6.	Ядерная спектроскопия и радиохимия
7.	Физика тяжелых ионов
8.	Криогеника
9.	Ускорители
10.	Автоматизация обработки экспериментальных данных
11.	Вычислительная математика и техника
12.	Химия
13.	Техника физического эксперимента
14.	Исследования твердых тел и жидкостей ядерными методами
15.	Экспериментальная физика ядерных реакций при низких энергиях
16.	Дозиметрия и физика защиты
17.	Теория конденсированного состояния
18.	Использование результатов и методов фундаментальных физических исследований в смежных областях науки и техники
19.	Биофизика

## НЕТ ЛИ ПРОБЕЛОВ В ВАШЕЙ БИБЛИОТЕКЕ?

Вы можете получить по почте перечисленные ниже книги, если они не были заказаны ранее.

D2-82-568	Труды совещания по исследованиям в области релятивистской ядерной физики. Дубна, 1982.	1 р. 75 к.
D9-82-664	Труды совещания по коллективным методам ускорения. Дубна, 1982.	3 р. 30 к.
D3,4-82-704	Труды IV Международной школы по нейтронной физике. Дубна, 1982.	5 р. 00 к.
D11-83-511	Труды совещания по системам и методам аналитических вычислений на ЭВМ и их применению в теоретической физике. Дубна, 1982.	2 р. 50 к.
D7-83-644	Труды Международной школы-семинара по физике тяжелых ионов. Алушта, 1983.	6 р. 55 к.
D2,13-83-689	Труды рабочего совещания по проблемам излучения и детектирования гравитационных волн. Дубна, 1983.	2 р. 00 к.
D13-84-63	Труды XI Международного симпозиума по ядерной электронике. Братислава, Чехословакия, 1983.	4 р. 50 к.
D2-84-366	Труды 7 Международного совещания по проблемам квантовой теории поля. Алушта, 1984.	4 р. 30 к.
D1,2-84-599	Труды VII Международного семинара по проблемам физики высоких энергий. Дубна, 1984.	5 р. 50 к.
D17-84-850	Труды III Международного симпозиума по избранным проблемам статистической механики. Дубна, 1984. /2 тома/	7 р. 75 к.
D10,11-84-818	Труды V Международного совещания по проблемам математического моделирования, программированию и математическим методам решения физических задач. Дубна, 1983	3 р. 50 к.
	Труды IX Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1984 /2 тома/	13 р. 50 к.
D4-85-851	Труды Международной школы по структуре ядра, Алушта, 1985.	3 р. 75 к.
D11-85-791	Труды Международного совещания по аналитическим вычислениям на ЭВМ и их применению в теоретической физике. Дубна, 1985.	4 р.
D13-85-793	Труды XП Международного симпозиума по ядерной электронике. Дубна 1985.	4 р. 80 к.

Заказы на упомянутые книги могут быть направлены по адресу:  
101000 Москва, Главпочтамт, п/я 79  
Издательский отдел Объединенного института ядерных исследований

Бан Я., Семан М.

P11-86-483

Специализированный процессор типа RISC

Для сбора, контроля и экспресс-анализа данных, поступающих с электронных экспериментов в физике высоких энергий на спектрометрическом комплексе "Гиперон", была разработана микро-программируемая пользователем быстрая КАМАК-ориентированная вычислительная система с RISC-архитектурой процессора. Работа содержит описание аппаратных средств системы.

Работа выполнена в Лаборатории вычислительной техники и автоматизации ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1986

Перевод авторов

Ban J., Seman M.

P11-86-483

RISC Architecture Specialized Processor

Fast, user microprogrammable, CAMAC oriented computer system with the RISC architecture of the central processor unit has been designed for the data acquisition system for high energy physics experiments on the Hyperon spectrometer. Hardware of the computer system is described.

The investigation has been performed at the Laboratory of Computing Techniques and Automation, JINR.

Preprint of the Joint Institute for Nuclear Research. Dubna 1986