

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА



Ц 8482
К-615

4/VI-73

P11 - 7005

И.Ф. Колпаков, Н.М. Никитюк, Л.А. Урманова

2065/2-73

ПРЕОБРАЗОВАТЕЛЬ КОДОВ
ИЗ ДВОИЧНОЙ СИСТЕМЫ
В ДВОИЧНО-ДЕСЯТИЧНУЮ
В СТАНДАРТЕ "САМАС"

1973

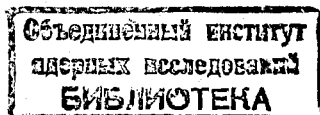
ЛАБОРАТОРИЯ ВЫСОКИХ ЭНЕРГИЙ

P11 - 7005

И.Ф. Колпаков, Н.М. Никитюк, Л.А. Урманова

ПРЕОБРАЗОВАТЕЛЬ КОДОВ
ИЗ ДВОИЧНОЙ СИСТЕМЫ
В ДВОИЧНО-ДЕСЯТИЧНУЮ
В СТАНДАРТЕ "САМАС"

Направлено в ПТЭ



1. ВВЕДЕНИЕ

Многие устройства (цифровые индикаторы, перфораторы, цифропечатать, телетайп) требуют представления информации в двоично-десятичном коде. Для перехода от двоичного кода, поступающего, например, с двоичного счетчика, необходим преобразователь двоичного кода в двоично-десятичный (ДДП).

Существуют различные методы преобразования из двоичной системы в двоично-десятичную. Наибольшее применение получил метод последовательного преобразования /1/. Этот метод может быть реализован двупаговым способом, когда сдвиг и коррекция числа в процессе преобразования разделены во времени /1,2/, и однопаговым, когда эти две операции выполняются одновременно с помощью комбинационной логики /3/. Последний способ является более экономичным, надежным, обеспечивает относительно высокое быстродействие и положен в основу работы описываемого блока ДДП.

Блок ДДП выполнен в стандарте "САМАС" /4/. Входной код может иметь максимум 24 двоичных разряда. Наибольшее десятичное число, которое может быть представлено с помощью данного преобразователя, равно $16\ 777\ 215_{10}$.

Время преобразования составляет 10 мксек.

Общий вид блока представлен на рис.1.

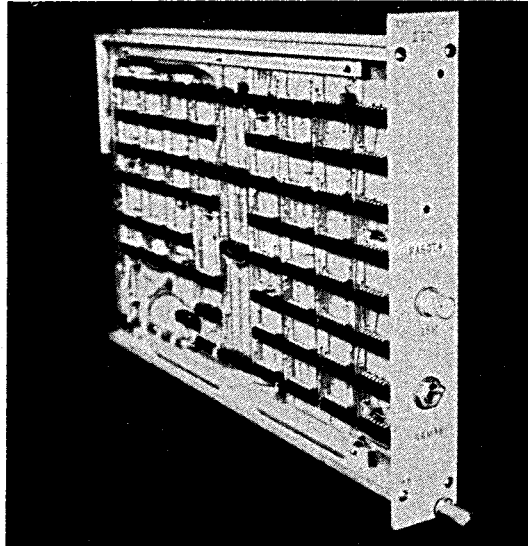


Рис.1. Общий вид блока преобразователя кодов.

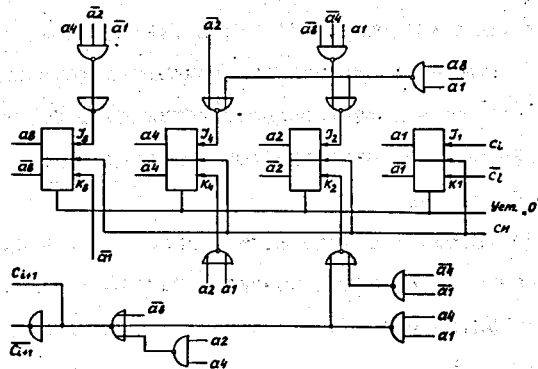


Рис.2. Принципиальная схема тетрады.

2. ПРИНЦИП РАБОТЫ ДДП

Преобразование кода из десятичной системы в двоично-десятичную осуществляется одношаговым последовательным методом в выходном регистре ДДП, составленном из восьми тетрад. Каждая тетрада (рис.2) представляет собой четырехразрядный счетчик на J-K триггерах с комбинационной логикой, которая определяет соответствующие управляющие уровни J и K для каждого триггера тетрады и значение сигнала переноса c_{i+1} в старшую тетраду в зависимости от текущих состояний триггеров и сигнала переноса c_i от младшей тетрады. Переходы состояний триггеров тетрады приведены в таблице на рис.3. На каждом синхронимпульсе происходит удвоение содержимого тетрады по модулю 10_2 . При этом к результату удвоения прибавляется 1, если содержимое предыдущей, младшей тетрады превышало десятичное значение 4 и на тетраду поступает сигнал переноса c_i . В первой, самой младшей тетраде добавление 1 к результату удвоения происходит, если на тетраду поступает 1 из входного регистра. Сигнал переноса c_{i+1} в следующую тетраду вырабатывается всегда, когда удвоенное значение тетрады превышает 9.

Входы J и K для четырех триггеров тетрады могут быть определены как:

$$\begin{aligned}
 J_1 &= c_i; & K_1 &= \bar{c}_i; \\
 J_2 &= \bar{a}_2 \bar{a}_4 \bar{a}_1 + a_2 \bar{a}_1; & K_2 &= \bar{a}_4 \bar{a}_1 + a_4 a_1; \\
 J_4 &= a_2 + a_8 \bar{a}_1; & K_4 &= \bar{a}_2 + \bar{a}_1; \\
 J_8 &= a_4 \bar{a}_2 \bar{a}_1; & K_8 &= \bar{a}_1;
 \end{aligned}
 \tag{1}$$

Текущее состояние $A_3 A_2 A_1 A_0$	$C_1=0$		$C_1=1$	
	След. сост. $A_3 A_2 A_1$	C_{1+1}	След. сост. $A_3 A_2 A_1$	C_{1+1}
0000	0000	0	0001	0
0001	0010	0	0011	0
0010	0100	0	0101	0
0011	0110	0	0111	0
0100	1000	0	1001	0
0101	0000	1	0001	1
0110	0010	1	0011	1
0111	0100	1	0101	1
1000	0110	1	0111	1
1001	1000	1	1001	1

Рис.3. Таблица переходов состояний триггеров тетрады.

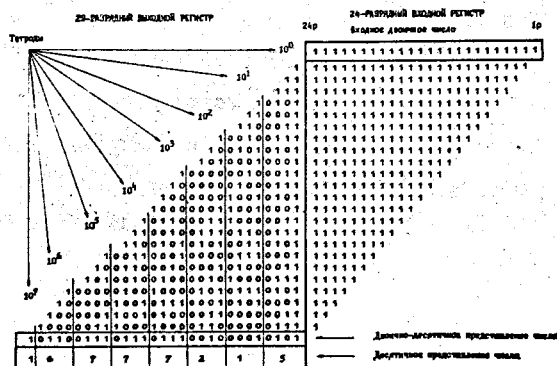


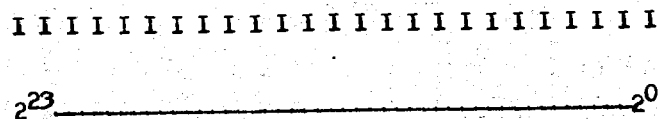
Рис.4. Пример преобразования двоичного кода в двоично-десятичный.

Сигнал переноса c_{i+1} формируется согласно выражению

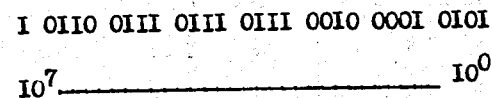
$$C_{i+1} = A_8 + A_4 A_1 + A_4 A_2 \quad (2)$$

В каждом цикле преобразования в блоке вырабатывается пачка из 24 синхриомпульсов, и двоичное число, занесенное во входной 24-разрядный сдвиговый регистр, последовательно продвигается старшими разрядами вперед через тетрады выходного регистра и соответственно корректируется. После 24 синхриомпульсов процесс преобразования заканчивается, и содержимое выходного регистра представляет число в двоично-десятичном виде.

На рис.4 приведен пример преобразования двоичного числа.



После 24 сдвигов число принимает вид



3. БЛОК-СХЕМА ДДП

Блок-схема преобразователя кодов представлена на рис.5.

Основными узлами ДДП являются:

1), 24-разрядный сдвиговый регистр, в который в параллельном коде вводится двоичное число, подлежащее преобразованию.

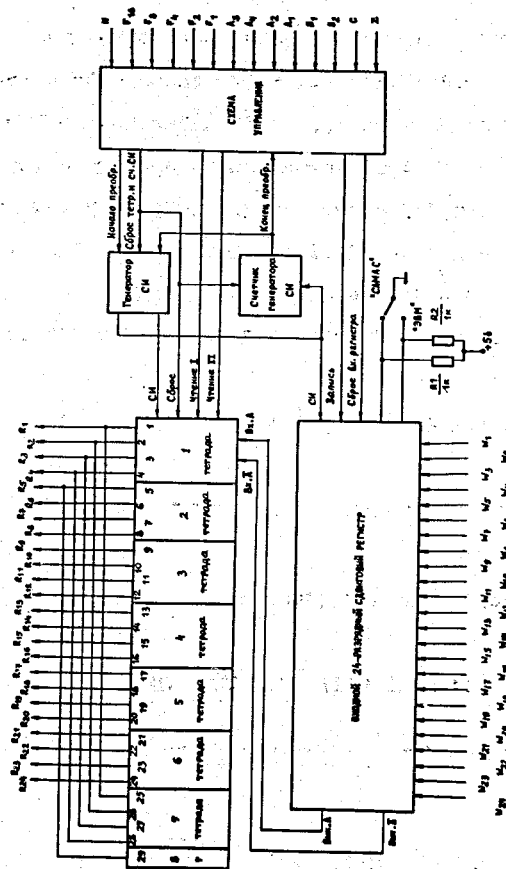


Рис. 5. Блок-схема преобразователя кодов.

2). Генератор и 5-разрядный счетчик синхрипульсов, служащих для последовательных сдвигов и преобразования кода. В каждом цикле преобразования вырабатывается пачка из 24 синхрипульсов.

3). Выходной 29-разрядный регистр, состоящий из восьми тетрад с комбинационными схемами управления. Выходной регистр служит для преобразования кода и хранения его в двоично-десятичной форме. Каждая тетрада служит для представления одной десятичной цифры. В выходном регистре семь полных тетрад и одна, самая старшая, неполная. Она представлена одним триггером и содержит значение 8-го, старшего десятичного разряда, которое в данном преобразователе никогда не превышает I.

4). Схема управления, включающая дешифраторы функций команд, субадресов и схемы выработки основных сигналов, управляющих работой преобразователя и его связями с другими блоками:

$$1. \text{ "Сброс входного регистра" } = (Z+C+NA_0^F)S_I.$$

$$2. \text{ "Сброс тетрад и сч. СИ" } = (Z+C+NA_0^F)S_I + NA_0^F I_8^S I.$$

Этот сигнал служит для сброса выходного регистра, счетчика синхрипульсов и управляющих триггеров.

$$3. \text{ "Запись" } = NA_0^F I_8^S S_I + NA_1^F I_8^S I.$$

разрешает занесение двоичного кода во входной регистр.

$$4. \text{ "Начало преобразования" } = NA_0^F I_8^S S_2 + NA_1^F I_8^S S_2.$$

служит для запуска генератора синхрипульсов.

5. "Конец преобразования". Этот сигнал вырабатывается, когда показание счетчика синхрипульсов становится равным 24, и служит для запрещения работы генератора синхрипульсов. Сигналы "Начало преобразования" и "Конец преобразования" служат для формирования пачки из 24 синхрипульсов в каждом цикле преобразования кодов.

$$6. \text{ "Чтение I" } = NA_0^F I_8^S \text{ предназначено для считывания}$$

I - 24 разрядов выходного регистра по магистральным шинам

$R_1 - R_{24}$

7. "Чтение II" = $NA_1^F O$ служит для считывания старших, 25 + 29, разрядов числа по магистральным шинам $R_1 - R_5$.

8. "Работа". Этот сигнал выводится на шину "P" магистрали и на высокочастотный разъём, установленный на передней панели блока. Сигнал "Работа" возникает в момент поступления на блок команды $NA_0^F I_6$ и снимается сигналом "Конец преобразования". Он может быть использован для запрета обращения к блоку во время процесса преобразования кода.

9. "Запрос" появляется на шине "L" магистрали после окончания процесса преобразования кода, сигнализируя о наличии в блоке преобразованного кода и о необходимости его считывания, и снимается командой $NA_1^F O$. Кроме того, "Запрос" может быть снят командой $NA_0^F I_0$ и сигналом "Сброс тетрад и сч. СИ".

10. "Ответ", т.е. низкий логический уровень на магистральной шине "Q", появляется всякий раз, когда блок принимает обращенную к нему команду. Сигнал "Ответ" определяет также состояние блока при проверке его командой $NA_0^F 8$, при этом $Q=1$, т.е. на шине "Q" имеется низкий логический уровень, если в блоке содержится преобразованный код, если же в блоке идет процесс преобразования кода, то $Q=0$.

11. Когда блок принимает обращенную к нему команду, низкий логический уровень появляется также на магистральной шине "X".

В блоке ДДП используются следующие команды и сигналы "САМАС":

1. команды записи $NA_0^F I_6$ и $NA_1^F I_6$

2. команды чтения $NA_0^F O$ и $NA_1^F O$

3. команда сброса $NA_0^F 9$

4. команда проверки "Запроса" $NA_0^F 8$

5. команда сброса "Запроса" $NA_0^F I_0$

6. сигналы N, Z, C, S_1, S_2 .

4. ПОСЛЕДОВАТЕЛЬНОСТЬ РАБОТЫ ДДП.

На рис.6 представлена временная диаграмма работы блока. В исходное состояние блок может быть установлен сигналами "Подготовка" на магистральной шине "Z", "Сброс" на шине "C", и командами $NA_0^F 9$ и $NA_0^F I_6 S_1$, причем команда $NA_0^F I_6 S_1$ используется для сброса выходного регистра, счетчика синхри-мпульсов и управляющих триггеров в начале каждого нового цикла преобразования. Выходной регистр в таком сбросе не нуждается, поскольку в каждом цикле преобразования он очищается. Это позволяет производить запись во входной регистр одновременно со сбросом остальных регистров и триггеров блока, т.е. во время действия команды $NA_0^F I_6 S_1$.

В интервале между сигналами "Начало преобразования" = $NA_0^F I_6 S_{12}$ и "Конец преобразования", который формируется в момент, когда показание счетчика синхри-мпульсов достигает 24, происходит процесс преобразования кода. Время преобразования определяется частотой генератора и частотными характеристиками микросхем и составляет 10 мксек.

После окончания преобразования в выходном регистре содержится число в двоично-десятичном коде, о чем сигнализирует "Запрос" - низкий логический уровень на магистральной шине "L". Считывание преобразованного кода производится в два приема: по команде "Чтение I" по магистральным шинам $R_1 - R_{24}$ передаются 1 + 24 разряды числа, по сигналу "Чтение II" - остальные 25 + 29 старшие разряды соответственно по шинам $R_1 - R_5$.

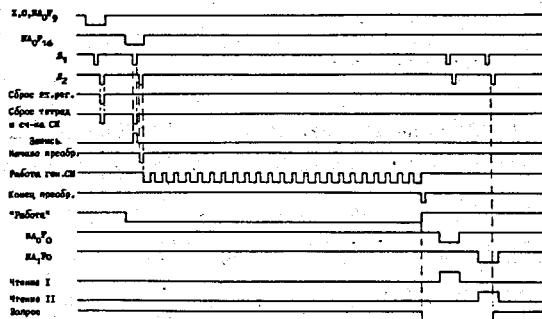


Рис.6. Временная диаграмма работы преобразователя в режиме "САМАС".

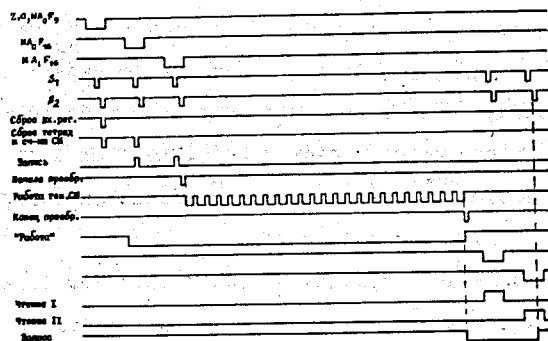


Рис.7. Временная диаграмма работы преобразователя в режиме "ЗЕМ".

5. РЕЖИМ РАБОТЫ ДДП

В блоке предусмотрены два режима работ по способу занесения двоичного кода во входной регистр:

- 1) режим "САМАС", когда код заносится по команде $M_0 F_{16} S_1$ сразу во все разряды входного регистра по магистральным шинам $W_1 + W_{24}$;
- 2) режим "ЗЕМ", позволяющий производить занесение входного кода с 16-разрядных регистров ЭВМ в два этапа: сначала по команде $M_0 F_{16} S_1$ производится запись 16 младших разрядов кода по шинам $W_1 + W_{16}$, по команде $M_1 F_{16} S_1$ по шинам $W_{17} + W_{24}$ заносится остальные старшие разряды. Временная диаграмма работы преобразователя в этом режиме приведена на рис.7.

6. КРАТКИЕ ХАРАКТЕРИСТИКИ ДДП

Ширина блока двойная в стандарте "САМАС", 34,2мм. Схема выполнена печатным монтажом на двух печатных платах.

На передней панели блока (рис.1) установлены две сигнальные лампочки: "Выбор" и "Работа", тумблер для переключения режимов работ и высокочастотный разъем для передачи сигнала "Работа".

Питание блока $+6в \pm 2,5\%$, потребление тока 2а.

Преобразователь кодов работает в системе вывода информации на цифropечатающее устройство.

В заключение авторы искренне благодарят Е.Хмелевского за полезные обсуждения и советы, Т.Герлик и В.И.Максименкову за разработку монтажных схем и изготовление блока, В.А. Смирнова за помощь в отладке блока на ЭВМ, М.П. Белякову и Нгуена Фука за сотрудничество в окончательной отладке блока в системе вывода

информации на цифropечатающее устройство, В. Тушинского - за
настройку второго экземпляра блока.

Л И Т Е Р А Т У Р А

1. Couleur J.F. "BIDEC", IRE.Trans., IRE-7, No4, p.313, 1958.
2. B to D CVTR, Type 004, CERN-NP SAHAC Note I3-00, April 1969.
3. Rhyne V.T. "Serial Binary - to - Decimal and Decimal - to - Binary
Conversion." IEEE Trans. Comput. "I9, No9, 808-812, 1970.
4. Euratom Report, EUR 4100e, March 1969.

Рукопись поступила в издательский отдел
21 марта 1973 года.