

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

ДУБНА



19/III-79

P11 - 12005

Д-16

Я.М.Даматов, Т.Ф.Сапожникова, Р.Шюсслер

969/2-79

ТЕСТИРОВАНИЕ 4-РАЗЯДНОГО
МИКРОПРОЦЕССОРНОГО ЭЛЕМЕНТА

1978

P11 - 12005

Я.М.Даматов, Т.Ф.Сапожникова, Р.Шюсслер

ТЕСТИРОВАНИЕ 4-РАЗРЯДНОГО
МИКРОПРОЦЕССОРНОГО ЭЛЕМЕНТА

*Направлено в журнал "Автоматика и вычислительная
техника"*



Даматов Я.М., Сапожникова Т.Ф., Шюсслер Р.

P11 - 12005

Тестирование 4-разрядного микропроцессорного элемента

Дается описание как аппаратных, так и программных средств, предназначенных для тестирования однокристалльного 4-разрядного микропроцессорного элемента. Представлены структура и основные временные диаграммы работы 4-разрядного элемента. Кроме того, кратко описана методика тестирования его с помощью ЭВМ.

Работа выполнена в Лаборатории высоких энергий и Лаборатории вычислительной техники и автоматизации ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1978

Damatov Ya.M., Sapozhnikova T.F., Schüßler R.

P11 - 12005

Testing of 4-Bit Microprocessor Element

Hardware and software for testing a four-bit microprocessor element are described. The structure and main timing diagrams of the 4-bit microprocessor element are shown. Method of testing by a computer is described.

The investigation has been performed at the Laboratory of High Energies and Laboratory of Computing Techniques and Automation, JINR.

Preprint of the Joint Institute for Nuclear Research.

Dubna 1978

В работе описываются как аппаратные, так и программные средства, предназначенные для тестирования однокристалльного 4-разрядного микропроцессорного элемента^{1/}. Эта микросхема по сложности эквивалентна устройству, содержащему более 1450 вентилей, и обеспечивает все внутренние функции, необходимые для параллельной обработки 4-разрядных двоичных данных в соответствии с инструкцией.

На рис. 1 приведена функциональная схема 4-разрядного микропроцессорного элемента.

Микросхема содержит:

- симметричное арифметико-логическое устройство /АЛУ/* с 16 операциями и с полной схемой сквозного переноса,
- общую регистровую память на 8 слов, содержащую программный счетчик и схему приращения,
- два 4-разрядных рабочих регистра, которые могут использоваться для выполнения операций как с одинарной, так и с двойной длиной слова,
- мультиплексоры сдвига,
- схему преобразования управляющих сигналов на кристалле /логическая матрица ПЛМ, программируемая в заводских условиях/. С помощью этой матрицы обеспечивается набор инструкций, содержащий не менее 512 одноканальных операций.

Из-за сложной однородной структуры, включающей как аппаратную, так и программную части, известные

* Список сокращений, принятых в тексте, см. в приложении.

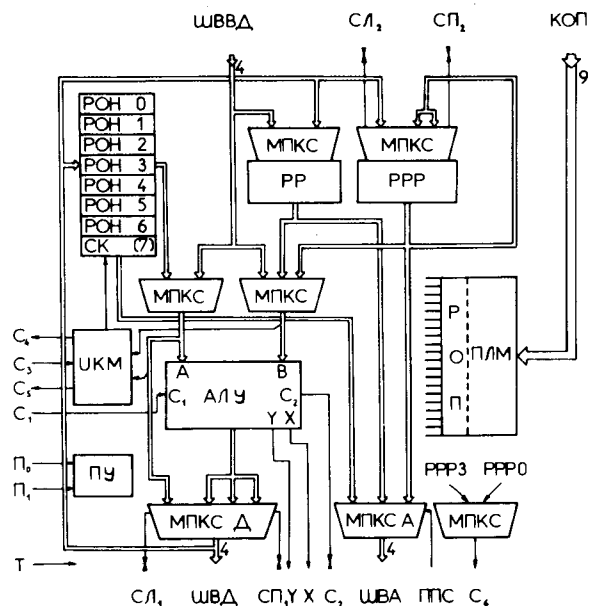


Рис.1. Функциональная схема 4-разрядного микропроцессорного элемента.

статические тесты типа проверки по высоким и низким сигналам не могут выяснить вопроса о работоспособности микропроцессора. Следовательно, для них нужно разрабатывать новые принципы испытаний. Среди существующих в настоящее время путей проведения тестовых испытаний можно выделить два главных направления.

Первое - это создание специализированных комплексов контрольно-измерительных приборов, причем их число растет столь же быстро, как и число самих микропроцессоров. К ним можно отнести микропроцессорные анализаторы^{/2/}.

Второе - тестирование при помощи специально написанных программ. Этот путь предполагает наличие ЭВМ^{/3-5/}.

В данной работе описывается тестирование 4-разрядного микропроцессорного элемента при помощи специально написанной тестовой программы. С этой целью был разработан программно-управляемый блок /рис. 2/.

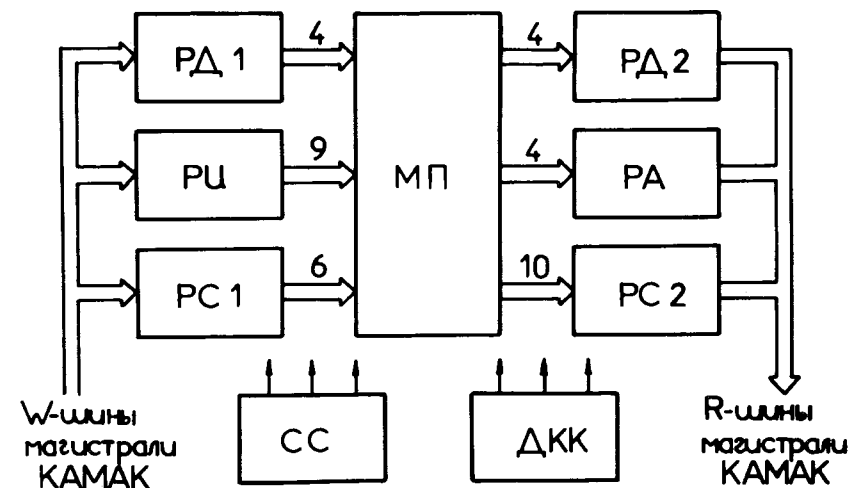


Рис.2. Структурная схема блока тестирования. РД1 - регистр входных данных, РД2 - регистр выходных данных, РИ - регистр инструкций, РА - регистр адреса, РС1 - регистр входных статусных битов, РС2 - регистр выходных статусных битов, СС - схема синхронизации, ДКК - дешифратор команд КАМАК.

Сигналы $C_1, C_3, C_5, ШПС, П_0, П_1$ являются статусными битами входного управляющего слова. Сигналы C_2, C_4, C_5 /для старшей позиции/, $C_6, СЛ_1, СЛ_2, СП_1, СП_2, X, Y$ - статусные биты выходного слова. Регистры РД1, РИ, РС1 служат для хранения заданного с внешнего устройства /ВУ/ входного управляющего слова в виде 4-разрядного двоичного кода входных данных, 9-разрядной инструкции и 6-разрядного - входного статуса.

Схема синхронизации по команде $NF(16)A(3)S1$ формирует тактовый сигнал для микропроцессорного элемента, а также строб-импульсы для регистров РД2, РА, РС2, в которых хранятся выходные данные в виде 4-разрядного двоичного кода с ШВА, 10-разрядного - выходного статуса, после исполнения инструкции.

На рис. 3 показана временная диаграмма работы микропроцессорного элемента. Основным принципом работы микропроцессора является одновременное выполнение предыдущей инструкции и загрузка новой по поло-

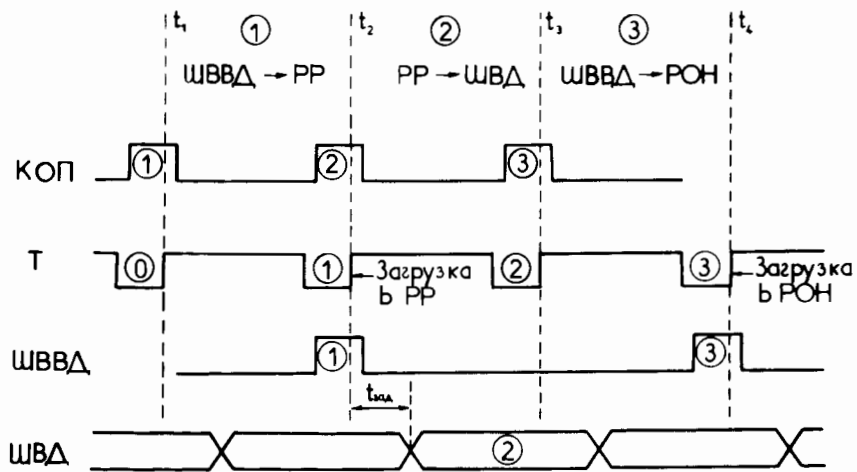


Рис.3. Временная диаграмма работы микропроцессорного элемента. $t_{зад}$ - время задержки появления информации на ШВД.

жительному фронту тактового сигнала /Т/. В качестве примера рассматривается выполнение инструкции с кодом операции /КОП/ ШВВД → PP, PP → ШВД и ШВВД → РОН. Моменту t_2 соответствует выполнение команды ШВВД → PP, а также загрузка следующего КОП /PP → ШВД/.

МАТЕМАТИЧЕСКОЕ ОБЕСПЕЧЕНИЕ

Программа тестирования написана на языке ассемблер для ЭВМ ЕС-1010. Блок-схема показана на рис. 4. Программа начинает работу с чтения состояния ключей пульта оператора /рис. 5/, в зависимости от кода которых определенным образом задается значение входного управляющего слова /см. табл./.

Таблица

Код ключей	Способ задания входного управляющего слова (DT, ST, PZ, KOP).	Вид вывода информации (OUT)
00	Входная информация остается без изменения	Нет вывода информации
01	Входная информация вводится с телетайпа	Вывод содержимого всех регистров микропроцессорного элемента, адресных шин и выходных статусных битов.
10	Добавление единицы к коду предыдущей входной информации	Вывод содержимого регистра, в котором находится результат операции, вывод адресных шин и выходных статусных битов.
11	Входная информация вводится с перфоленты	

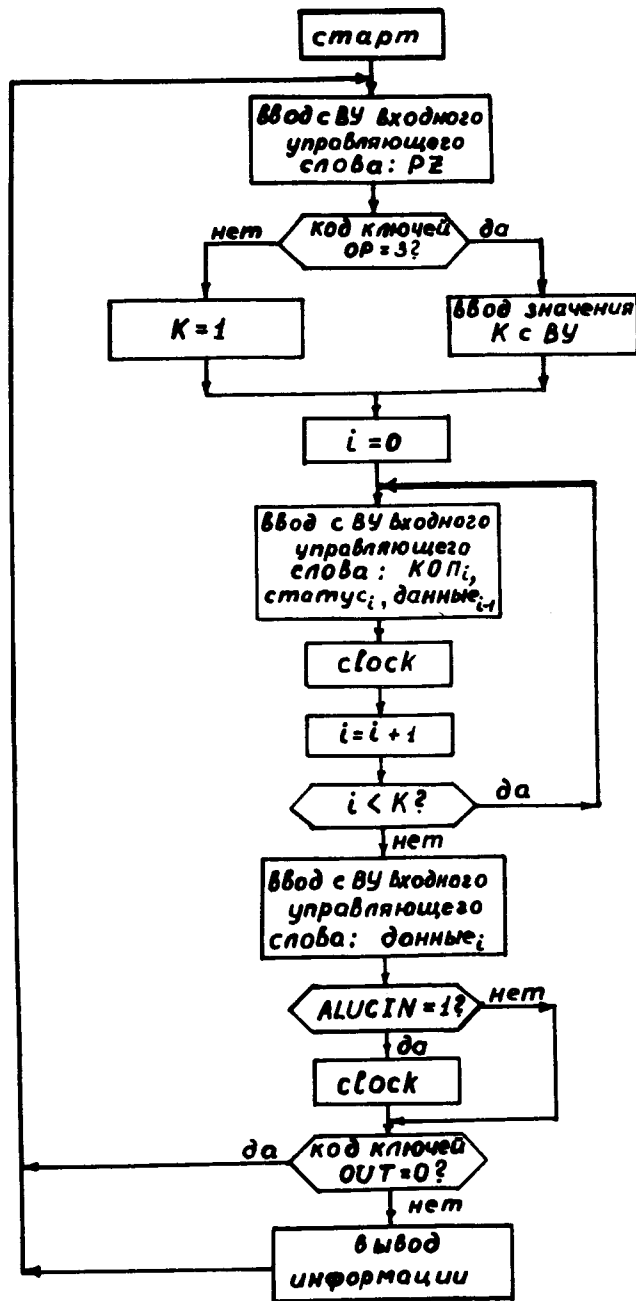


Рис.4. Блок-схема программы тестирования. $i = 0 + k$ - переменная цикла, k - количество циклов.

Формат задания входного управляющего слова имеет следующий вид:

PZ = ... X

OP = ... X

D = ... X

U = ... X

ST = ... X

DT = ... X,

где PZ - позиция микропроцессорного элемента, OP, D, U - поля кода инструкции, ST - сигналы C_1, C_3, C_5 , ППС /см. приложение/, DT - данные на ШВД.

Задание кода входного управляющего слова производится в десятичной форме. Далее на телетайп автоматически выводятся результаты /выходные данные/ выполненной инструкции.

Формат выдачи:

DOV = 000X

AOB = 000X

ST = 0XXX,

где DOV - данные, снимаемые с ШВД, AOB - данные, снимаемые с ШВА, ST - выходные статусные биты.

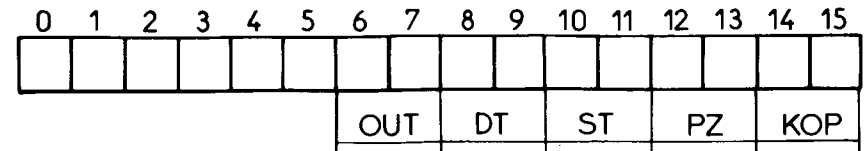


Рис.5. Формат задания входных параметров на клавишах пульта оператора ЭВМ ЕС-1010. OUT - вывод информации, DT - входные данные, ST - входные статусные биты, PZ - позиция микропроцессорного элемента, KOP - код операции.

МЕТОДИКА ТЕСТИРОВАНИЯ

Как правило, тест начинается с проверки программного счетчика, затем идет проверка регистровой памяти, АЛУ и т.д., пока не будут полностью охвачены проверкой как аппаратура, так и программные инструкции. С этой целью перед началом тестирования инженером-испытателем составляется таблица испытательных кодов, каждый из которых содержит код входного управляющего слова и ожидаемый результат после исполнения операции. Согласно этой таблице, инженер-испытатель с внешнего устройства задает последовательность входных управляющих слов для каждой отдельной инструкции. После исполнения инструкции или последовательности инструкций результаты автоматически выводятся на телетайп, после чего сравниваются инженером-испытателем с табличными, чтобы удостовериться в правильности функционирования внутренних узлов и правильности исполнения инструкций микропроцессорным элементом.

Данный тест способен полностью удовлетворить запросы инженера-испытателя, особенно в случае проверки небольшой партии микропроцессорных элементов. Инженер-испытатель имеет возможность зациклить программу на любой нужной ему инструкции, что необходимо для более глубокого осмысления функционирования микропроцессорного элемента, а также локализации неисправного узла /программного счетчика, АЛУ и т.д./ на кристалле.

КРАТКИЕ ХАРАКТЕРИСТИКИ БЛОКА

Команды КАМАК:

F(16)A(0)S1 - запись кода инструкции в регистр

РИ.

F(16)A(1)S1 - запись данных и входных статусных битов в регистры RD1 и PC1.

F(16)A(2)S1 - запись битов Π_0 и Π_1 .

F(16)A(3)S1 - формирование тактового сигнала для микропроцессорного элемента.

F(0)A(0) - чтение информации с ШВД и ШВА.

F(0)A(1) - чтение выходных статусных битов.

Потребляемая мощность: 5 В, 0,2 А.

Габариты - каркас КАМАК шириной 1 М.

В заключение авторы считают своим долгом поблагодарить Н.М.Никитюка, В.П.Ширикова, А.А.Хошенко, Н.А.Водопьянову за помощь и внимание к работе.

ПРИЛОЖЕНИЕ

PP	- рабочий регистр
PPP	- рабочий регистр расширения
C ₁	- перенос в АЛУ
C ₂	- перенос из АЛУ
C ₃	- перенос в программный счетчик
C ₄	- перенос из программного счетчика; выход старшего бита В-шины /для старшей позиции/.
C ₅	- сигнал управления инкрементором; выход старшего бита А-шины /для старшей позиции/.
C ₆	- старший бит PPP для старшей позиции и младший бит PPP для младшей позиции.
СЛ ₁	- сигнал левого сдвига содержимого PP
СЛ ₂	- сигнал левого сдвига содержимого PPP
СП ₁	- сигнал правого сдвига содержимого PP
СП ₂	- сигнал правого сдвига содержимого PPP
X ₁ ²	- выходы ускоренного переноса
ППС	- приоритет программного счетчика
Π ₀ Π ₁	- сигналы, зависящие от позиции
T	- тактовый сигнал
ШВД	- шина ввода данных
ШВД	- шина вывода данных
ШВА	- шина вывода адреса
КОП	- код операции
РОН	- регистр общего назначения
СК	- счетчик команд
МПКС	- мультиплексор

ИКМ	- инкрементор
МПКС Д	- мультиплексор выдачи данных
МПКС А	- мультиплексор адреса
ПУ	- схема позиционного управления
РРРЗ	- младший бит рабочего регистра расширения
РРРО	- старший бит рабочего регистра расширения
ПЛМ	- программируемая логическая матрица
РОП	- регистр операции

ЛИТЕРАТУРА

1. Белоус А.И. и др. "Электронная промышленность", 1977, № 5, с. 55-57.
2. Сантони А. "Электроника", 1976, т. 49, № 26, с. 26-39.
3. Чанг, Маккаскил. "Электроника", 1976, т. 49, № 2, с. 45-52.
4. Смит. "Электроника", 1977, т. 50, № 4, с. 56-62.
5. Даматов Я.М., Сапожникова Т.Ф. ОИЯИ, 13-10825, Дубна, 1977.

Рукопись поступила в издательский отдел
2 ноября 1978 года.