

СООБЩЕНИЯ  
ОБЪЕДИНЕННОГО  
ИНСТИТУТА  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ

ДУБНА



*Ц 8416*

*ЖС-911*

*19/12-76*

P10 - 9499

*1470/2-76*

Н.И.Журавлев, Нгуен Мань Шат, А.Н.Синаев,  
А.А.Стахин

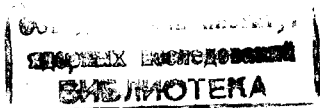
ПРЕОБРАЗОВАНИЕ ДВОИЧНОГО КОДА  
В ДВОИЧНО-ДЕСЯТИЧНЫЙ

**1976**

P10 - 9499

Н.И.Журавлев, Нгуен Мань Шат, А.Н.Синаев,  
А.А.Стахин

ПРЕОБРАЗОВАНИЕ ДВОИЧНОГО КОДА  
В ДВОИЧНО-ДЕСЯТИЧНЫЙ



Преобразование двоичного кода в двоично-десятичный бывает необходимо при выводе информации из счетных и вычислительных устройств, работающих в двоичном коде, на внешние регистрирующие и визуальные устройства.

Требуемая скорость преобразования определяется быстродействием внешних устройств. Наиболее распространенными типами внешних устройств, работающих в десятичном коде, являются цифропечатающие механизмы и различные приборы для визуального наблюдения данных /дисплей/. Для них вполне достаточно иметь время преобразования числа порядка 1 мс, что позволяет осуществить вывод на внешнее устройство до нескольких сотен чисел в секунду. При использовании десятичных чисел для дальнейших операций в различных электронных автоматических устройствах может требоваться значительно большая скорость преобразования.

В зависимости от необходимой скорости применяются различные способы преобразования двоичных чисел в двоично-десятичные<sup>/1/</sup>. Как правило, время преобразования  $T$  зависит от числа разрядов  $n$  в преобразуемом двоичном числе и от периода следования вспомогательных тактовых импульсов  $t$ , т.е.

$$T = f(n, t).$$

В некоторых устройствах время преобразования  $T$  не является постоянным, а зависит от значения преобразуемого двоичного числа. В таких случаях скорость работы следует оценивать по максимальному значению  $T$ .

Период тактовых импульсов  $t$  зависит от характеристик применяемых счетных схем и в настоящее время

для наиболее распространенных и недорогих интегральных схем может иметь порядок 1 мкс или менее. /В дальнейшем будем считать, что он равен 1 мкс/.

Давно известным и наиболее простым способом преобразования является метод последовательного досчета<sup>/1/</sup>. Устройство, основанное на этом способе, содержит два счетчика, первый из которых считает в двоичном, а второй - в двоично-десятичном коде. В первый счетчик параллельным обратным кодом заносится преобразуемое число, а затем на оба счетчика подается серия импульсов от генератора, которая заканчивается при переполнении первого счетчика. Во втором счетчике при этом будет записано число в двоично-десятичном коде. Второй счетчик может быть использован и для вывода информации на цифropечатающий механизм самым простым способом - методом досчета, т.е. путем одновременной подачи на каждую декаду с цифropечатающего механизма серии из 10 импульсов и посылки сигнала на привод электромагнита соответствующей цифры в момент переполнения декады. Основным недостатком такого устройства является большое время преобразования. Так, максимальное время преобразования получается равным

$$T_{\text{макс.}} = t(2^n - 1).$$

Отсюда  $T_{\text{макс.}} = 1 \text{ мс}$  уже при  $n = 10$ . Следовательно, при большем числе разрядов устройство может ограничивать скорость работы внешних устройств.

Наиболее быстродействующим является способ прямого гальванического преобразования<sup>/2/</sup>, при котором всегда

$$T = t.$$

Основным недостатком этого способа является большое число необходимых интегральных схем, которое к тому же быстро растет с увеличением числа разрядов. Поэтому устройства получают весьма сложными и пока не нашли широкого применения.

В настоящее время обычно используют способы, занимающие промежуточное положение между двумя вышеописанными как по времени преобразования, так и по сложности устройства. В них применяются различные

методы логического преобразования двоичных чисел в двоично-десятичные.

Наибольшее распространение получил метод поразрядного сдвига и логического преобразования кода<sup>/3-7/</sup>. Он заключается в том, что преобразуемое число первоначально заносится в сдвигающий регистр прямым параллельным кодом. Затем это число последовательно, начиная со старшего разряда, сдвигается в устройство логического преобразования, которое состоит из последовательно соединенных тетрад, работающих в двоично-десятичном коде. Для осуществления преобразования каждый сдвиг должен соответствовать умножению на два находящегося ранее в тетраде числа, а если это число до умножения было  $\geq 5$  ( $\geq 10$  после умножения), то к нему предварительно добавляется число 3 (что эквивалентно числу 6 после умножения). Обозначив число, находящееся в тетраде до очередного сдвига, -  $R_0$ , после этого сдвига -  $R_1$  и импульс переноса в следующую тетраду -  $C$ , алгоритм работы устройства можно выразить следующим образом:

$$\begin{aligned} \text{если } R_0 \leq 4, \text{ то } R_1 &= 2R_0; C = 0 \\ \text{если } R_0 \geq 5, \text{ то } R_1 &= 2(R_0 + 3) - 16; C = 1. \end{aligned}$$

Логика работы преобразователя обычно позволяет производить умножение на 2 одновременно с подачей следующего импульса сдвига, так как после умножения в первом разряде каждой тетрады всегда будет записан "0".

Число импульсов сдвига равно числу преобразуемых двоичных разрядов. После последнего импульса сдвига в преобразователе будет записано преобразуемое число в двоично-десятичном коде.

Время преобразования равно:

$$T = t \cdot n,$$

т.е. оно значительно меньше времени, ограничивающего работу внешних устройств. Однако такие схемы получают достаточно сложными и требуют большого числа элементов. Так, для наиболее экономичной из них<sup>/7/</sup> на каждую декаду затрачивается 5 корпусов интегральных схем серии ТТЛ. Кроме того, тетрады, применяемые в устройствах логического преобразования кодов, не могут работать в счетном режиме. Поэтому для вывода инфор-

мации на цифropечатающий механизм методом досчета необходимо иметь дополнительные декадные счетчики, на которые следует передавать параллельным кодом информацию с устройства логического преобразования.

В Лаборатории ядерных проблем разработано устройство преобразования двоичного кода в двоично-десятичный, которое также основано на методе поразрядного сдвига данных в декады и удвоения по основанию 10 содержимого каждой декады перед очередным импульсом сдвига. Но его алгоритм отличается от описанного выше. По сравнению с последним разработанное устройство содержит меньшее число элементов, а его время преобразования хотя и имеет большее значение, но не ограничивает скорости работы внешних устройств.

Схема двух первых декад устройства преобразования кода изображена на рисунке. Основной декады является десятичный счетчик, который в интегральном исполнении обычно состоит из соединенных последовательно делителя на 2 и делителя на 5 /например, схема 7490/. Кроме того, в состав декады входят два триггера типа Д, схемы И и ИЛИ.

Перед началом работы все триггеры декады устанавливаются в нулевое состояние. Преобразуемое число прямым параллельным кодом заносится в сдвигающий регистр /на чертеже не показан/, число разрядов в котором равно числу разрядов двоичного кода. Сдвиг производится в сторону старших разрядов. После импульса сдвига информация, находившаяся в старшем разряде сдвигающего регистра, подается через схему ИЛИ 1 на делитель на два /первый триггер/ первой декады. После каждого импульса сдвига /кроме последнего/ на каждую декаду преобразователя кода подается серия из 10 импульсов. С помощью этой серии происходит умножение на 2 содержимого каждого декадного счетчика. Это осуществляется следующим образом. Сначала импульсы серии через схемы И 1 и ИЛИ 1 попадают на вход делителя на 2. Если триггер, образующий этот делитель, находится в состоянии "1", то соответствующие импульсы через схемы И 2 и ИЛИ 2 проходят также на вход делителя на 5 /2÷4 триггеры декады/, т.е. в декаде производится нормальный счет импульсов. Импульс

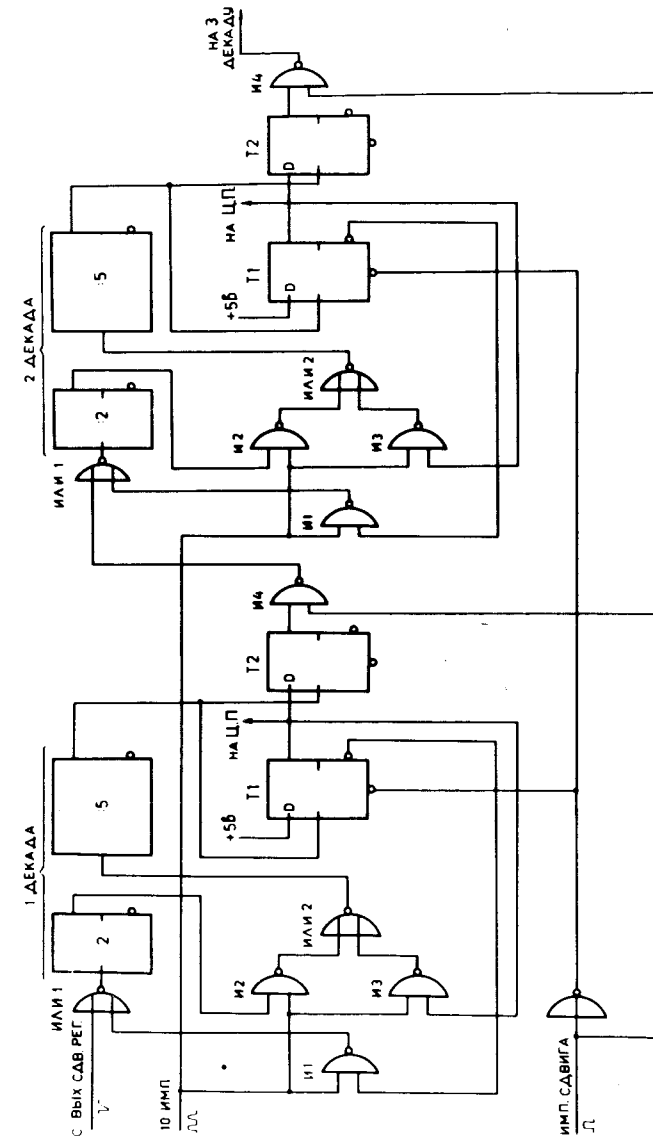


Схема двух первых декад устройства преобразования кода.

переполнения декадного счетчика с выхода делителя на 5 переводит триггер Т 1 в состояние "1", в результате чего оставшаяся часть серии из 10 импульсов поступит через схемы И 3 и ИЛИ 2 сразу на вход делителя на 5, т.е. на второй триггер декады. Следовательно, каждый такой импульс по своему действию будет эквивалентен двум импульсам первой части серии. Если в результате действия этих импульсов с выхода делителя на 5 еще раз поступит импульс переполнения, то он переведет в состояние "1" триггер Т 2 /триггер Т 1 останется в состоянии "1"/. Это означает необходимость передачи единицы на вход следующей декады.

Идея такой программы работы состоит в том, что первое переполнение декадного счетчика происходит в тот момент, когда от серии остается число импульсов, равное начальному содержимому счетчика, а поскольку оставшиеся импульсы подаются прямо на второй триггер декады, то содержимое счетчика удвоится, что и требуется для преобразования кода.

После окончания серии очередной импульс сдвига снова заносит информацию из старшего разряда сдвигающего регистра в делитель на 2 первой декады, а также сбрасывает в "0" оба триггера типа Д во всех декадах. Если в какой-либо декаде триггер Т 2 находился в состоянии "1", то импульс сдвига пройдет также через схему И 4, в результате чего запишется "1" в делитель на 2 /первый триггер/ следующей декады. Таким образом, после прихода последнего импульса сдвига в декадных счетчиках будет записано преобразованное число в двоично-десятичном коде.

Для вывода преобразованной информации на цифропечатающий механизм используются те же декады без всяких переключений. 10 импульсов досчета с цифропечатающего механизма подаются по той же шине, что и серии из 10 импульсов в процессе преобразования, а посылка сигналов на привод электромагнита соответствующей цифры производится в момент перехода в состояние "1" триггера Т1.

Вся схема получается достаточно простой. Для каждой декады необходимо всего 3,5 корпуса интегральных схем серии ТТЛ.

Поскольку для преобразования каждого двоичного разряда, кроме импульса сдвига, требуется еще серия из 10 импульсов, то общее время преобразования будет равно:

$$T = 11tn.$$

Из этой формулы следует, что время преобразования в описанном устройстве будет в 11 раз больше, чем в обычных устройствах с логическим преобразованием кодов, но на много порядков меньше, чем в устройствах с последовательным досчетом. Получаемое время преобразования не сдерживает скорости работы цифропечатающего механизма или прибора для визуального наблюдения данных практически при любом числе преобразуемых разрядов, так как  $T = 1$  мс будет только при  $n = 90$ .

Авторы благодарны В.Т.Сидорову за полезные обсуждения.

#### Литература

1. М.П.Соколов. *Применение автоматических устройств в физическом эксперименте*. §9.4. Атомиздат, Москва, 1969.
2. А.Н.Волков, Е.В.Голубовский, А.М.Клабуков, И.В.Штрапих. ПТЭ, №1, 80 /1974/.
3. J.F.Couler. *IRE Transaction on Electronic Computers* 1958, v. EC-7, 313.
4. V.T.Rhyme. *IEEE Transaction on Computers*, 1970, v. C-19, No. 9, 808.
5. F.Iselin et al. *CERN-NP SAMAC Note 13-00*, 1969.
6. И.Ф.Колпаков, Н.М.Никитюк, Л.А.Урманова. ОИЯИ, P11-7005, Дубна, 1973.
7. Е.Браньковски, В.Н.Белик, О.И.Елизаров, Ш.Салаи. ОИЯИ, 10-7983, Дубна, 1974.

Рукопись поступила в издательский отдел  
29 января 1976 года.