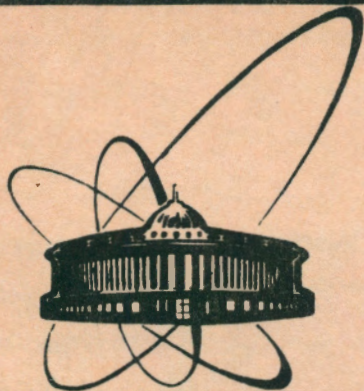


92-407



сообщения
объединенного
института
ядерных
исследований
дубна

P10-92-407

М.Кепперт*, Д.Крушински, В.И.Приходько,
Я.Судек*

МОДУЛЬ ВИДЕОИНТЕРФЕЙСА FGR4
ДЛЯ ПЕРСОНАЛЬНЫХ КОМПЬЮТЕРОВ

*Институт проблем измерений САН, Братислава

1992

ВВЕДЕНИЕ

Распространение персональных компьютеров в восьмидесятых годах и, в первую очередь, расширение возможностей графических интерфейсов привело нас в 1987 г. к намерению использовать персональные компьютеры класса AT286 и 386 для обработки изображений с вакуумных или твердотельных (ПЗС) телевизионных камер в ряде задач экспериментальной физики (ОИЯИ), в цифровой интерферометрии (Институт проблем измерений САН, Братислава), а также в некоторых прикладных исследованиях, в частности, в медицине. Для этого потребовалось выполнить разработки соответствующих вставных модулей в РС. Первой разработкой такого рода был модуль видеопамати FS-4 ^{/1/}, который обеспечивал только хранение введенных в оцифрованном виде изображений, доступ к РС и вывод на дисплей. При этом предполагалось, что преобразование видеосигнала в цифровую форму выполняется либо непосредственно в ТВ-камере, либо в промежуточном интерфейсе. В данной работе описан модуль FGR4, выполняющий все функции видеоинтерфейса (FRAME GRABBER), а именно: оцифровку видеосигнала (8 разрядов), запись оцифрованного изображения в один из четырех блоков видеопамати емкостью 256x256x8 бит каждый, чтение или запись данных изображения через шину РС для их обработки в компьютере или в специальном вставном модуле на основе цифрового сигнального процессора ^{/2,3/} и, наконец, вывод на дисплей (графическое изображение, сгенерированное встроенным графическим дисплейным контроллером (GDC) NEC 7220A ^{/5/}, может быть наложено (OVERLAY) на оцифрованную картинку с ТВ-камеры).

ОПИСАНИЕ МОДУЛЯ FGR4

Модуль размещен на двух платах, соединенных разъёмом, занимает в крейте PC две позиции и использует на шине PC-bus один восьмиразрядный канал (адреса- A0-A19; данные- D0-D7; управляющие сигналы- IORD, IOWR, MERD, MEWR, IOCHRDY, RESET).

Модуль включает в себя следующие основные блоки (см. рис.1.):

ADC- блок оцифровки видеосигнала, выполненный на микросхеме AD 9502 фирмы Analog Devices /6/.

RAM-DAC- блок формирования RGB видеосигнала для дисплея, содержащий таблицу цветов look-up table (LUT), регистры OL1-OL15 и три АЦП. Блок выполнен на микросхеме ADV 478 фирмы Analog Devices /6/, можно использовать также её аналоги (например, Brooktree Bt478).

VIDEO PORT CONTROL- контроллер записи оцифрованного видеосигнала и чтения блока данных изображения для вывода на дисплей. Контроллер содержит статусный регистр FGR4 и регистры координат X_0 , Y_0 .

ACOUNT+AMUX- счетчик адресов строк изображения и мультиплексор адресов строк и столбцов, поступающих или от счетчика, или от PC-bus.

FRAME MEMORY- двухпортовую видеопамять, предназначенную для хранения данных четырех изображений (четыре картинки по 256x256x8 бит каждая). Блок выполнен на микросхемах Fujitsu MB 81461 /4/.

OVERLAY MEMORY- память для хранения OVERLAY графики, генерируемой GDC (одна плоскость емкостью 512Кбит).

CONFIG. REG.- регистр выбора блока видеопамати (разряд 0,1- запись от PC, разряд 2,3- чтение в PC, разряд 4,5- запись видеосигнала, разряд 6,7- чтение на дисплей)

ARBITER- арбитр, обеспечивающий распределение доступа к видеопамати от трех источников запроса со следующим чередованием приоритетов: REFRESH; VIDEO DATA; PC-bus. Блок также организует выполнение соответствующего цикла памяти.

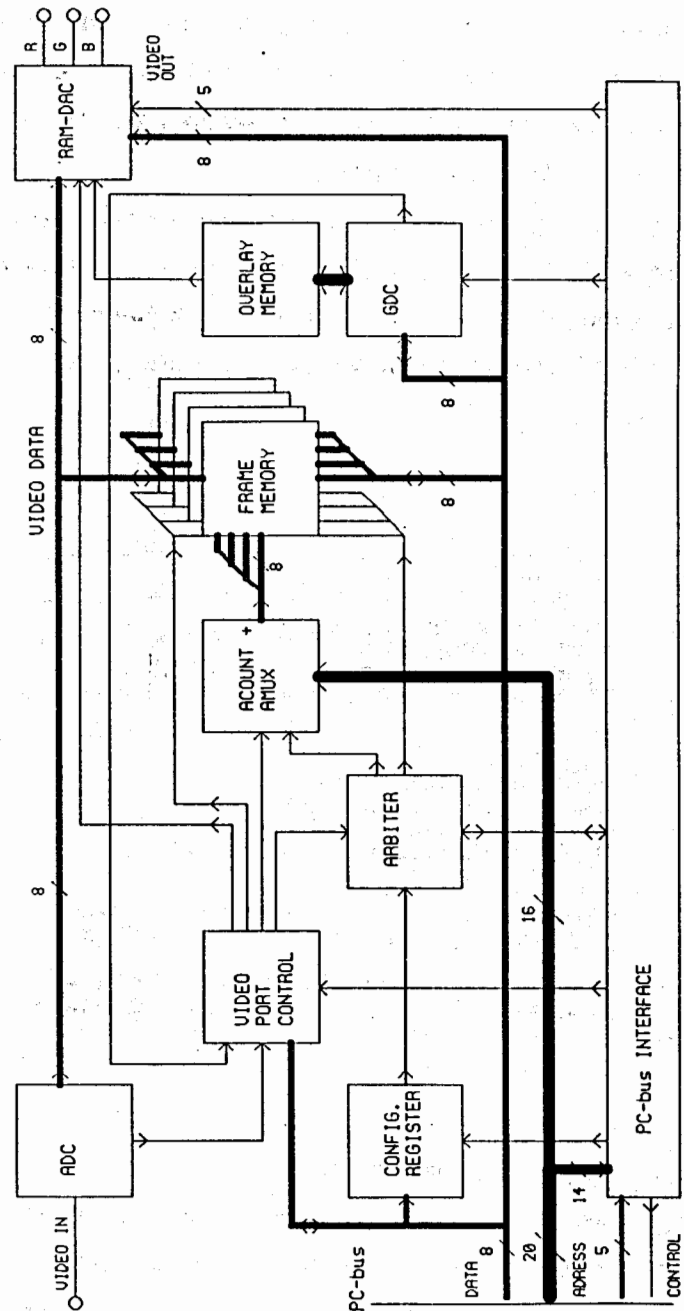


Рис.1. Функциональная схема модуля FGR4

GDC- блок графического дисплейного контроллера, предназначенный для форматирования данных изображения и синхронизации их вывода из видеопамати на дисплей в сочетании с наложенной графикой, а также для генерации графики в OVERLAY MEMORY.

PC-bus INTERFACE- интерфейсный блок, обеспечивающий доступ к регистрам FGR4, встроенным регистрам GDC, регистрам в RAM-DAC (OLx и LUT) и к памяти FRAME MEMORY. Интерфейс дешифрирует и выполняет команды управления вводом/выводом в порт и чтения/записи в FRAME MEMORY по следующим адресам:

команда	адрес	функция
IOR	210	чтение регистра состояния GDC
	211	чтение регистра данных GDC
	212	чтение регистра состояния FGR4 (VSYNC;EFV)
	218-21F	чтение регистра LUT и регистров OLx RAM-DAC
IOW	210	запись команд в GDC
	211	запись параметров в GDC
	212	запись в регистр конфигурации FGR4
	213	запись в регистр управления видеопортом
	218-21F	запись в регистры и LUT блока RAM-DAC
MERD	E0000- EFFFF	чтение данных из блока FRAME MEMORY, выбранного по адресу в разрядах 2,3 регистра конфигурации
MEMW	E0000- EFFFF	запись данных в блок FRAME MEMORY, выбранный по адресу в разрядах 0,1 регистра конфигурации

ОРГАНИЗАЦИЯ ВЫВОДА НА ДИСПЛЕИ

FGR4 позволяет выводить на дисплей не только изображение, хранящееся в FRAME MEMORY или поступающее от блока оцифровки, но и графику из OVERLAY MEMORY. Графику можно генерировать в GDC или в PC, что позволяет работать с одним монитором.

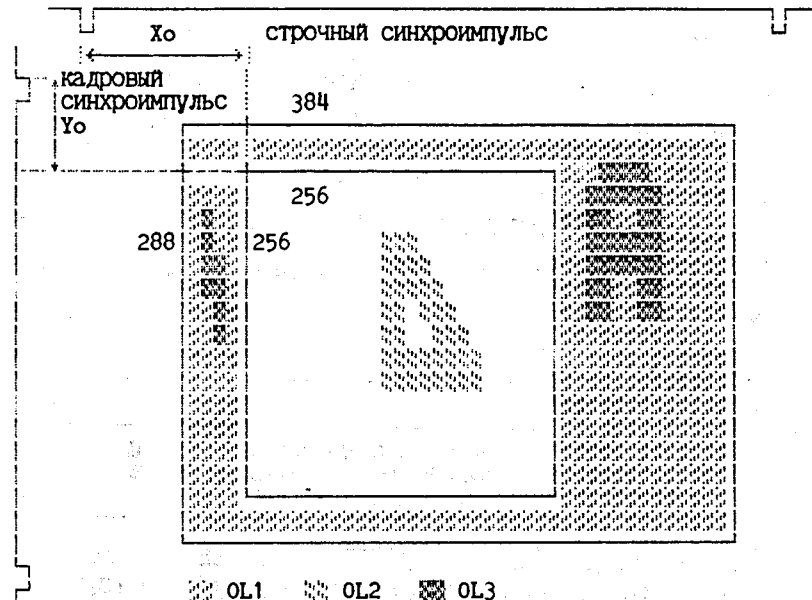


Рис.2. Пример формирования кадра

Кадр на экране формируется следующим образом (см. рис.2.) Размер полного кадра определяет GDC по программно введенным параметрам (напр., 384x288 pixel). Внутри этого поля по параметрам X_0, Y_0 , определяющим положение левого верхнего угла, выводится изображение размером 256x256 pixel. Цвета изображения определены содержимым LUT. Поле кадра вне изображения имеет цвет, определенный содержимым регистра OL1. Для графики из OVERLAY MEMORY цвет задается вне изображения регистром OL2 и внутри- регистром OL3. Все цвета из палитры 16M цветностей.

ПОДГОТОВКА МОДУЛЯ К РАБОТЕ

После включения PC со встроенным модулем FGR4 выполняется его инициализация, заключающаяся в выполнении следующих программных блоков: 1. Инициализация GDC. Загрузка команд и параметров синхронизации вывода на дисплей и очистки OVERLAY MEMORY^{15/}.

2. Запись LUT и OL регистров RAM-DAC /6/.

3. Загрузка регистров: конфигурации, координат X_0 , Y_0 и управления видеопортом.

4. Очистка всех блоков FRAME MEMORY.

После инициализации управление работой модуля осуществляется содержимым регистров конфигурации и управления. Функции регистра управления следующие:

разряд	значение	функция
0	0	безусловный переход в режим вывода на дисплей изображения, хранящегося в выбранном блоке видеопамяти, независимо от разрядов 1-3
	1	в зависимости от разрядов 1-3
1	0	после следующего кадрового синхрипульса (СКС) выполняется вывод на дисплей изображения из блока оцифровки
	1	в зависимости от разрядов 2,3
2	0	после СКС запись изображений, поступающих из блока оцифровки в выбранный блок видеопамяти, и их вывод на дисплей
	1	окончание записи изображений после СКС
3	0	в сочетании с разрядом 2 (0) после записи полного кадра происходит останов записи
	1	в зависимости от разряда 2

ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ

Для работы с модулем FGR4 был разработан интерактивный программный пакет IMAGEMAN. Программы написаны на языке TURBO BASIC. Пакет включает в себя три программных блока:

а. Блок инициализации FGR4

б. Блок управления GDC

в. Блок вычислений и манипуляции с данными изображений.

ЗАКЛЮЧЕНИЕ

В настоящее время модуль FGR4 применяется в приборах цифровой интерферометрии, разработанных в ИПИ САН, для измерения параметров фоточувствительных матриц ПЭС на предприятии VAREZ (Банска Быстрица), а также для съема и обработки рентгенограмм в ортопедической клинике Медицинского института Университета имени Коменского (Братислава). Следует отметить, что данный модуль является функциональным аналогом модулей, появившихся на мировом рынке в конце 1991- начале 1992 г. /7,8/, и имеет хорошие перспективы применения и в других отраслях науки и техники.

ЛИТЕРАТУРА

- [1] D.Krusinsky, J.Sudek: Videomemory module FS 4 for personal computers IBM PC XT (AT). Сообщение ОИЯИ Е10-90-487, Дубна, 1990.
- [2] А.Л.Меньшиков, В.И.Приходько, Я.Судек: Модуль цифрового сигнального процессора для IBM PC. Сообщение ОИЯИ P10-92-182, Дубна, 1992.
- [3] В.И.Приходько, Я.Судек: Цифровые сигнальные процессоры. Сообщение ОИЯИ P10-90-515, Дубна, 1990.
- [4] 262144 Bit Dual Port Dynamic Random Access Memory MB 81461. Memory Data Book. Fujitsu, 1989.
- [5] NEC MPD 7220A Graphics Display Controller. NEC Electronics (Europe), 1985.
- [6] Data - Acquisition Databook, Volume I, II. Analog Devices Corporation, USA, 1989.
- [7] Dipix Technologies Inc., Board Product Division, 1050 Baxter Road, Ottawa, Ontario, Canada K2C3P1.
- [8] Imaging Technology Inc., 55 Middlesex Turnpike, Bedford, MA01730-1421

Рукопись поступила в издательский отдел
2 октября 1992 года.