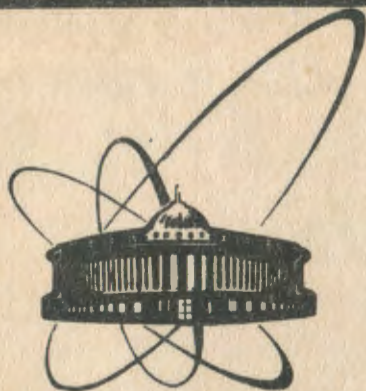


91-33



СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА

P10-91-33

В. А. Смирнов

**УСТРОЙСТВО СОПРЯЖЕНИЯ КАНАЛА
МИКРОЭВМ ТИПА "ЭЛЕКТРОНИКА-60",
"МЕРА-60" и "LSI-11" С ШИНОЙ VME**

1991

1. ВВЕДЕНИЕ

В процессе автоматизации экспериментальных установок физики высоких энергий во многих случаях необходимо решать вопросы объединения в рамках одной системы нескольких процессорных устройств. В научных центрах Западной Европы и США для этих целей широко используется шина VME^{1/1}. В Лаборатории высоких энергий в течение нескольких последних лет также ведутся работы по разработке аппаратуры в стандарте VME с целью создания многопроцессорных систем сбора данных.

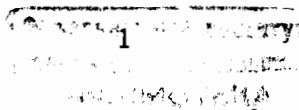
Ранее в Лаборатории высоких энергий в системах автоматизации объединение процессоров в основном осуществлялось на основе системного крейта КАМАК^{2,3/}. Однако системный крейт уже не удовлетворяет требованиям современной экспериментальной техники в области физики высоких энергий. Он накладывает ограничения на скорость передачи данных, которая даже в случае блочной передачи реально не превышает 1 Мбайт/с, и лимитирует количество адресов, которое в стандартной ветви КАМАК не превышает величины $3 \cdot 10^3$, а также использует одноуровневую систему прерываний, что существенно замедляет процесс поиска источника прерывания.

Аппаратура в стандарте VME в значительной степени расширяет возможности экспериментатора. Шина VME обеспечивает, во-первых, более высокую пропускную способность данных (до 20 Мбайт/с), во-вторых, адресацию к памяти до 16 Мбайт в режиме A24 и до 4 Гбайт в режиме A32. Эти особенности, а также гибкий механизм передачи управления от модуля к модулю с малыми временными затратами на арбитраж запросов шины позволяют реализовать процессы фильтрации, сжатия и преобработки данных в реальном масштабе времени.

В работе описывается интерфейс канала микроЭВМ типа "LSI-11"^{4/} или "Электроника-60"^{5/}, получивший по принятой в ЛВЭ классификации модулей VME наименование И.02.

2. ОПИСАНИЕ БЛОК-СХЕМЫ МОДУЛЯ

Модуль И.02 является управляющим модулем (MASTER) шины VME и пассивным (SLAVE) канала микроЭВМ. На рис.1 приведена блок-схема модуля, в которой выделены следующие основные узлы:



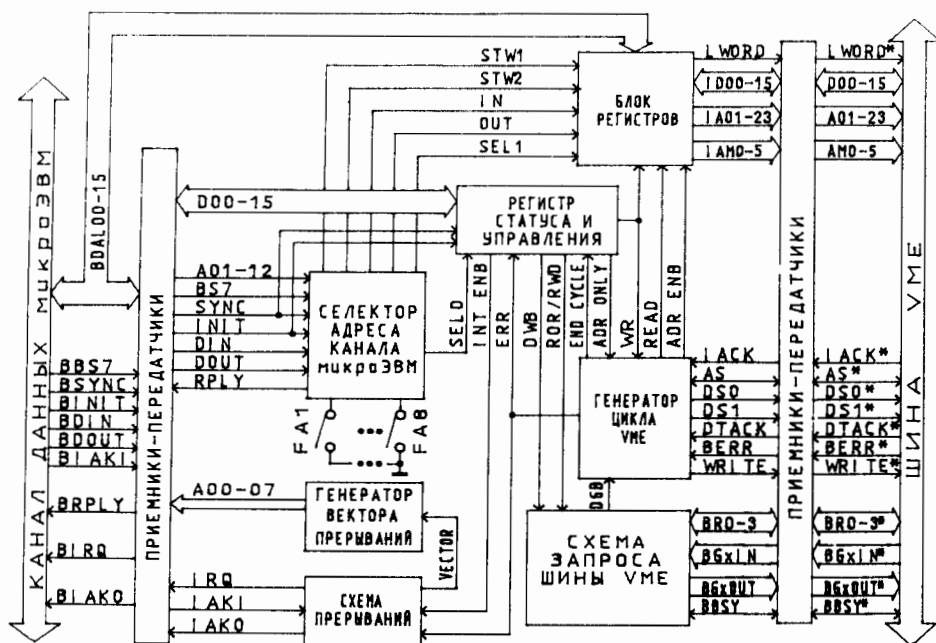


Рис.1. Блок-схема модуля И.02.

- приемники-передатчики сигналов канала микроЭВМ и шины VME;
- селектор адреса канала микроЭВМ;
- регистр статуса и управления;
- блок регистров, содержащий регистры адреса и модификатора адреса шины VME и регистр обмена данными;
- схема запроса шины VME (REQUESTER);
- генератор цикла VME;
- схема прерываний и генератор вектора прерывания по каналу микроЭВМ.

Приемники-передатчики обеспечивают электрическое согласование сигналов, поступающих по линиям канала микроЭВМ и шины VME, с сигналами схемных узлов модуля. Сигналы линий канала микроЭВМ помечаются буквой "В". Сигналы линий шины VME помечаются знаком "*" кроме сигналов D00-15, A01-23, IАM0-5, которые внутри схемы имеют наименования ID00-15, IA01-23, IАM0-5 соответственно.

Селектор адреса выделяет обращение микроЭВМ к одному из четырех регистров модуля. Базовый адрес этих регистров задается переключателями FA1-FA8 и может выбираться в пределах от 16600X₈

Таблица 1. 166100 - регистр статуса и управления

15	14-10	09	08	07	06	05	04	03	02	01	00
R	R	R/W	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W
ERR	0	ROR/RWD	0	0	INT ENB	DWB	WR	ADR ONLY	0	DS1	DS0

R - только чтение данных
R/W - чтение и запись данных

Таблица 2. 166102 - регистр младших разрядов адреса VME (чтение/запись)

15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
A16	A15	A14	A13	A12	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01

Таблица 3. 166104 - регистр старших разрядов адреса VME и модификатора адреса (чтение/запись)

15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
-	A23	A22	A21	A20	A19	A18	A17	LWORD	AM5	AM4	AM3	AM2	AM1	AM0	-

Таблица 4. 166106 - регистр данных VME (чтение/запись)

15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00

до 16777X₈. В качестве стандартного выбран адрес 166100₈. При подключении к каналу микроЭВМ более одного модуля И.02 их базовые адреса определяются из соотношения

$$A = 166100_8 + (n - 1) * 10_8,$$

где n - номер подключаемого модуля И.02.

Взаимодействие микроЭВМ с шиной VME осуществляется через четыре 16-разрядных регистра, описания которых приведены в табл.1-4:

- регистр статуса и управления (RS) с адресом, равным базовому адресу A;
- регистр младших разрядов адреса VME (RA1) с адресом A + 2;

- регистр старших разрядов адреса VME и модификатора адреса (RA2) с адресом A + 4;
- регистр данных (RD) с адресом A + 6.

Разряды регистра RS: ROR/RWD, INT ENB, DWB, WR, ADR ONLY, DS1 и DS0 определяют режимы работы с шиной VME. Запрос на запуск цикла VME осуществляется установкой в единицу разряда DWB (DEVICE WANTS BUS). Состояние разряда ROR/RWD определяет режим работы схемы запроса шины VME: "0" - означает работу в режиме RWD (Release When Done), "1" - означает переход к режиму ROR (Release On Request). В режиме RWD сигнал BBSY снимается с шины VME при обнулении DWB, в режиме ROR сигнал BBSY не снимается при обнулении DWB до тех пор, пока не появится запрос по линиям BR0 - BR3 от других источников. Условие ADR ONLY = 0 обуславливает выполнение цикла VME с передачей данных. Условие ADR ONLY = 1 определяет ADDRESS-ONLY тип цикла VME, в котором не проводится передача данных. Состояние разряда WR указывает на направление передачи данных: при WR = 0 данные читаются с шины VME в регистр RD, при WR = 1 передаются из RD на шину VME. Установка разряда INT ENB разрешает прерывание работы микроЭВМ при появлении сигнала BERR. Разряды DS0 и DS1 определяют режим передачи данных. При DS1 = 1 и DS0 = 0 осуществляется двухбайтовая передача данных в одном цикле VME, при DS1 = 1 и DS0 = 0 - передача нечетного байта, а при DS1 = 0 и DS1 = 1 - передача четного байта.

Схема запроса шины VME (REQUESTER) служит для генерации запроса по одной из линий BR0 - BR3, выбираемой переключками на плате модуля. Также при помощи переключек выбираются соответствующие линии BGxIN и BGxOUT.

Генератор цикла VME вырабатывает сигналы синхронизации AS, DS0 и DS1 и сигнал WRITE, определяющий направление передачи при обмене данными по шине VME, а также сигналы внутренней синхронизации: ADR ENB, READ, END CYCL, ERR.

Схема прерываний обеспечивает стандартный протокол прерывания работы программы в микроЭВМ и передачу вектора прерывания на линии адреса - данных BDAL00 - 07 ее канала. Величина вектора прерывания (V) определяется переключками на плате модуля и может быть выбрана в пределах от 270_8 до 374_8 . В качестве стандартной выбрана величина 270_8 . При подключении к каналу микроЭВМ более одного модуля И.02 их вектора следует определять из соотношения

$$V = 270_8 + (n - 1) * 4,$$

где n - номер подключаемого модуля И.02.

3. ОПИСАНИЕ РАБОТЫ МОДУЛЯ

Модуль работает по программе микроЭВМ. Сигнал INIT устанавливает в исходное состояние селектор адреса канала микроЭВМ и регистр статуса и управления. Селектор адреса в момент прихода сигнала SYNC анализирует данные на линиях A11, A12 и BS7 и при совпадении данных на линиях A03-A10 с кодом FA1-FA8 вырабатывает сигнал выбора регистра статуса и управления SELO или сигналы выбора блока регистров SEL1, STW1 и STW2. Сигналы DIN и DOUT и соответствующие им сигналы IN и OUT определяют направление передачи данных в регистры (OUT) или из регистров модуля (IN).

Перед запуском цикла VME в регистры RA1 и RA2 записывается информация об адресе и модификаторе адреса, а также проверяется отсутствие единиц в разрядах ERR и DWB. На рис.2 приведен граф состояний модуля, а в табл.5 - описание этих состояний. В исходном пассивном состоянии (1) REQUESTOR пропускает сигнал, появляющийся на линии BGxIN, на соответствующую линию BGxOUT.

Запрос на запуск цикла VME осуществляется установкой в единицу разряда DWB регистра RS. Сигнал DWB = 1 переводит схему REQUESTOR в активное состояние (3), в котором модуль выставляет сигнал BRx. Появление сигнала на линии BGxIN во время

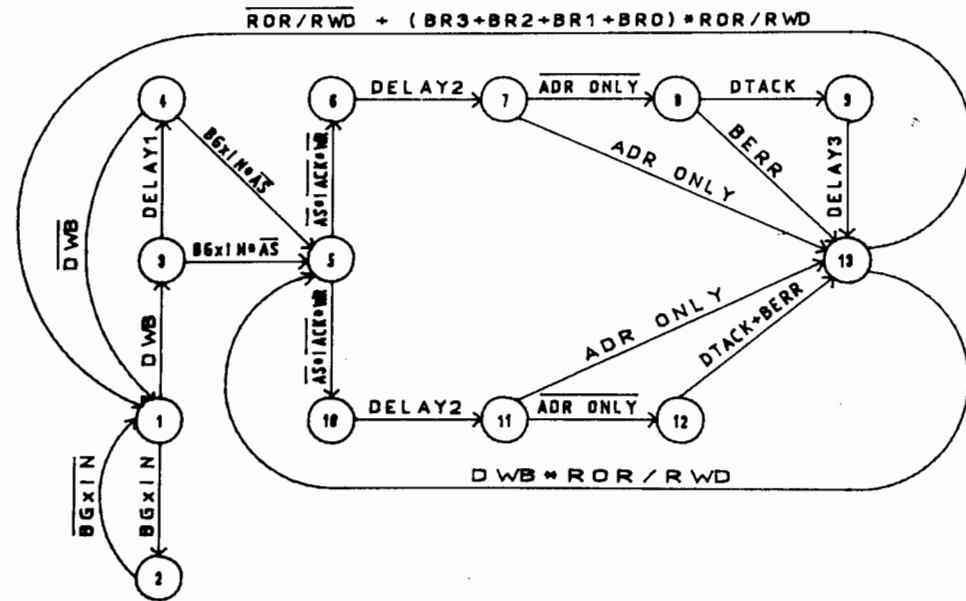


Рис.2. Граф состояний модуля И.02 при выполнении цикла VME.

Таблица 5. Описание состояний модуля

	Значения сигналов, определяющих состояние модуля										
	BRx	BBSY	BGxOUT	DGB	ADR ENB	WRITE	AS	DS	READ	ERR	END CYCLE
1	0	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0	0	0
3	1	0	0	0	0	0	0	0	0	0	0
4	1	0	0	0	0	0	0	0	0	0	0
5	0	1	0	1	0	0	0	0	0	0	0
6	0	1	0	1	1	0	0	0	0	0	0
7	0	1	0	1	1	0	1	0	0	0	0
8	0	1	0	1	1	0	1	1	0	0	0
9	0	1	0	1	1	0	1	1	1	0	0
10	0	1	0	1	1	1	0	0	0	0	0
11	0	1	0	1	1	1	1	0	0	0	0
12	0	1	0	1	1	1	1	1	0	0	0
13	0	1	0	1	0	0	0	0	0	0	1

состояний (3,4) схемы REQUESTOR свидетельствует о передаче данному модулю управления шиной VME. В этом случае REQUESTOR переходит в состояние 5, устанавливая сигналы: BBSY = 1, BRx = 0, DGB = 1.

Генератор цикла VME при появлении сигнала DGB и при отсутствии сигналов на линиях AS и IACK вырабатывает сигнал ADR ENB (состояния 6,10), который разрешает передачу данных из регистров RA1 и RA2 на линии A01-A23, AM0-AM5 и LWORD шины VME. Единица в разряде WR регистра RS определяет цикл записи в модуль SLAVE и приводит к появлению сигнала WRITE на шине VME одновременно с сигналом ADR ENB (состояние 10). Через определенное время (DELAY2 = 35 нс), которое необходимо для установления данных на линиях адресов, генерируется сигнал AS (сигнал стробирования адреса для модулей типа SLAVE) и схема переходит в состояние 7 или 11.

Если в регистре RS разряд ADR ONLY = 1, то цикл VME на этом завершается и формируется сигнал END CYCLE (состояние 13), который обнуляет разряд DWB регистра RS. Работая в режиме RWD, схема REQUESTOR снимает также сигнал BBSY с шины VME и осуществляется переход в исходное состояние 1.

В цикле VME с передачей данных (ADR ONLY = 0) через 35 нс после появления сигнала AS вырабатываются сигналы стробирования данных DS0 и DS1 (состояния 8,12). В случае двухбайтной передачи данных - оба сигнала DS0 и DS1, при передаче нечетных байтов - только DS0, а при передаче четных байтов - только DS1. Завершение передачи данных происходит при появлении одного из сигналов DTACK или BERR.

В цикле чтения по сигналу DTACK вырабатывается сигнал READ длительностью DELAY3 = 50 нс (состояние 9), который стробирует данные с шины VME в регистр RD. Далее схема переходит в состояние 13, формируя сигнал END CYCLE.

В цикле записи переход в состояние 13 происходит сразу же после появления одного из сигналов DTACK или BERR. Время снятия сигнала BBSY определяется режимом работы схемы REQUESTOR: ROR или RWD.

При появлении сигнала BERR генератор цикла VME вырабатывает сигнал ERR, который при условии INT ENB = 1 запускает работу схемы прерываний. В этом случае канал микроЭВМ и модуль обмениваются сигналами стандартного протокола обработки сигналов прерываний: IRQ, IAKI, IAKO^{4,5}. При появлении сигнала VECTOR генератор вектора прерываний выставляет соответствующую информацию на линиях A00-07.

ЗАКЛЮЧЕНИЕ

Модуль И.02 - стандартный модуль VME и удовлетворяет требованиям спецификации VME редакции C1^{1/1}. Он выполняет функции модуля типа MASTER, осуществляет запрос шины VME в режимах RWD и ROR. Модуль обеспечивает следующие типы передачи данных: A24:D08 (E0) Read/Write и A24:D16 Read/Write.

В модуле используется только верхний разъем VME (P1). Модуль И.02 является периферийным устройством микроЭВМ типа

Таблица 6. Описание разъема связи модуля И.02 с микроЭВМ

НОМЕРА КОНТАКТОВ РАЗЪЕМА	НАИМЕНОВАНИЕ СИГНАЛОВ		НОМЕРА КОНТАКТОВ РАЗЪЕМА	НАИМЕНОВАНИЕ СИГНАЛОВ	
	для Э-60	для LSI-11		для Э-60	для LSI-11
1	К ДА 00	BDAL 00	15	К ДА 14	BDAL 14
2	К ДА 01	BDAL 01	16	К ДА 15	BDAL 15
3	К ДА 02	BDAL 02	20	К СИА	BBSY
4	К ДА 03	BDAL 03	21	К ВВОД	BDIN
5	К ДА 04	BDAL 04	22	К ВЫВОД	BDOUT
6	К ДА 05	BDAL 05	23	К БАЙТ	BWTBT
7	К ДА 06	BDAL 06	24	К ВУ	BBS7
8	К ДА 07	BDAL 07	25	К СИП	BRPLY
9	К ДА 08	BDAL 08	26	К ТПР	BIRQ
10	К ДА 09	BDAL 09	27	К ППР I	BIAKI
11	К ДА 10	BDAL 10	28	К ППР O	BIAKO
12	К ДА 11	BDAL 11	29	К СБРОС	BINIT
13	К ДА 12	BDAL 12	50, 33	ОБЩИЙ	GND
14	К ДА 13	BDAL 13			

"LSI-11", "Электроника-60" и "MERA-60". Адреса 4 регистров модуля находятся в области верхних 8 Кбайт памяти микроЭВМ. Со стороны микроЭВМ возможна лишь двухбайтовая передача данных в регистры. Модуль выполняет стандартный протокол прерывания с передачей одного вектора прерывания.

Модуль И.02 имеет размеры двойной еврокарты и одинарную ширину. Он выполнен в основном на интегральных схемах малой и средней степени интеграции. Для реализации блока регистров использовались БИС типа P1802BV1. На передней панели модуля расположен 50-контактный разъем типа РП15-50ГВ для связи с микроЭВМ. В табл.6 приведено описание этого разъема.

Питание модуля +5 В, 1,5 А.

ЛИТЕРАТУРА

1. An American National Standard IEEE Standard for a Versatile Backplane Bus: VMEbus. The Institute of Electrical and Electronics Engineers Inc, New York, 1988.
2. EUR 4600e - CAMAC ORGANIZATION OF MULTI-CRATE SYSTEMS. Joint Nuclear Research Centre Ispra Establishment - Italy, 1972.
3. Нгуен Фук, Смирнов В.А. - Препринт ОИЯИ 10-8712, Дубна, 1975.
4. DIGITAL Microcomputer Handbook. Digital Equipment Corporation, USA, 1977.
5. Центральный процессор М2. Техническое описание и инструкция по эксплуатации. М.: ЦНИИ "Электроника", 1982.

Рукопись поступила в издательский отдел
18 января 1991 года.