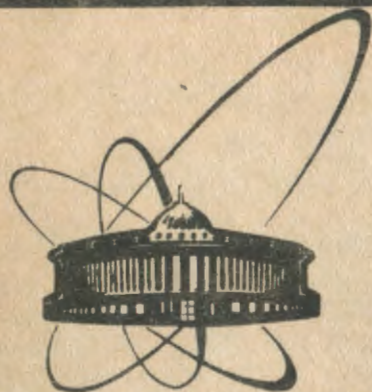


91-32



**сообщения  
объединенного  
института  
ядерных  
исследований  
Дубна**

P10-91-32

**С. Н. Базылев, В. А. Смирнов**

**СИСТЕМНЫЙ КОНТРОЛЛЕР ШИНЫ VME**

**1991**

## 1. ВВЕДЕНИЕ

Стандарт VME определяет набор правил и средств по созданию высокопроизводительных модульных вычислительных систем, позволяющих объединять один или несколько процессоров с модулями памяти и интерфейсами внешних устройств<sup>1/1</sup>. На рис.1 приведена упрощенная блок-схема системы на основе VME шины. К элементам системы, которые определены в стандарте VME и с помощью которых реализуется протокол всех взаимодействий по шине VME, относятся шина VME и набор функциональных модулей.

Основной набор функциональных модулей, используемый в блоках VME, показан на рис.2. Модули типа MASTER и INTERRUPT HANDLER управляют процессами передачи информации по шине VME, используя для запроса ресурсов шины функциональные модули типа REQUESTER. Так как на шине может быть несколько таких модулей, то для предотвращения их одновременного выхода на шину возникает необходимость в организации последовательного доступа этих модулей к ресурсам шины. Эту роль выполняет централизованный функциональный модуль ARBITER, который входит в состав системного контроллера. Модуль ARBITER обеспечивает

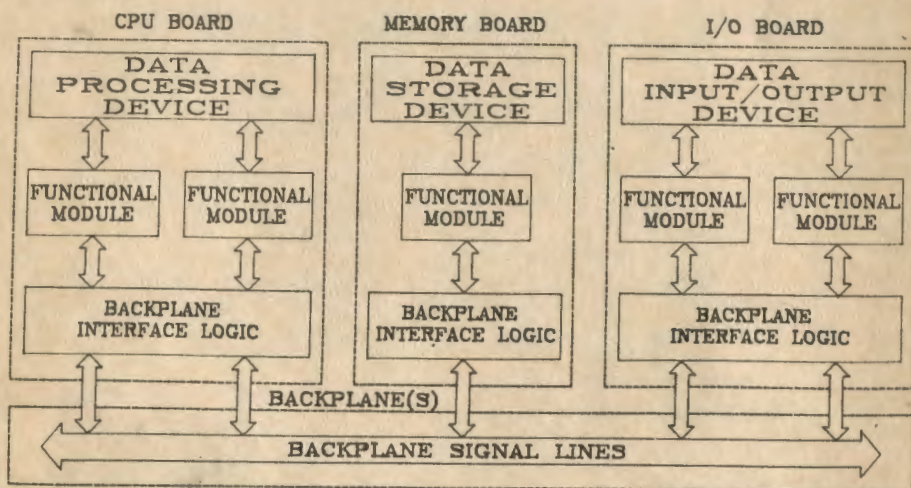


Рис.1. Упрощенная блок-схема системы на основе шины VME.

© Объединенный институт ядерных исследований Дубна, 1991

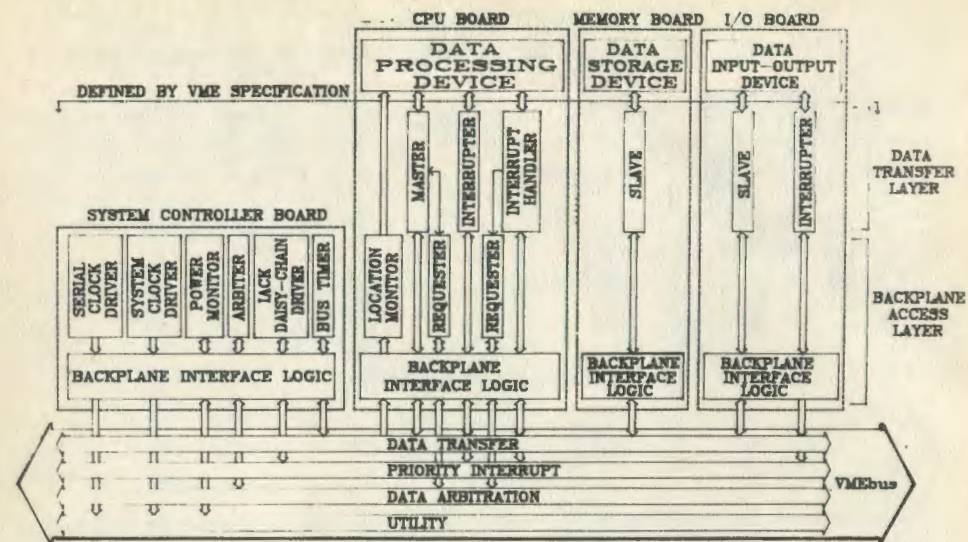


Рис.2. Набор функциональных модулей, определенный документом стандарта VME.

также оптимальное использование ресурсов шины при наличии запросов от многих модулей типа REQUESTER. Модуль ARBITER при одновременном появлении запросов от двух и более модулей типа REQUESTER распределяет ресурсы шины по определенному алгоритму. В стандарте VME определены три таких алгоритма (PRI, RRS, SGL).

В состав системного контроллера обычно входят также следующие функциональные модули: SYSTEM CLOCK DRIVER, IACK DAISY-CHAIN DRIVER и BUS TIMER. Иногда в его состав конструкторы включают модули SERIAL CLOCK DRIVER и POWER MONITOR. Блок системного контроллера необходим для организации любой системы VME и должен располагаться в первой позиции крейта VME.

В работе описывается блок системного контроллера (тип В.01), разработанный в Лаборатории высоких энергий.

## 2. ОПИСАНИЕ МОДУЛЯ VME, ТИП В.01

На рис.3 приведена блок-схема системного контроллера (тип В.01), состоящая из следующих функциональных модулей: - схема арбитража запросов по уровням BR0, BR1, BR2, BR3 на приоритетной основе (ARBITER типа PRI);

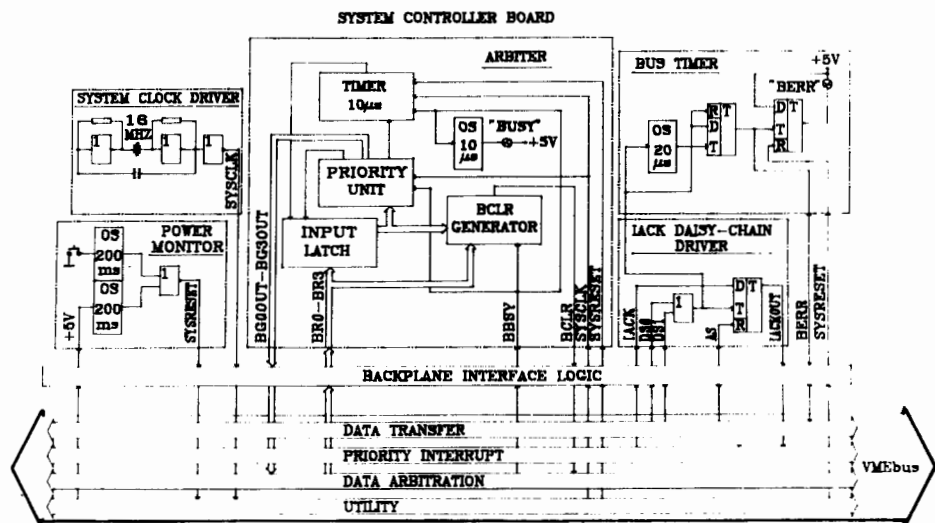


Рис.3. Блок-схема системного контроллера, тип В.01.

- системный тактовый генератор (SYSTEM CLOCK DRIVER), вырабатывающий сигналы SYSCLK;
- координатор обслуживания прерываний (IACK DAISY-CHAIN DRIVER);
- генератор сигнала ошибки BERR (BUS TIMER);
- модуль генерации сигнала сброса SYSRESET (POWER MONITOR).

Схема ARBITER использует специально выделенную для целей арбитража в составе шины VME подсистему линий: BR0-BR3, BG0OUT-BG3OUT, BBSY, BCLR, SYSRESET и SYSCLK. В исходном состоянии она следит за уровнями сигналов на линиях BR0-BR3, перенося их по фронту нарастания сигнала SYSCLK во входной четырехразрядный регистр (INPUT LATCH). Появление единицы хотя бы в одном из разрядов регистра запрещает дальнейший перенос сигналов BR0-BR3 во входной регистр, разрешает анализ содержимого входного регистра в схеме PRIORITY UNIT и запускает таймер (TIMER) на 10 мкс. Основой схемы PRIORITY UNIT является постоянное ЗУ. Из числа поступивших сигналов запроса она выбирает BRx с наивысшим приоритетом (BR3 - высший приоритет, BR0 - низший приоритет) и генерирует сигнал BGxOUT в соответствии с порядком, определенным в таблице.

После детектирования запроса схема ARBITER ожидает прихода сигнала BBSY от одного из модулей типа MASTER, выставившего сигнал BRx. Своевременное появление сигнала BBSY, то есть

Таблица. Порядок генерации сигналов BG0OUT-BG3OUT при различных комбинациях сигналов запроса BR0-BR3

BR3	BR2	BR1	BR0	BG3OUT	BG2OUT	BG1OUT	BG0OUT
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	0
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	0
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	0
1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	0
1	0	1	0	1	0	0	0
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	0
1	1	1	0	1	0	0	0
1	1	1	1	1	0	0	0

в пределах временного интервала 10 мкс, вырабатываемого схемой BUS TIMER, приводит к сбросу схемы BUS TIMER и обнулению сигналов на линиях BG0OUT - BG3OUT. В этом случае схема ARBITER переходит к ожиданию окончания цикла VME на шине, которое переводит схему арбитража в исходное состояние. Длительное отсутствие BBSY не блокирует работу схемы ARBITER, так как в конце временного интервала вырабатывается импульс сброса, также переводящий ее в исходное состояние. Для визуального контроля сигнала BBSY используется зеленый индикатор, расположенный на передней панели модуля.

Во время цикла VME функциональный модуль BCLR GENERATOR сравнивает текущую информацию на линиях BR0-BR3 с содержимым входного регистра. И при появлении запроса более высокого приоритета, чем обслуживаемый в данный момент времени, вырабатывается сигнал BCLR.

Функциональный модуль BUS TIMER контролирует длительность цикла VME, анализируя сигналы DS0 или DS1. При слишком длинном цикле (больше чем 20 мкс) вырабатывается сигнал ошибки BERR. Для визуального контроля сигнала BERR как внутри блока, так и на шине VME используется красный индикатор, расположенный на передней панели модуля.

Системный генератор тактовых импульсов для шины VME - SYSTEM CLOCK DRIVER - вырабатывает стандартный сигнал SYSCLK

с частотой 16 МГц. Так как период повторения его стабилен и фиксирован во всех системах VME, то он может быть использован в качестве опорного сигнала при формировании различных временных интервалов.

Функциональный модуль POWER MONITOR формирует сигнал SYSRESET либо при появлении в блоке напряжения питания +5 В, либо при нажатии кнопки SYSRESET, расположенной на передней панели. При этом происходит сброс входного регистра и триггера, запоминающего появление сигнала BERR.

Функциональный модуль IACK DAISY-CHAIN DRIVER взаимодействует с функциональными модулями INTERRUPT HANDLER и INTERRUPTER, расположенными в блоках системы VME, и координирует процесс обслуживания прерываний. В ответ на появление сигнала IACK он вырабатывает сигнал IACKOUT.

### 3. ЗАКЛЮЧЕНИЕ

К настоящему времени на основе блока системного контроллера (тип В.01) созданы подсистема управления циклом сверхпроводящего синхротрона<sup>2</sup> и система сбора данных для установки СФЕРА<sup>3</sup>. Конструктивно блок выполнен в виде модуля VME единичной ширины и высоты 6U. В блоке используется питание +5 В.

### ЛИТЕРАТУРА

1. An American National Standard. IEEE Standard for A Versatile Backplane Bus: VMEbus. The Institute of Electrical and Electronics Engineers INC, New York, 1988.
2. Базылева Н.П. и др. - В сб.: Краткие сообщения ОИАИ №6(26)-87, Дубна, 1987, с.12.
3. Аверичев С.А. и др. - Сообщение ОИАИ Р1-85-512, Дубна, 1985.

Рукопись поступила в издательский отдел  
18 января 1991 года.