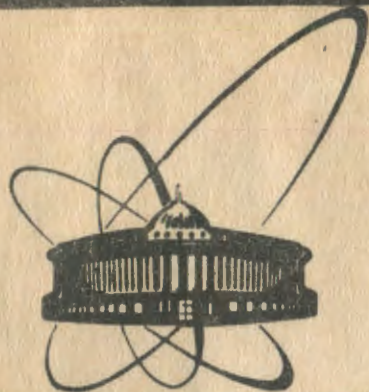


91-13



СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА

P10-91-13

С. В. Сергеев

ПАРАЛЛЕЛЬНЫЙ ИНТЕРФЕЙС ДЛЯ IBM-PC

1991

В настоящее время в ОИЯИ для различных применений очень широко используются ПЭВМ серии IBM-PC. При подключении к ним нестандартных внешних устройств требуются соответствующие интерфейсы. Данная работа посвящена созданию универсального параллельного интерфейса, позволяющего подключать к ПЭВМ различные внешние устройства с минимальными затратами сил и времени.

Предлагаемый интерфейс состоит из двух относительно независимых узлов (см. рис.1).

Первый из них — это программируемый параллельный интерфейс на основе микросхемы 580ИК55 (Intel 8255^{1/1}), позволяющий организовать стробируемый ввод/вывод по протоколу "handshake" (Mode 1 микросхемы).

Данный интерфейс позволяет работать как на программном уровне в режиме сканирования статусного регистра или с использованием программных прерываний, так и в режиме прямого доступа в память с выдачей запроса на прерывание после заполнения буфера или по окончании передачи всех данных из буфера. Необходимый режим работы задается "прошивкой" программируемой логической матрицы (ПЛИМ) типа 556 PT1 или 556 PT2, на которой реализовано устройство управления интерфейса, и установкой соответствующих переключек. Используемый запрос DMA — DRQ1, запрос на прерывание — IRQ2.

Порт PA микросхемы предназначен для вывода байта информации (на выходе установлен драйвер 589ИР12), порт PB — для ввода байта (входные линии подключены к шине +5 В через резисторы 470 Ом). Порт PC используется для выдачи стробирующих сигналов. Эти сигналы могут иметь как положительную логику (сигналы активны при их высоком уровне), так и отрицательную логику (сигнал активен при низком уровне), — режим работы задается программно. Выдача сигнала "1" на бит PC4 задает режим положительной логики выходного канала (порт PA), выдача "0" — режим отрицательной логики. Аналогичным образом бит PC5 задает режим работы стробирующих сигналов входного канала (порта PB).

Все входные стробирующие сигналы подключены к шине +5 В через резисторы 470 Ом, выходные сигналы усиливаются драйвером 589АП16.

Данный узел занимает четыре байта в адресном пространстве ввода-вывода ПЭВМ (базовые адреса 270h-273h):

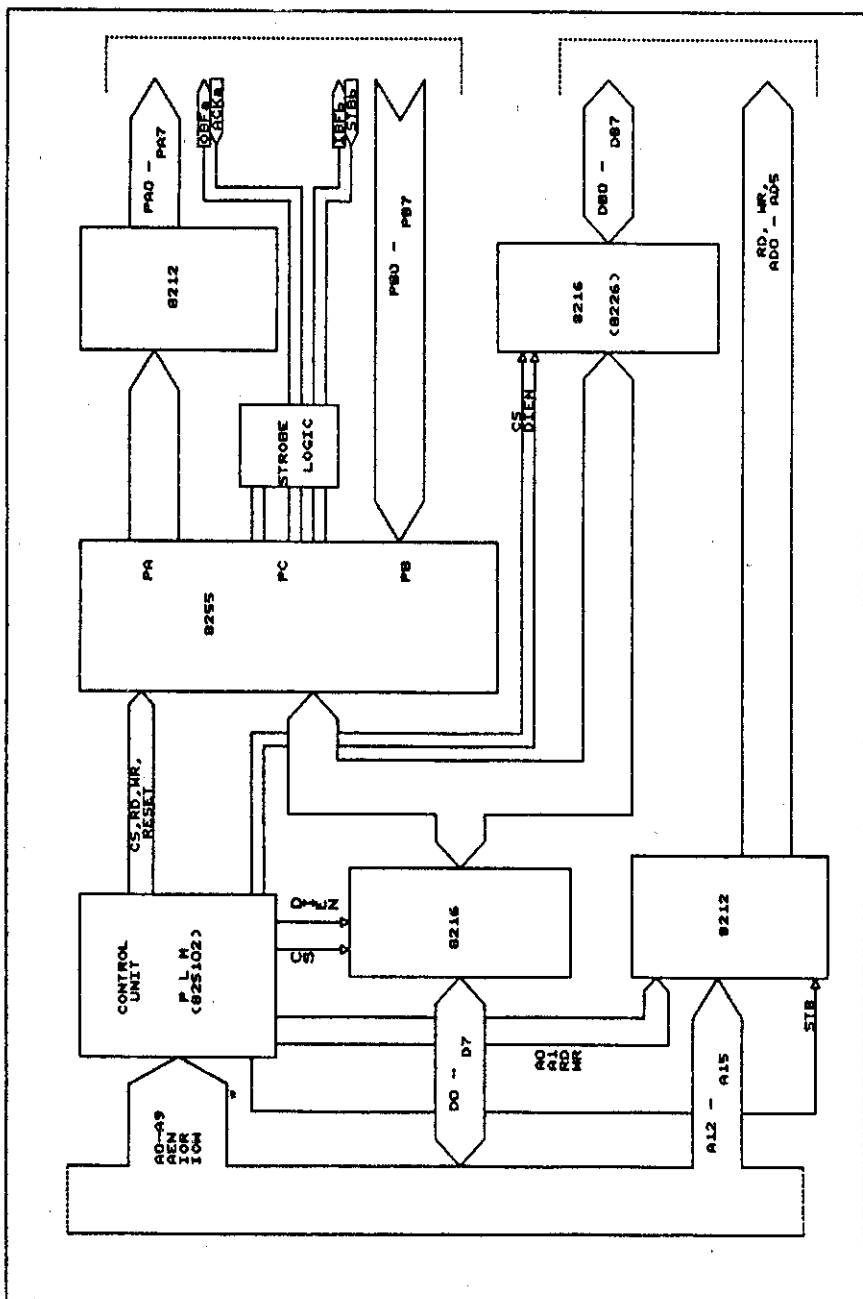


Рис.1

- 270h — порт PA — вывод информации;
- 271h — порт PB — ввод информации;
- 272h — порт PC — управляющие сигналы;
- 273h — регистр управления микросхемы.

Все сигналы данного интерфейса выводятся на разъем РП15-23 со следующим распределением контактов:

- 1 — выход — строб выходной информации (ОВFa);
- 2 — выход — младший информационный бит (РА0);
-
- 9 — выход — старший информационный бит (РА7);
- 10 — вход — подтверждение приема информации (АСКа);
- 11 — вход — строб записываемой информации (STBb);
- 12 — вход — младший информационный бит (РВ0);
-
- 19 — вход — старший информационный бит (РВ7);
- 20 — выход — входной буфер пуст (IBFb);
- 21,22,23 — земля.

Для включения интерфейса в режим стробуемого ввода-вывода требуется выполнить следующие операции:

- в порт 273h записать код 0A6h;
- в порт 273h записать код 8, если логика стробующих сигналов выходного порта отрицательная, и код 9 — если положительная;
- в порт 273h записать код 0Ah, если логика стробующих сигналов входного порта отрицательная, и код 0Bh — если положительная.

При считывании слова состояния интерфейса (порт PC, адрес 272h) значимы только биты 7 и 1:

- бит 7 (сигнал ОВFa) указывает на готовность приемника информации получить очередной байт;
- бит 1 (сигнал IBFb) указывает на наличие во входном буфере интерфейса нового байта.

Интерфейс также допускает режим базового ввода-вывода микросхемы 580ИК55 (Mode 0). При этом порт PA работает на вывод информации, порт PB — на ввод. Порт PC может принимать дополнительно 2 бита — PC2 (сигнал STBb) и PC6 (сигнал АСКа). Значение этих битов будет равно инвертированному значению входных сигналов (высокому уровню будет соответствовать "0", низкому — "1").

Для включения интерфейса в этот режим в порт 273h записывается код 88h.

На плате интерфейса имеется поле с фрагментом универсальной монтажной платы, что позволяет при необходимости установить дополнительные элементы и изменить логику работы этого узла.

Вторым узлом на этой плате является "удлинитель магистрали". Этот узел предназначен для сопряжения с ПЭВМ блоков, обладающих некоторой внутренней логикой. Узел обеспечивает трансляцию по кабелю из крученных пар на расстояние до 10 м сигналов чтения (`__RD`) и записи информации (`__WR`), восьми разрядов шины данных (DB0-DB7) и шести или четырех адресных линий (в зависимости от типа применяемого разъема — линии AD0-AD5).

Узел занимает на магистрали 4 байта в адресном пространстве ввода-вывода — базовые адреса с 274h по 277h. Для того, чтобы уменьшить занимаемое поле адресов до четырех байт и в то же время иметь возможность адресовать до 64 байт, младшие разряды адреса AD0 и AD1 берутся из сигналов A0 и A1 магистрали ПЭВМ, старшие (AD2-AD5) — из адресных линий A12-A15. Подобный способ вполне допустим, так как аппаратурой ПЭВМ декодируются только 10 младших разрядов адреса.

На шине данных может быть использована как положительная, так и отрицательная логика (в зависимости от того, какие драйверы установлены в интерфейсе — 589АП16 или 589АП26). Сигналы записи и чтения имеют отрицательную логику, сигналы адреса — положительную, что соответствует логике, принятой фирмой Intel для своих микросхем.

При работе с длинным кабелем (более 3 м) на конце линии должен быть установлен терминатор, при работе на меньшее расстояние это делать не обязательно. Рекомендуется, кроме использования крученных пар, также и заэкранировать весь кабель, так как при обмене через данный узел кабель может стать источником электромагнитных помех.

Для использования данного узла подключения периферии сопрягаемый блок должен иметь в своем составе только дешифратор адреса (4 или 6 адресных линий) для выработки сигнала CS на управляемые микросхемы и при необходимости драйвер-усилитель шины данных.

При использовании разъема PП15-15 распределение контактов следующее:

1 — двунаправленная линия — младший разряд данных (DB0);

.....

8 — двунаправленная линия — старший разряд данных (DB7);

9 — выход — сигнал записи (`__WR`);

10 — выход — сигнал чтения (`__RD`);

11 — выход — младший разряд адреса (AD0);

.....

14 — выход — старший разряд адреса (AD3);

15 — земля.

Следует отметить, что при использовании этого узла на ПЭВМ IBM-PC/XT, работающих в нормальном режиме, и на IBM-PC/AT при установке нормальной скорости ввода-вывода длительность цикла об-

мена составляет около 1 мкс, при работе на ХТ в режиме "Турбо" и на АТ при установке максимальной скорости обмена — цикл уменьшается. Тем не менее при использовании в сопрягаемых устройствах простых байтовых регистров типа 589ИР12, 580ИР82 и т.д. даже при установке максимальной скорости сбоев не наблюдается.

ЗАКЛЮЧЕНИЕ

Как показала практика, данный интерфейс может иметь достаточно широкое применение. Этот интерфейс успешно использовался для управления движением каретки зонда при выполнении измерений магнитного поля на установке ГИПЕРОН и для организации устройства сопряжения контроллера КАМАК типа КК004 производства ОИЯИ¹² с ПЭВМ типа IBM-PC XT и AT, причем в данном варианте цикл магистрали КАМАК не зависит от тактовой частоты ПЭВМ плюс допускается подключение до 16 крейтов КАМАК к одной плате, вставляемой в магистраль ПЭВМ.

С помощью предлагаемого интерфейса к ПЭВМ могут быть подключены различные устройства, ведущие обмен байтами, начиная от перфостанции или станка для изготовления печатных плат типа ADMAP и кончая другой ПЭВМ, оснащенной аналогичным интерфейсом (см. рис.2).

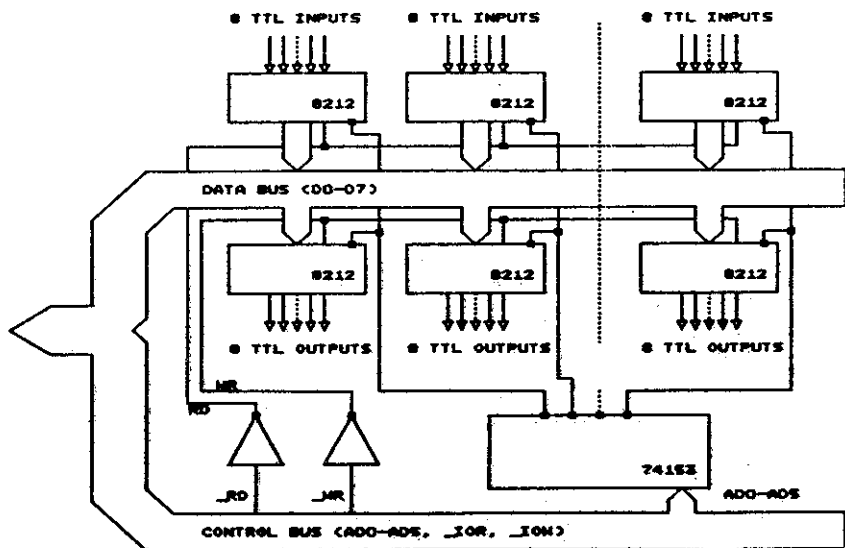


Рис.2

В последнем случае может быть использован режим прямого доступа в память, скорость обмена при этом может составлять 400-800 кбайт/с (в зависимости от быстродействия сопрягаемых ПЭВМ). Для сопряжения двух ПЭВМ требуются два одинаковых интерфейса и соединительный кабель со следующей распайкой контактов разъемов:

Разъем А Разъем Б

1 — 11

2 — 12

9 — 19

10 — 20

11 — 1

12 — 2

19 — 9

20 — 10

21,22,23 — 21,22,23

На рис.1 показан вариант использования удлинителя магистрали для построения многоуровневого входного/выходного регистра для подключения к ПЭВМ различных устройств, оснащенных интерфейсами с уровнями сигналов ТТЛ.

Как уже отмечалось, все устройство управления данным интерфейсом, которое включает и дешифратор адреса, выполнено на ПЛМ типа 556РТ2 или 556РТ1, устанавливаемой на панельке. Для изменения базовых адресов параллельного интерфейса или удлинителя магистрали достаточно перепрограммировать только эту ПЛМ.

Всего блок содержит 13 микросхем.

В заключение автор считает приятным долгом выразить благодарность за ценные замечания Н.И.Замятину и В.С. и С.В.Хабаровым.

ЛИТЕРАТУРА

1. Intel, Component Data Catalog, 1980. Santa Clara, CA 95051, USA.
2. Сидоров В.Т. и др. — ПТЭ, 1976, № 3.

Рукопись поступила в издательский отдел
15 января 1991 года.