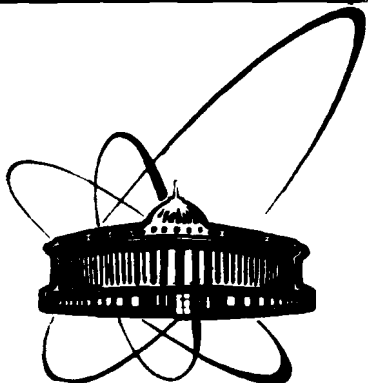


89-764



**объединенный
институт
ядерных
исследований
дубна**

3634

P10-89-764

В.Г.Зинов, А.В.Селиков

**МНОГОСТОПОВЫЙ ПРЕОБРАЗОВАТЕЛЬ ВРЕМЯ-КОД
С ИНТЕРПОЛЯТОРОМ НА ОСНОВЕ
ПАРАЛЛЕЛЬНОГО АЦП**

Направлено в журнал "Приборы и техника эксперимента"

1989

Описание преобразователя

Введение

В экспериментах, предъявляющих жесткие требования к долговременной стабильности, дифференциальной и интегральной нелинейности временных кодировщиков, широкое применение нашли преобразователи, построенные на основе прямого заполнения измеряемого интервала импульсами тактового генератора (счетно-импульсный метод) /1,2/. Однако, даже с добавлением цифровых интерполяторов /3,4/, для ряда применений преобразователи этого типа обладают недостаточным временным разрешением.

Повышенным требованиям к временному разрешению удовлетворяют измерители с использованием временных экспандеров /3-6/. Однако устройства этого типа имеют пониженную стабильность и линейность характеристики преобразования, а большое мертвое время, затрачиваемое на промежуточное преобразование, затрудняет их использование при многостоповых измерениях.

Лучшие характеристики упомянутых типов временных измерителей сочетаются в устройствах комбинированного типа преобразования. В двучкальных измерителях комбинированного типа основная часть измеряемого интервала оценивается грубо по количеству целых периодов образцовой тактовой серии, заполнивших измеряемый интервал, а остаточный интервал оценивается более точным методом с использованием хронотронного интерполятора на образцовых отрезках кабеля /7-9/, временного экспандера с промежуточным преобразованием время-амплитуда-время /2/, преобразователя время-амплитуда с последующим кодированием амплитуды /10/. В последнем случае для построения устройств с малым мертвым временем между соседними событиями большие перспективы открывает использование быстрых параллельных АЦП /11-13/.

Экспериментальные задачи, связанные со статистическим временным анализом потоков сигналов, требуют разработки многостоповых измерителей временных интервалов, имеющих общее начало /7,9,12,13-15/.

Представляемый прибор является дальнейшим развитием многостопового преобразователя время-код /16/, в который, с целью уменьшения разрешающего времени, введен интерполятор остаточного интервала. В основу работы интерполятора положен принцип преобразования интервала в амплитуду с последующей ее оцифровкой параллельным АЦП.

В состав преобразователя входят следующие функциональные узлы (рис.1): схема запуска преобразователя, схема кодировки с интерполятором, счетчик событий с компаратором числа событий (компаратор n), схема выработки сигнала L (Сх. L), дешифратор команд КАМАК, схема чтения в магистраль крейта (МК) и схема общего сброса.

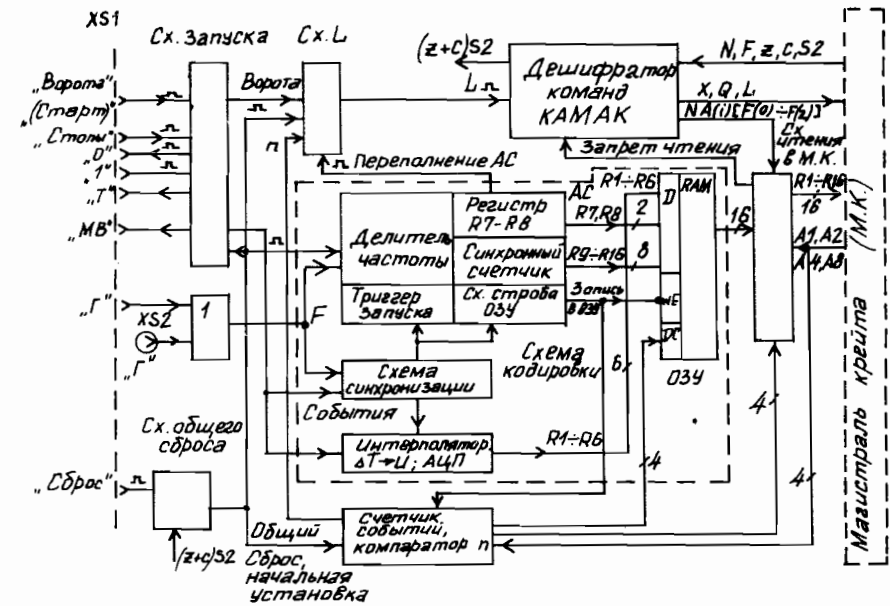


Рис.1. Структурная схема преобразователя. АС - адресный счетчик, ОЗУ - оперативное запоминающее устройство, F - тактовая серия.

В преобразователе предусмотрено два режима измерения: "Общий старт" и "Ворота" (устанавливаются в схеме запуска). Момент окончания цикла измерения (выработка сигнала L) определяется в схеме L . Дешифратор команд КАМАК, работающий во взаимодействии со схемой чтения в МК, обеспечивает управление блоком со стороны магистрали крейта и чтение информации в устройство накопления. Счетчик событий с компаратором числа событий фиксирует количество зарегистрированных событий, а также участвует в выработке сигнала L и считывании информации в магистраль крейта. Схема общего сброса вырабатывает сигнал общего сброса и начальной установки преобразователя. На переднюю панель блока выводятся сигналы

"Мертвое время" ("МВ") и "Т". Сигнал "МВ" по длительности включает в себя весь цикл преобразования и обращения к магистрали "КАМАК". Сигнал "Т" равен максимальному измеренному интервалу (от старта до выдачи сигнала "L").

Более подробное описание функционирования и взаимодействия выделенных функциональных узлов, кроме интерполятора, дано в работе /16/.

Принцип работы описываемого преобразователя следующий.

При приходе сигнала "Старт" или "Ворота" измеряется временное положение его переднего фронта относительно положительного фронта следующего за ним импульса тактовой серии F путем аналоговой интерполяции (преобразование остаточного временного интервала в напряжение на запоминающем конденсаторе с последующим его измерением на параллельном АЦП типа КИ107ПВ3А /17-19/ или КИ107ПВ5А). Тактовая серия F (200 МГц или 100 МГц) вырабатывается внешним кварцевым генератором /20/ (розьем "Г", рис.1).

Выходной 6-разрядный код интерполятора записывается во внутреннее ОЗУ. Одновременно запускается адресный счетчик (АС). В моменты прихода сигналов "Стоп" также происходит интерполяция их временного положения относительно импульсов тактовой серии (младшие 6 разрядов) и фиксируются кадры, вырабатываемые постоянно работающим адресным счетчиком (старшие 10 разрядов). 16-разрядные коды для каждого события запоминаются в ОЗУ.

После окончания цикла измерения (выдача кодировщиком сигнала L) коды, соответствующие зафиксированным событиям, последовательно считываются из ОЗУ в магистраль крейта. По окончании считывания информации в МК и прихода сигнала общего сброса блок готов к следующему циклу преобразования.

Рассмотрим подробней работу интерполятора остаточного интервала (рис.2).

В начальном состоянии интерполятора выключен ток линейного заряда запоминающего конденсатора C (дифференциальный токовый ключ $VT4, VT5$ закрыт), включен быстрый разряд ($VT1$ закрыт, $VT2$ открыт), и напряжение на запоминающем конденсаторе через открытые $p-n$ переходы $VT3$ и $VD2$ удерживается на начальном уровне $+U_{оп}$ ($2 \times 0,7$ В) (рис.3). С целью уменьшения влияния температурного дрейфа $p-n$ переходов $VT3$ и $VD2$ источник опорного напряжения $+U_{оп}$ выполнен компенсированным (его температурный дрейф компенсирует дрейф этих $p-n$ переходов). Преобразователи уровня ПУ предназначены для сдвига уровней управляющей ЭСЛ-логики до уровня управляющих сигналов токовых ключей интерполятора.

При приходе со схемы запуска сигнала "Событие" предварительно включается ток линейного заряда I_3 , вырабатываемый регулируемым генератором тока (ГТ), и после задержки $T1$ выключается быстрый разряд; начинается

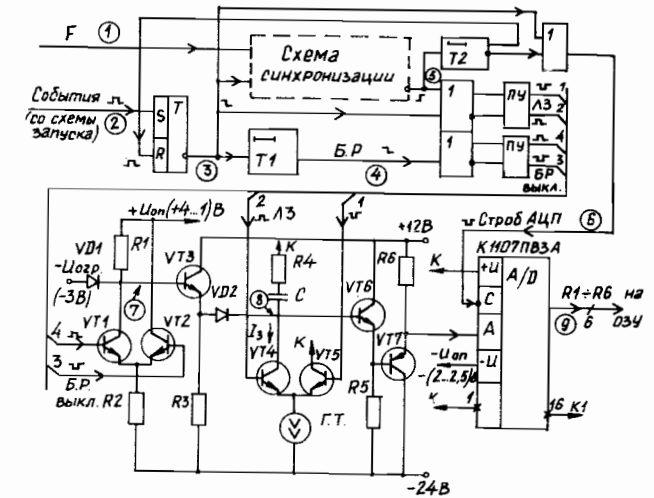


Рис.2. Функциональная схема интерполятора. $T1, T2$ - задержки, БР и ЛЗ - сигналы соответственно быстрого разряда и линейного заряда запоминающего конденсатора, ПУ - преобразователи уровня, I_3 - ток линейного заряда, ГТ - генератор тока линейного заряда. $T1 \dots T6$ - КТ315Е; $T7$ - КТ361Г; $VD1, VD2$ - КД522А.

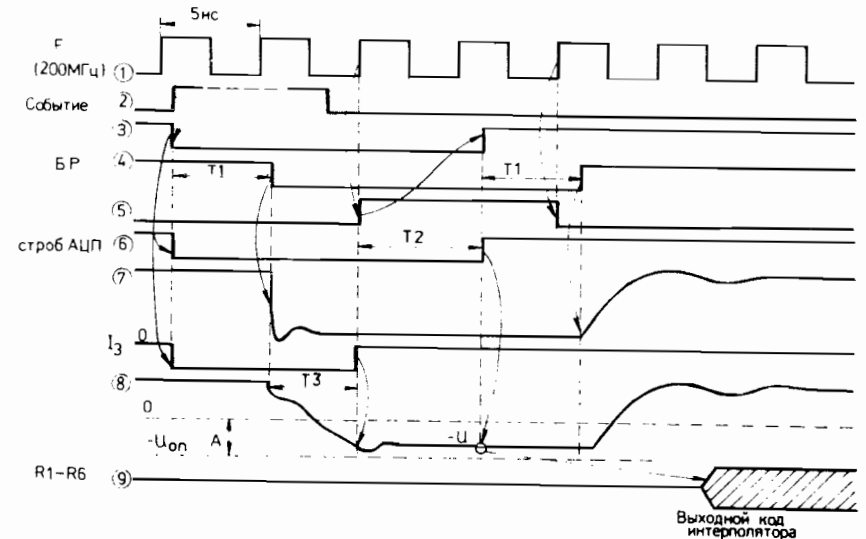


Рис.3. Временные диаграммы работы интерполятора. Цифровые обозначения соответствуют отмеченным точкам на рис.2. I_3 - ток линейного заряда, $T3$ - время линейного заряда запоминающего конденсатора, А - рабочий участок "пилы".

линейный заряд запоминающего конденсатора C (диограмма 3, рис.3). При этом напряжение на аноде диода $VD2$ фиксируется на уровне, обеспечивающем его закрытое состояние в процессе всего преобразования остаточного интервала в напряжение $-U$. Развязка запоминающего конденсатора C от информационного входа АЦП осуществляется повторителем напряжения, выполненным на транзисторах $V T6 - V T7$. Величина рабочего участка "пили" (A , рис.3) задается относительно "аналоговой земли" (K , рис.2) регулируемым отрицательным опорным напряжением АЦП- $U_{оп.}$.

После привязки к положительному фронту импульса тактовой серии F выключается ток линейного заряда I_3 и фиксируется уровень $-U$ на запоминающем конденсаторе, характеризующий временное положение сигнала "Событие" относительно импульса тактовой серии. После задержки T_2 , учитывающей время окончания переходных процессов на "пиле", стробируется параллельный АЦП. По истечении времени преобразования АЦП выдается 6-разрядный код интерполятора, который затем вместе с 10-разрядным кодом адресного счетчика (АС) импульсом "Запись в ОЗУ" (рис.1) записывается во внутреннее ОЗУ устройства.

После стробирования АЦП включается быстрый разряд, и, параллельно с записью в ОЗУ 16-разрядного кода, через $VT3$ и $VD2$ (рис.2) начинается восстановление напряжения на запоминающем конденсаторе C до начального уровня. С учетом восстановления напряжения на запоминающем конденсаторе мертвое время между двумя соседними обрабатываемыми событиями составляет 50 нс.

В описываемом устройстве применена двухступенчатая схема синхронизации, обеспечивающая необходимую точность привязки к положительному фронту импульсов тактовой серии F , и выполненная на двух D -триггерах типа $K500TM23I$ по схеме, идентичной описанной в /21/. Более подробный анализ функционирования аналогичной схемы синхронизации дан в работе /22/. В двухступенчатой схеме синхронизации на привязку к фронту импульса F тратится два периода тактовой серии (рис.3). Задержка $T1$ введена для уменьшения необходимого начального напряжения "пили" на запоминающем конденсаторе (регулируемое $+U_{оп.}$) до уровня, удовлетворяющего предельным электрическим параметрам используемого параллельного АЦП (не более $+2,5$ В) /17-19/.

Величиной тока линейного заряда I_3 регулируется количество градаций, на которые разбивается период тактовой серии F . При использовании 6-разрядного параллельного АЦП максимальное количество градаций интерполятора равно 64, что при тактовой частоте 200 МГц дает цену канала около 80 пс. Практически в преобразователе, с учетом остаточного некомпенсированного температурного дрейфа начального уровня "пили" $+U_{оп.}$, используется меньшее число градаций, при этом рабочая цена канала интерполятора составляет 90 пс.

В дальнейшем развитии описываемого прибора включение в состав интерполятора 8-разрядного параллельного АЦП типа $KII07PB4A$ /12,24/ и применение трехступенчатой схемы синхронизации для обеспечения более точной привязки к импульсам тактовой серии F даст рабочую цену канала на уровне (25-30) пс.

После окончания цикла преобразования результирующие коды считываются в магистраль крейта последовательно по командам $NA(i)[F(0)+F(2)]$, где i может меняться от 0 до 15. При этом шины $A1-A8$ магистрали коммутируются на адресные входы ОЗУ (рис.1), позволяя непосредственно опрашивать ячейки ОЗУ /16/. Подадрес $A(0)$ соответствует событию "Старт" (при этом выдается 6-разрядный код интерполятора), а по подадресу $A(n)$ считывается 16-разрядный код, соответствующий стоповому событию n .

После считывания информации из ОЗУ блока во внешнем вычислительном устройстве для каждого стопового сигнала находятся действительные временные положения анализируемых событий относительно стартового сигнала. Алгоритм вычислений соответствует следующей формуле:

$$T = T_0 \times N + T_0 / K \times (n_2 - n_1), \quad (I)$$

где: T - измеряемый временной интервал;

T_0 - период тактового генератора;

N - 10-разрядный код адресного счетчика (разряды $R 7 - R 16$);

K - количество градаций интерполяции внутри периода тактовой серии (T_0 / K - цена канала интерполятора);

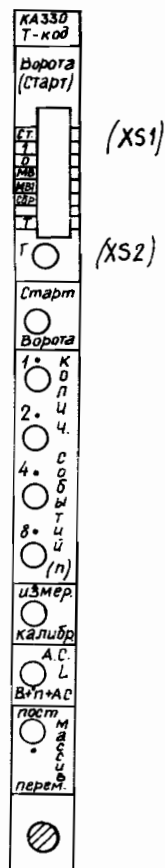
n_1 - 6-разрядный код стартового сигнала (разряды $R 1 - R 6$);

n_2 - 6-разрядный код стопового сигнала (разряды $R 1 - R 6$).

Поскольку в приборе анализируемые сигналы последовательно проходят по одному и тому же каналу измерения и обрабатываются в одном интерполяторе, то после преобразования информации по формуле (I) происходит компенсация дрейфа характеристик измерительного канала. Температурный дрейф измерительной характеристики преобразователя составил величину $1,5$ пс/°С в диапазоне температур (+10 ... +60)°С.

Основные характеристики преобразователя, в частности, аппаратное разрешение, зависят от интегральной и дифференциальной нелинейностей интерполятора остаточного интервала. На дифференциальную нелинейность интерполятора влияют коррелированные наводки со стороны цифровой части преобразователя, в частности, наводки от тактовой серии F , а также качества зарядки запоминающего конденсатора, т.е. форма самой "пили". Тщательная развязка интерполятора и цифровой части преобразователя по питанию и земле (аналоговая K и цифровая KI земли, рис.2), а также использование рабочей части "пили" после окончания переходных процессов ее включения и выключения (рис.3) позволили получить диффе-

Рис.4. Передняя панель преобразователя.



ренциальную и интегральную нелинейности интерполятора на уровне соответственно $\pm 5\%$ и $\pm 0,5\%$.
Результирующее аппаратное разрешение преобразователя при цене канала интерполятора 90 пс составило 200 пс.

В описываемом кодировщике отсутствует одназначная корреляция между измеряемыми интервалами и шкалой интерполятора, так как моменты прихода сигналов "События" произвольны (случайны) по отношению к импульсам тактовой серии F , вследствие чего происходит статистическое разравнивание дифференциальной нелинейности измерительной характеристики интерполятора. Величина дифференциальной нелинейности измерительной характеристики прибора составила $\pm 1\%$. Определение дифференциальной нелинейности преобразователя проводилось по методике, использованной в [16] с применением генератора случайных временных интервалов [23].

На рис.4 представлены передняя панель преобразователя.

Преобразовательная часть блока выполнена на ЭСЛ-микросхемах серии К500, узлы связи с магистральной крестом построены на ТТЛ-микросхемах серии К155.

Технические характеристики преобразователя

- | | |
|---|------------------------------------|
| 1. Сигналы по передней панели.
Уровни сигналов:
на разъеме типа МК-50:
на многоконтактном разъеме:
Длительность сигналов на входах: | <i>NIM</i>
ЭСЛ
не менее 5 нс |
| 2. Максимальное число градаций интерполятора (регулируется): | 64 |
| 3. Рабочая цена канала при максимальной частоте тактовой серии $F = 200$ МГц: | 90 пс |
| 4. Дифференциальная нелинейность интерполятора: | $\pm 5\%$ |
| 5. Интегральная нелинейность интерполятора: | $\pm 0,5\%$ |
| 6. Ширина аппаратного пика: | 200 пс |
| 7. Дифференциальная нелинейность измерительной характеристики: | $\pm 1\%$ |

- | | |
|--|---|
| 8. Температурный дрейф характеристики преобразования в диапазоне температур ($+10^\circ\text{C} \dots +60^\circ\text{C}$): | 1,5 пс/ $^\circ\text{C}$ |
| 9. Максимальное количество сигналов "Стоп": | 15 |
| 10. Разрешающее время для соседних событий: | 50 нс |
| 11. Выходное слово:
из них младшие 6 разрядов - код интерполятора | 16 разрядов, |
| 12. Команды КАМАК:
$NA(O)[F(O)+F(2)]$ - чтение информации о событии "Старт" или "Ворот" (6-разрядный код интерполятора); $X=I, Q=I$.
$NA(1...15)[F(O)+F(2)]$ - чтение информации о событиях "Стоп" (16-разрядный код); $X=I, Q=I$.
$NA(O)F(8)$ - проверка запроса "L"; $X=I, Q=L$.
$NA(O)F(10)S2$ - сброс запроса "L"; $X=I, Q=0$.
$(Z+C)S2$ - общий сброс, установка преобразователя в начальное состояние | |
| 13. Питание: | +24 В: 0,05А; -24 В: 0,12 А; -6 В: 1,9 А; +6 В: 0,4 А |
| 14. Ширина блока: | 1М |

В заключение авторы выражают благодарность Чирикову-Зорину И.Е., Джинчарадзе Д.Г. и Ольшевскому В.Г. за помощь при испытаниях прибора.

Литература

1. Lenzi G., Podini P. Nucl. Instr. and Meth., 1978, vol.150, p.575.
2. Бессонова Н.А. и др. Препринт ИАЭ-4237/14, Москва, 1985.
3. Аульченко В.М., Байбусинов Б.О., Титов В.М. Препринт ИЯФ СО АН СССР 88-22, Новосибирск, 1988.
4. Замятин Н.И. Сообщение ОИЯИ, 13-88-457, Дубна, 1988.
5. Басиладзе С.Г., Тлачала В. Препринт ОИЯИ, 13-8609, Дубна, 1975.
6. Маньяков П.К., Тлачала В. ПТЭ, 1986, № 5, с.79.
7. Будагов Ю.А. и др. Препринт ОИЯИ, 13-84-395, Дубна, 1984.
8. Аульченко В.М. и др. Препринт ИЯФ СО АН СССР 86-89, Новосибирск, 1986.
9. Reverberi R., Podini P., Lenzi G. Journal of Physics E. Scientific Instruments, 1985, v.18, № 12, p.1002.
10. Аульченко В.М. ПТЭ, 1977, № 1, с.79.
11. Dhawan S.K., Kondo K. IEEE, NS-33, № 1, 1986, p.77.
12. Klar H., Schulz M., Steffen P., Dullmann D. Nucl. Instr. and Meth., 1989, vol.A275, p.197.
13. Данилевич В.В., Новиков Е.В. ПТЭ, 1988, № 1, с.86.
14. Данилевич В.В., Новиков Е.В. ПТЭ, 1987, № 3, с.7.
15. Arai Y., Ohsugi T. KEK Preprint 88-78, 1988.

- 16. Зинов В.Г., Селиков А.В. Препринт ОИЯИ, P10-88-505, Дубна, 1988.
- 17. Басин В.М., Кучинский И.Д., Марцинкявичус А.-Й.К. Электронная промышленность, 1985, вып.7(145), с.32.
- 18. Марцинкявичус А.-Й.К. Электронная промышленность, 1986, вып.10(158), с.5.
- ! 19. Марцинкявичус А.-Й.К. и др. Быстродействующие интегральные микросхемы ЦАП и АЦП. М.: Радио и связь, 1988, с.80.
- ✓ 20. Селиков А.В. Сообщение ОИЯИ, I3-8I-844, Дубна, 1981.
- † 21. Гребеняк В.М., Зинов В.Г., Селиков А.В. Сообщение ОИЯИ, I3-82-7I3, Дубна, 1982.
- 22. Hosono Y. et al. IEEE, NS-33, 1986, № I, p.942.
- 23. Зинов В.Г., Селиков А.В. Препринт ОИЯИ, I3-84-48, Дубна, 1984; ПТЗ, 1985, № I, с.110.
- 24. Басин В.М., Марцинкявичус А.-Й.К., Ясулайтис Д.Ю. Электронная промышленность, 1986; вып.10(158), с.113.

Рукопись поступила в издательский отдел
10 ноября 1989 года.

Зинов В.Г., Селиков А.В. P10-89-764
Многоstopовый преобразователь время - код
с интерполятором на основе параллельного АЦП

Описывается многоstopовый преобразователь время - код комбинированного типа. Максимальная частота тактовой серии - 200 МГц, рабочая цена канала интерполятора на основе параллельного 6-битного АЦП - 90 пс., мертвое время между двумя соседними событиями - 50 нс. Преобразователь позволяет определять временные положения до 15 импульсов "Стоп" относительно стартового сигнала. Общая разрядность выходного кода - 16 бит. Прибор выполнен в виде блока КАМАК единичной ширины.

Работа выполнена в Лаборатории ядерных проблем ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1989

Перевод авторов

Zinov V.G., Selikov A.V. P10-89-764
A Multi-Stop Time-To-Code Converter with
Interpolator Based on the Parallel ADC

A multi-stop time-to-code combined-type converter is described. The maximum frequency of a clock-period series is 200 MHz, the least working graduation of the interpolator based on the parallel 6-bit ADC is 90 ps, the dead time between two neighbouring events is 50 ns. The converter allows one to determine time positions of up to 15 "Stop" pulses with regard to the start signal. The output code is of 16 bits. The device is made as a CAMAC block of a unit width.

The investigation has been performed at the Laboratory of Nuclear Problems, JINR.

Preprint of the Joint Institute for Nuclear Research. Dubna 1989