

**сообщения
объединенного
института
ядерных
исследований
дубна**

Н 623

P10-88-241

Н.М.Никитюк

**БЫСТРЫЕ И ЭКОНОМИЧНЫЕ АЛГОРИТМЫ
ДЛЯ СПЕЦИАЛИЗИРОВАННЫХ ПРОЦЕССОРОВ.
РЕГИСТРАЦИЯ СУММАРНОГО СИГНАЛА
В КАЛОРИМЕТРАХ**

1988

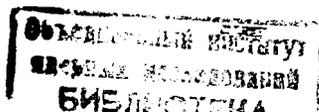
1. ПОСТАНОВКА ЗАДАЧИ

Современные спектрометры, применяемые для исследований в области физики высоких энергий, являются источниками огромного количества аналоговых и цифровых сигналов, которые используются для выработки импульсов, запускающих установку, измерения энерговыделения взаимодействующих частиц, определения параметров ливней и проч.^{11/} При этом нередко требуется получить арифметическую сумму амплитуд сигналов. Появление быстродействующих аналоговых микросхем позволяет создавать экономичные и компактные суммирующие и пороговые устройства. Однако аналоговые схемы имеют ряд недостатков, которые проявляются при построении многоканальных и сложных устройств: нестабильность характеристик, ограниченные функциональные возможности, малый коэффициент объединения по входу и ограниченная величина определяемой множественности.

Цифровые схемы отличаются более высокой надежностью, гибкостью и широкими функциональными возможностями. Обработка цифровых сигналов, например, в калориметрах^{12/} состоит из следующих этапов:

- суммирование цифровых данных с помощью каскадно включенных сумматоров,
- сравнение полученного результата с заведомо известной величиной с целью выработки импульса, запускающего установку.

Однако при большом числе каналов регистрации такое устройство получается громоздким и, кроме того, растут задержки сигналов в цепях суммирования чисел. В данной работе предлагается использовать для получения суммарного импульса малоизвестный в ядерной электронике метод компрессии данных, который применяется в вычислительной технике для создания быстродействующих схем умножения. Основными узлами такого устройства являются параллельные счетчики^{13/}. На их основе создаются параллельные компрессоры, функции которых состоят в том, чтобы быстро и довольно экономичным способом одновременно получать сумму большого числа слагаемых.



2. ПАРАЛЛЕЛЬНЫЕ СЧЕТЧИКИ

Известны следующие методы построения параллельных счетчиков:

- использование полных однозарядных сумматоров,
- применение модулей памяти,

— создание параллельных счетчиков на основе аналого-цифровых компараторов. С практической точки зрения, в настоящее время интерес представляют параллельные счетчики, создаваемые на основе полных сумматоров, поскольку имеется возможность создавать такие счетчики на большое число входов. Параллельный счетчик — это устройство, которое подсчитывает число логических сигналов, поступающих одновременно на его входы. Данные на входы параллельного счетчика поступают в виде унитарного позиционного кода, а на его выходах получается двоичный код. Такой счетчик имеет n входов и k выходов и обозначается как (n, k) -счетчик. Связь между входными и выходными шинами определяется из следующего выражения¹⁴:

$$\sum_{i=1}^n a_i = \sum_{i=0}^{k-1} q_i 2^i, \quad a_i = 0, 1; \quad q_i = 0, 1,$$

где $n = 2^k - 1$ и $k = 2, 3, 4, \dots$

В работах¹³⁻⁹ рассматриваются методы построения параллельных счетчиков, в которых используются сумматоры. Суть метода заключается в том, что в качестве модуля для построения (n, k) -счетчика, содержащего большое число входов, используются (u, v) -счетчики с меньшим числом входов¹⁴.

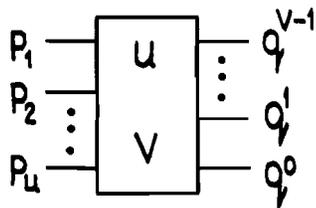


Рис.1. Блок-схема (u, v) -счетчика.

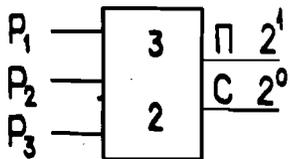


Рис.2. Принципиальная схема $(3,2)$ -счетчика.

На рис.1 приведена блок-схема (u, v) -счетчика, содержащего u входов и v выходов, которые имеют веса $2^0, 2^1, \dots, 2^{v-1}$. Полный однозарядный сумматор по существу представляет собой $(3,2)$ -счетчик (рис.2), у которого все три входа (два для операндов и один для переноса) являются равносильными, а выходы суммы C и переноса Π имеют двоичные веса 2^0 и 2^1 соответственно. В качестве полного сумматора мы будем использовать микросхему К500ИМ180, у которой задержка вход — выход C равна 4,5 нс, а задержка вход — выход Π равна 2,2 нс. Этот фактор приводит к то-

му, что при построении счетчиков на большое число входов, когда требуется высокое временное разрешение, приходится выравнивать задержки сигналов в логических цепях путем включения одного или нескольких элементов ИЛИ (например, К500ЛМ101). Для построения счетчиков на большое число входов желательно выбирать величину $n = 2^k - 1$. На практике, как это будет показано ниже, могут встречаться счетчики с числом входов, не удовлетворяющим этому критерию. Например, при построении компрессоров данных используются параллельные $(2,2)$ -, $(4,3)$ -, $(5,3)$ - и проч. счетчики, для создания которых наряду с полными сумматорами можно использовать более простые полусумматоры, имеющие по два входа и по два выхода. Однако в интегральном исполнении в 500-серии изготавливаются сумматоры по модулю два К500ЛП107 и полные сумматоры К500ИМ180. Поэтому в качестве $(2,2)$ -счетчика лучше использовать микросхему К500ИМ180.

На рис.3,4 в качестве примера приведены принципиальные схемы $(4,3)$ -, $(5,3)$ - и $(7,3)$ -счетчиков. Цифры на соответствующих входах и выходах микросхем обозначают величины задержек сигналов. Квадратами обозначены элементы задержки (микросхемы К500ЛМ101). Задержки сигналов на величины, не кратные 2 нс, можно получить путем включения небольшой емкости, порядка 3-5 пФ, между двумя последовательно включенными элементами ИЛИ. Предполагается, что логической единице соответствует — 1,8 В. С целью упрощения рисунков здесь и далее не показаны нагрузочные резисторы, а также обозначения входных и выходных контактов у микросхем. Построение $(7,3)$ -счетчика на базе $(3,2)$ -счетчика не представляет особых затруднений. Для этого все входы по возможности группируются в наборы по три и подключаются к входам $(3,2)$ -счетчиков первой ступени. Оставшийся

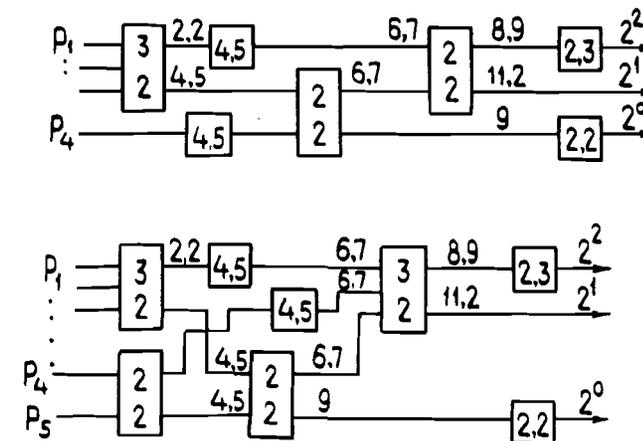


Рис.3. Принципиальные схемы: а — $(4,3)$ -счетчик и б — $(5,3)$ -счетчик. Внутри квадратов обозначены величины задержек.

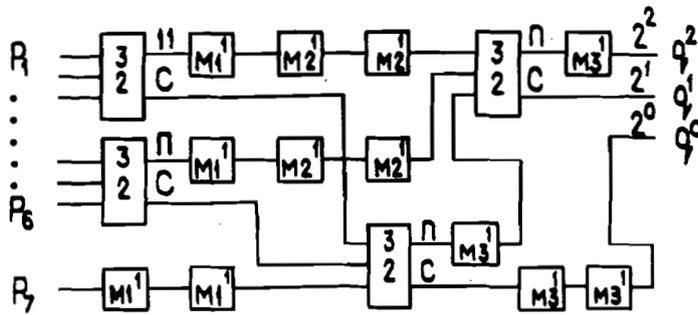


Рис.4. Принципиальная схема (7,3)-счетчика.

седьмой вход и выходы С с одинаковыми двоичными весами соединяются со входами (3,2)-счетчика второй ступени, выход которого С является выходом (7,3)-счетчика с двоичным весом 2^0 . Равносильные по весу выходы П первой и второй ступеней подключаются к входам (3,2)-счетчика третьей ступени, выходы которого являются выходами (7,3)-счетчика с двоичными весами 2^1 и 2^2 . Элементы задержки включаются таким образом, чтобы обеспечить одновременное поступление сигналов на выходы счетчика. Синтез параллельных счетчиков в общем виде детально рассмотрен в работах¹⁶⁻¹⁸. Ниже будет приведено два упрощенных подхода к построению счетчиков на 15 и 31 вход. Параллельный (15,4)-счетчик может быть легко построен, если в качестве модулей использовать (7,3)- и (3,2)-счетчики^{13, 51}. Из рис.5 видно, что на второй ступени используется 3-разрядный сумматор с межразрядными переносами, причем входы старшего разряда подключены к тем выходам (7,3)-счетчиков, которые имеют наибольший вес 2^2 . По аналогии выполнены соединения остальных разрядов сумматоров, причем вход P_{15} имеет вес 2^0 . С целью упрощения рисунка элементы задержки не обозначены.

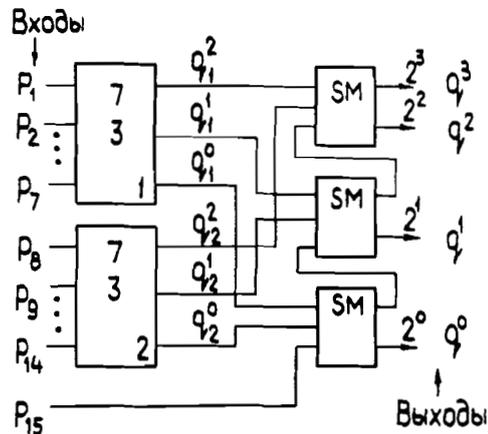


Рис.5. Блок-схема (15,4)-счетчика, построенного на основе двух (7,3)-счетчиков.

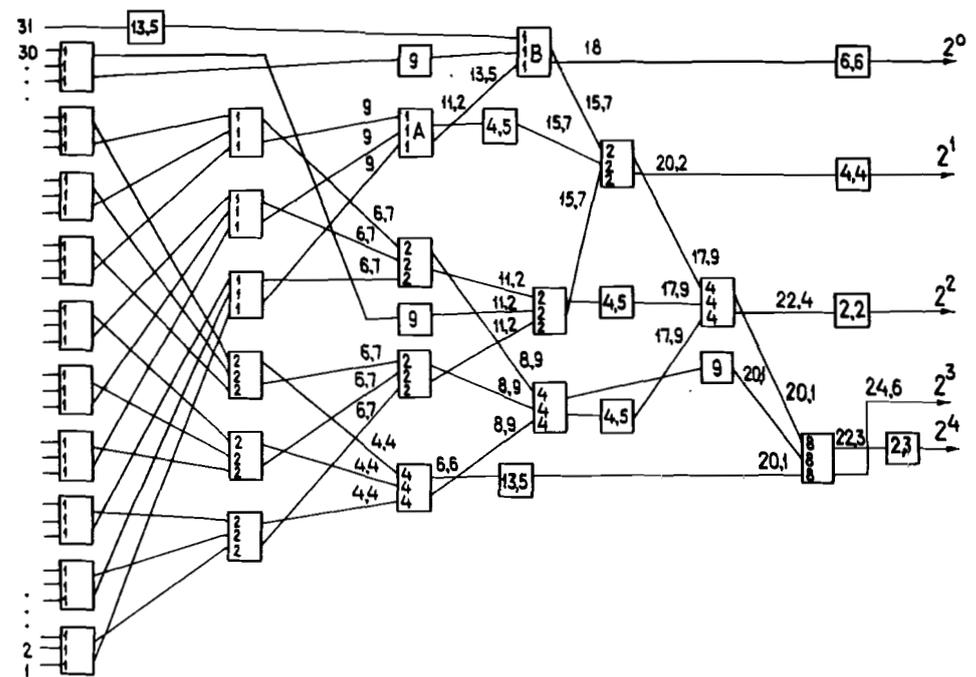


Рис.6. Принципиальная схема (31,5)-счетчика. Цифры в прямоугольниках обозначают вес соответствующей входной шины.

Другой подход к построению параллельных счетчиков с точки зрения количества используемых микросхем и времени задержки равносильен первому. Однако при создании счетчиков на большое число входов он более нагляден. Рассмотрим пример. Пусть необходимо построить (31,5)-счетчик, используя в качестве базового модуля (3,2)-счетчик. Синтез такого устройства (рис.6) выполняется в следующей последовательности.

Все входы группируются по три. В результате получается 10 групп входов, содержащих по три входа, и одна группа с одной шиной, которой присваивается вес 2^0 . С помощью (3,2)-счетчиков первой ступени 30 входных шин трансформируются в 20 шин. Следует отметить, что нижняя выходная шина у (3,2)-счетчика имеет вес 2^0 , а верхняя шина — вес 2^1 . Цифры внутри прямоугольников обозначают веса входных шин. Девять шин с весами 2^0 и 2^1 , получаемых после первого этапа трансформации, группируются по три и подключаются к входам сумматоров второй ступени, на выходах которых получается три шины с весами 2^0 , 2^1 и 2^2 . Всего с учетом несгруппированных шин получается 5 шин с весом 2^0 , 7 шин с весом 2^1 и три шины с весом 2^2 .

Три шины с весом 2^0 , полученные после второго этапа трансформации, подключаются к входам счетчика А, на выходе которого С формируется шина с весом 2^0 . Эта шина, в свою очередь, совместно с оставшимися шинами с таким же весом подключается к входу счетчика В, на выходе которого в конце концов образуется единственная шина с весом 2^0 , она и является выходной шиной самого младшего разряда (31,5)-счетчика.

По аналогии нетрудно осуществить формирование остальных выходных шин. Подобным способом можно построить параллельный счетчик и на большее число входов. В работе¹⁴ приводится схема (127,7)-счетчика, который построен на основе (7,3)-счетчика. Количество одноразрядных сумматоров М, необходимых для построения (n, k)-счетчика, вычисляется из выражения¹⁰: $M = k \cdot n$. За единицу задержки сигнала по тракту входы — выходы принимается величина задержки одного сумматора (одной микросхемы), которая вычисляется по неравенству¹⁵: $[\log_3(n-1) + \log_2 n] \leq T \leq 2[\log_2(n) - 1] - 1$.

В таблице приведены параметры некоторых интересных с практической точки зрения параллельных счетчиков. Величины рассеиваемой мощности даны при условии, что значения нагрузочных резисторов равны 620 Ом. Если использовать монтажные платы КАМАК, то, учитывая величину рассеиваемой мощности, на одной плате можно смонтировать (31,5)-счетчик. Если же такой счетчик использовать для построения мажоритарной схемы совпадений, то необходимы дополнительные схемы: дешифраторы и элементы И-НЕ.

Таблица
Параметры некоторых параллельных счетчиков

Счетчик	(3,2)	(4,3)	(5,3)	(6,3)	(7,3)	(15,4)	(31,5)	(63,6)	(127,7)
Число микросхем К500ИМ180	0,5	1,5	2	2	2	5,5	13	28,5	60
Задержка Т, нс	4,5	11,2	11,2	11,2	11,2	17,9	24,6	31,3	40
Число микросхем К500ЛМ101	0,25	1,5	1,5	1,5	2	5	8,75	16	32
Рассеиваемая мощность, Вт	0,25	0,92	1,12	1,12	1,22	3,3	7,08	14,9	30

Для создания параллельных счетчиков на большее число входов можно использовать метод каскадирования или применять монтажные платы стандарта FASTBUS. Важным параметром параллельных счетчиков является величина задержки Т. Как видно из таблицы, эта величина несущественно растет с ростом числа входов n. Величину задержки можно уменьшить вдвое, если вместо сумматоров использовать быстродействующие ПЗУ. Еще более высокое быстродействие можно получить, если в качестве элементной базы применить аналого-цифровые компараторы К597СА1. При этом величина задержки Т не превышает 10 нс при $10 \leq n \leq 50$. Однако для построения таких счетчиков необходимы высокоточные резисторы¹⁶. С практической точки зрения аналого-цифровые счетчики целесообразно создавать на число входов не более 31. Число корпусов микросхем К597СА1 равно числу входов.

3. КОМПРЕССОРЫ ДАННЫХ

Компрессоры данных используются в вычислительной технике для сжатия данных при одновременном суммировании большого числа слагаемых, функции компрессора сводятся к тому, что n двоичных чисел сжимаются до двух слагаемых ($n \gg 2$). Затем для их суммирования используются обыкновенные сумматоры. Основным логическим узлом компрессора является группа параллельных счетчиков, количество которых равно максимальному числу двоичных разрядов в одном из исходных слагаемых. В общем виде синтез компрессоров рассмотрен в работе¹⁰. Анализ показывает, что эти устройства могут быть успешно применены для регистрации амплитуд суммарных сигналов в калориметрах и в других физических установках, где требуется получение суммы большого количества чисел. Для краткости компрессоры будем обозначать как (n,N)-компрессор, где n — количество слагаемых, N — разрядность слагаемых. В дальнейшем будем полагать, что все слагаемые имеют одинаковое число разрядов.

Рассмотрим конкретный пример. Допустим, что необходимо просуммировать семь 7-разрядных чисел, как это показано на рис.7. С целью наглядности разряды чисел разделены линиями, причем младшие разряды расположены справа. Процесс суммирования можно условно разделить на три этапа (для данного примера, когда число слагаемых равно семи). На первом этапе с помощью (7,3)-счетчиков подсчитывается количество единиц одинакового веса. В первом столбце справа имеется пять единиц или 10_2 , во втором столбце — две единицы с весом 2^1 и т.д. И, наконец, в седьмом столбце содержится $4 = 10_2$ единицы веса 2^6 . В итоге после суммирования на первом этапе получается

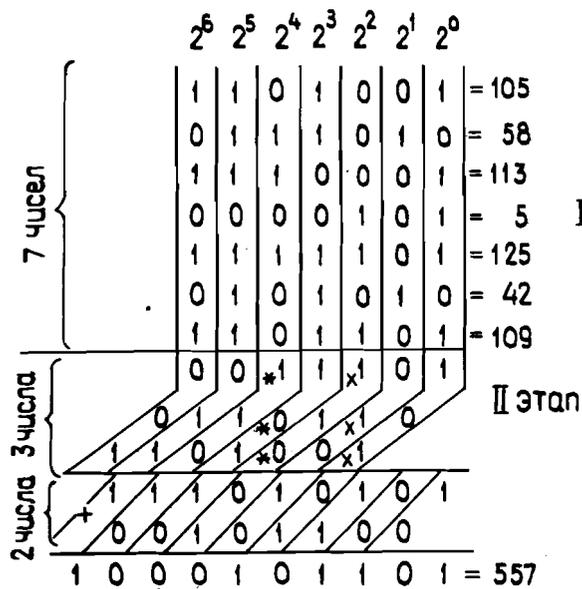


Рис.7. Пример одновременного суммирования 7-разрядных чисел. В качестве примера знаками x и * отмечены столбцы, в которых подсчитывается количество единиц на втором этапе компрессии.

три слова. На втором этапе с помощью (3,2)-счетчиков количество слагаемых сокращается до двух. И, наконец, выходы (3,2)-счетчиков подключены к входам обыкновенного сумматора. С целью уменьшения времени суммирования можно использовать цепи ускоренного переноса. Нетрудно подсчитать, что суммарное число $1000101101 = 557 = 105 + 58 + 113 + 125 + 42 + 109 + 5$.

Пользуясь рис.7, можно составить принципиальную схему (7,7)-компрессора (рис.8), подсчитать количество полных сумматоров, необходимых для его построения, а также определить величину задержки по тракту вход-выход. Видно, что сумма единиц с весом 2^0 $5 = 101$, этот результат записывается по диагонали так, что второй разряд числа 101 с весом 2^0 располагается под первым разрядом результата суммирования единиц во втором столбце с весом 2^1 (этот результат равен 101). Далее старший разряд числа 101 располагается под вторым разрядом числа 011, которое получилось в результате суммирования единиц в третьем столбце с весом 2^2 и т.д.

После первого этапа компрессии получилось три слагаемых, позиции цифр у которых определяют связи между выходами (7,3)-счетчиков и входами (3,2)-счетчиков. На следующем этапе компрессии с помощью (3,2)-счетчиков подсчитывается количество единиц, расположенных в соответствующих столбцах. В качестве примера на рис.7 отмечены два таких столбца знаком *. Сравнивая рис.7 и рис.8, нетрудно заметить,

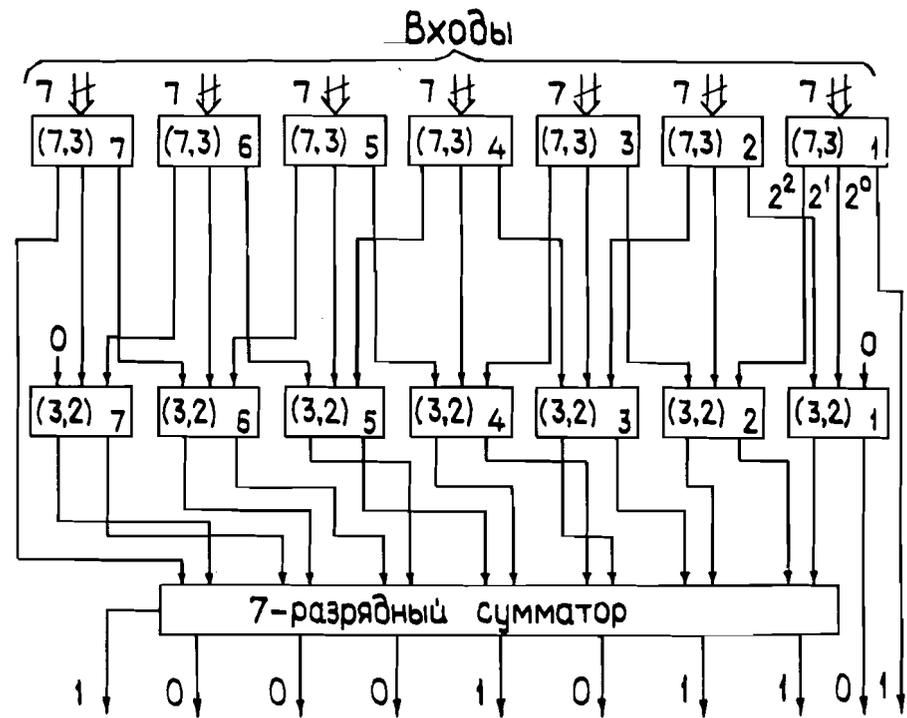


Рис.8. Принципиальная схема (7,7)-компрессора.

что самый младший разряд на втором этапе суммирования подается непосредственно на выход компрессора. Во втором столбце имеется две цифры (0 и 0), поэтому выход второго (7,3)-счетчика с весом 2^0 и первого (7,3)-счетчика с весом 2^1 подключены к входам первого (3,2)-счетчика. Далее к входам второго (3,2)-счетчика подключены: выход с весом 2^2 первого (7,3)-счетчика, выход с весом 2^1 второго (7,3)-счетчика и выход с весом 2^0 третьего (7,3)-счетчика. Аналогично можно проследить связи между остальными счетчиками. Более того, пользуясь рис.7, нетрудно получить схему соединения входов 7-разрядного сумматора с выходами (3,2)-счетчиков. По аналогии можно составить принципиальные схемы компрессоров, содержащих большее число входов. Следует отметить, что на первом этапе компрессии во всех случаях используются однотипные счетчики. В промежуточных каскадах вплоть до (127,7)-компрессора используется набор (3,2)-, (4,3)-, (45,3)-, (6,3)- и (7,3)- счетчиков. Дальнейшее увеличение числа слагаемых вряд ли целесообразно с помощью одного устройства.

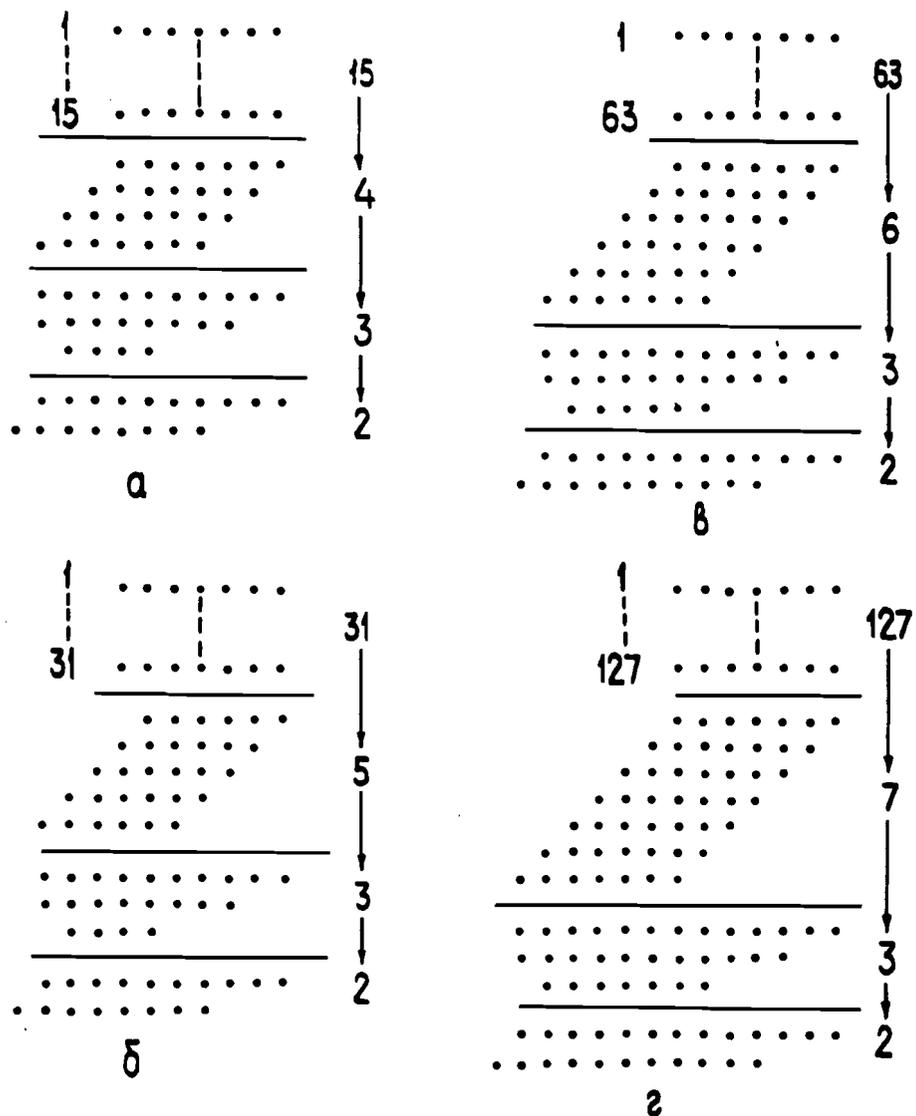


Рис.9. Схематическое изображение а – (15,7)-, б – (31,7)-, в – (63,7)- и г – (127,7)-компрессоров.

На рис.9 приведены упрощенные схемы (диаграммы), с помощью которых можно определить необходимое количество параллельных счетчиков, время суммирования и принципиальные схемы (15,7)-, (31,7)- и (127,7)-компрессоров данных. Точками на рисунке обозначены двоич-

ные цифры (0 и 1). Из рис.9 видно, что (15,7)-компрессор состоит из семи (15,4)-счетчиков первого каскада, из четырех (3,2)- и (4,3)-счетчиков второго каскада. Третий каскад включает восемь (3,2)-счетчиков. По аналогии нетрудно определить параметры остальных компрессоров. Естественно, что количество каскадов в компрессоре зависит от числа слагаемых. Можно предложить следующее правило для подсчета этапов компрессии L. Число L равно количеству двоичных разрядов, необходимых для представления k, которое равно числу выходов (n,k)-счетчика, используемого на первом этапе компрессии; при суммировании семи слагаемых на первом этапе используется (7,3)-счетчик, у которого k = 3 = 11, и поэтому L = 2. Величина для (15,4)-, (31,5)-, (63,6)- и (127,7)-счетчиков равна трем, а для (256,8)-счетчика L = 4, так как 8 = 1000. Поскольку на выходах компрессора получается двоичный код, то при удвоении количества слагаемых можно использовать два одинаковых компрессора и обыкновенный сумматор. При большем числе слагаемых можно применить каскадное включение аналогичных компрессоров. Так как операция суммирования выполняется с помощью параллельных счетчиков, то время суммирования складывается из задержки T, которая получается в последовательной цепочке, состоящей из (n,k)-счетчика, (k,q)-счетчика, ..., (3,2)-счетчика и времени суммирования двух чисел T_с на последнем этапе компрессии:

$$T_{\Sigma} = T_{(n,k)} + T_{(k,q)} + \dots + T_{(3,2)} + T_c$$

Так, для (7,7)-компрессора T_Σ равно

$$T_{\Sigma} = T_{(7,3)} + T_{(3,2)} + T_c$$

Если использовать схему сумматора со сквозным переносом, то можно принять T_с = 12 нс (сумматор К500ИМ180 и схема сквозного переноса К500ИП179). Пользуясь данными таблицы, получаем T = 28 нс. Для (15,7)-, (31,7)-, (63,7)- и (127,7)-компрессоров получаются следующие величины T_Σ: 48,56,64 и 68 нс соответственно. Для сравнения отметим, что время суммирования 15 семиразрядных чисел равно 60 нс, то есть почти столько, сколько требуется времени для суммирования 127 слагаемых с помощью параллельного компрессора.

4. ПРИМЕНЕНИЕ ПАРАЛЛЕЛЬНЫХ СЧЕТЧИКОВ И КОМПРЕССОРОВ

1. Отбор событий по множественности сигналов. Как показано в работе¹³, параллельные счетчики эффективно используются для

построения мажоритарных схем совпадений на большое число входов. Причем наряду с сигналами типа "≥" в широких пределах можно вырабатывать импульсы, несущие информацию о строгом равенстве сигналов, зарегистрированных в годоскопической плоскости. Поскольку на выходах счетчика вырабатывается двоичный код, то имеется возможность легко использовать аналогичные блоки с целью построения устройства отбора по множественности сигналов на большое число входов. Количество микросхем, необходимых для построения мажоритарной схемы совпадений, можно существенно уменьшить, если заведомо известно, что число одновременно сработавших датчиков в детекторе не превышает 15-20%.

2. Создание быстрого специализированного процессора для отбора событий по разности числа частиц, прошедших через две годоскопические плоскости. Для построения такого процессора достаточно иметь два параллельных счетчика и вычитающее устройство¹⁰. Причем в качестве вычитающего устройства можно использовать ту же микросхему К500ИМ180, которая может работать и в режиме вычитающего устройства. При этом получается довольно экономичное и быстродействующее устройство, которое проще процессора, описанного в работе¹¹.

3. Перспективы применения компрессоров данных обусловлены бурным развитием спектрометров полного поглощения — калориметров, в которых для выработки триггер-импульса широко используются различного типа суммирующие устройства.

ЛИТЕРАТУРА

1. Прокошкин Ю.Д. Препринт ИФВЭ № 79-148, Серпухов, 1979.
2. Schuller G.A. CERN-Preprint, No.80-09, Geneva, 1982.
3. Гуськов Б.Н. и др. ПТЭ, 1984, № 6, с.91.
4. Kabayashi H., Ohara H. — IEEE Trans. on Comput., 1978, vol.C-27, No.8, p.753.
5. Foster C.C., Stoken E.D. — IEEE Trans. on Comput., 1971, vol.C-20, No.12, p.1580.
6. Swartzlander E. — IEEE Trans. on Comput., 1973, vol.C-22, No. 11, p.1021.
7. Meo A.R. — IEEE Trans. on Comput., 1975, vol.C-24, No.3, p.258.
8. Dadda L. — IEEE Trans. on Comput., 1980, vol.C-29, No.10, p.942.
9. Dormido S., Canto M.A. — IEEE Trans. on Comput., 1980, vol.C-30, No. 5, p.393.
10. Калинин В.А., Никитюк Н.М. — ПТЭ, 1986, № 1, с.71.
11. Басиладзе С.Г. и др. — ПТЭ, 1978, № 3, с.98.

Рукопись поступила в издательский отдел
14 апреля 1988 года

Никитюк Н.М.

Быстрые и экономичные алгоритмы для специализированных процессоров.
Регистрация суммарного сигнала в калориметрах

Описаны результаты исследования методов параллельного счета сигналов, используемых в вычислительной технике с целью построения быстродействующих устройств отбора полезных событий в экспериментах по физике высоких энергий. Приведен упрощенный способ синтеза параллельных счетчиков на большое число входов. Рассчитаны основные параметры параллельных счетчиков на число входов n (от 3 до 127). Показано, каким образом на основе параллельных счетчиков можно создавать параллельные компрессоры данных, которые предлагается использовать для одновременного суммирования большого числа слагаемых. Компрессоры данных могут быть применены в калориметрах для эффективного суммирования большого числа слагаемых.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1988

Перевод автора

Nikitjuk N.M.

Fast and Economic Algorithms for Special-Purpose Processors.
Registration of Summary Signals in Calorimeters

The results of the parallel methods of counting signals used in computers for the construction of units for fast event extraction in high energy physics are described. A fast method for the synthesis of parallel counters for a large number input is given. The main parameters of the parallel counters for the number of inputs from 3 to 127 is calculated. It is shown that parallel data compressors can be constructed on the basis of the parallel counters. The data compressors can be effectively used in the calorimeters for the summation of a great number of summands.

The investigation has been performed at the Laboratory of High Energies, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1988