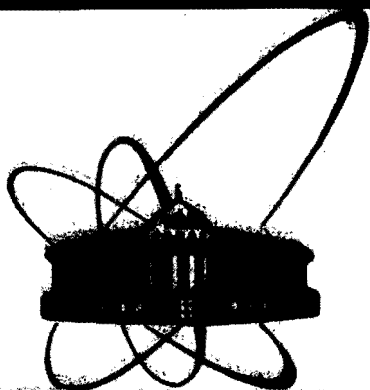


87-928



**СООБЩЕНИЯ  
ОБЪЕДИНЕННОГО  
ИНСТИТУТА  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ  
ДУБНА**

**P10-87-928**

**В.А.Антюхов, А.Георгиев, З.Гонс, Н.И.Журавлев,  
Т.Опалек, А.П.Павлов, В.Т.Сидоров, А.Н.Синаев,  
П.Чижек, И.Н.Чурин**

**ЦИФРОВЫЕ БЛОКИ  
В СТАНДАРТЕ КАМАК  
(выпуск XV)**

**1987**

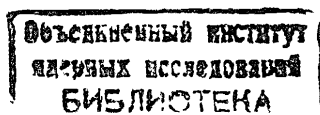
В настоящей работе публикуются краткие характеристики и блок-схемы 15-й серии цифровых блоков в стандарте КАМАК, разработанных в Лаборатории ядерных проблем ОИЯИ.

Обозначение каждого блока состоит из двух букв и трех цифр. Первая буква К постоянна для всех блоков и означает, что блок выполнен в стандарте КАМАК. Вторая буква показывает принадлежность блока к определенному классу /см. таблицу/. Цифры означают номер разработки.

Таблица

Код ЛЯП	Класс блока
КА	Аналоговая обработка информации
КВ	Вывод цифровых данных
КИ	Интерфейсы внешних устройств, индикаторы
КК	Контроллеры, интерфейсы магистрали, драйверы ветви
КЛ	Логическая /цифровая/ обработка информации
КМ	Управляющие блоки с микропроцессорами
КП	Блоки, не вошедшие в другие группы
КР	Параллельный ввод цифровых данных
КС	Последовательный ввод цифровых данных
КТ	Тестовые блоки
КУ	Вспомогательные блоки управления
КЭ	Интерфейсы ЭВМ

Далее приводится список блоков, рекомендуемых для использования в новых системах. Римские цифры I-XIV означают соответственно номера ранее опубликованных выпусков <sup>1-14/</sup>, а цифра XV - настоящий выпуск. Вторая цифра означает номер страницы в соответствующей публикации.



1. КА 001 - преобразователь заряд-код /2x255 каналов/	V-6
2. КА 002 - коммутатор аналоговых сигналов /0 ± 100 мкА/	V-8
3. КА 003 - коммутатор аналоговых сигналов /-6 В + 6 В/	V-10
4. КА 004 - коммутатор аналоговых сигналов /0 ± 127 В/	VI-6
5. КА 007 - преобразователь амплитуда-код /8192 канала/	VIII-4
6. КА 009 - цифро-аналоговый преобразователь /2x10 бит/	X-4
7. КА 010 - преобразователь заряд-код /8x255 каналов/	XI-4
8. КА 011 - преобразователь амплитуда-код /4096 каналов/	XIV-4
9. KB 002 - выходной регистр /2x16 бит, TTL/	III-4
10. KB 003 - выходной регистр /16 бит, НИМ/	IV-6
11. KB 004 - часы	V-12
12. KB 005 - генератор импульсов /1 Гц ÷ 20 МГц/	V-14
13. KB 006 - выходной релейный регистр /2x16 бит/	XI-6
14. KI 001 - индикатор магистрали /16 бит/	I-17
15. KI 011 - интерфейс графического дисплея	V-20
16. KI 012 - интерфейс перфоратора ПЛ-80, ПЛ-150	V-22
17. KI 013 - интерфейс фотосчитывателя ФС-1501	VI-12
18. KI 015 - регистр ввода-вывода /16 бит, TTL/	VI-16
19. KI 016 - интерфейс многоканальных анализаторов	VII-8
20. KI 018 - вывод информации с проволочных камер	VII-12
21. KI 021 - последовательная межкрейтная связь	VII-18
22. KI 022 - последовательная межкрейтная связь	VII-20
23. KI 023 - интерфейс матричного АЦПУ	VII-22
24. KI 025 - последовательный токовый интерфейс	VIII-6
25. KI 026 - индикатор магистрали /24 бита/	VIII-8
26. KI 027 - интерфейс графопостроителя	VIII-10
27. KI 029 - интерфейс цветного телевизионного монитора	IX-4
28. KI 030 - интерфейс координатного шара	IX-6
29. KI 031 - интерфейс НМЛ ИЗ0Т 5003/5005	IX-8
30. KI 033 - интерфейс черно-белого телевизора	X-6
31. KI 036 - малогабаритный графический дисплей	XI-7
32. KI 038 - интерфейс дисплея анализатора /16 бит/	XII-4
33. KI 039 - интерфейс КНМЛ РК-1	XII-6
34. KI 040 - интерфейс КНМЛ КРР-800	XII-8
35. KI 042 - интерфейс шагового двигателя	XIV-6
36. KI 044 - интерфейс дисплея анализатора /24 бита/	XIII-4
37. KI 045 - интерфейс НГМД	XIII-6
38. KI 046 - графический интерфейс	XIV-8
39. KK 001 - контроллер с фиксированными программами	I-18
40. KK 003 - проверочный контроллер	I-22
41. KK 004 - универсальный контроллер крейта	III-8
42. KK 005 - контроллер крейта типа А1	V-24
43. KK 007 - интерфейс магистрали	IX-12
44. KK 008 - драйвер ветви	X-12
45. KK 009 - контроллер крейта для ПЭВМ Правец-16	XV-4
46. KK 080 - управление магистралью для микроЭВМ КМ 080	XIV-10
47. KK 086 - управление магистралью для микроЭВМ КМ 086	XV-8
48. KL 001 - коммутатор логич. импульсов /16 вх., 1 вых./	III-10
49. KL 002 - управляемая задержка /0,5 ÷ 63 нс/	III-12
50. KL 003 - коммутатор логич. импульсов /9 вх., 9 вых./	IV-18
51. KL 004 - буферный накопитель /64x16 бит/	V-26
52. KL 006 - буферный накопитель /1Kx16 бит/	VIII-16
53. KL 011 - коммутатор логич. импульсов /1 вх., 8 вых./	VIII-20

54. KL 014 - управление последовательной записью в память	XI-12
55. KL 016 - стираемая постоянная память /32К байт/	XI-14
56. KL 018 - управление инкрементной записью в память	XII-14
57. KL 019 - управление инкрементной записью в память	XIII-8
58. KL 021 - управление многомерными измерениями	XII-18
59. KL 022 - цифровые окна /16 окон по 12 бит/	XIII-10
60. KL 023 - оперативная память микроЭВМ /48Kx8 бит/	XII-20
61. KL 024 - оперативная память /4Kx24 бит/	XIII-12
62. KL 025 - оперативная память /8Kx16 бит/	XIV-12
63. KL 026 - оперативная память микроЭВМ /16Kx8 бит/	XIII-14
64. KL 027 - преобразователь уровней НИМ-TTL и TTL-НИМ	XIII-16
65. KL 028 - разветвитель сигналов с уровнями TTL	XIII-17
66. KL 029 - преобразователь уровней TTL-НИМ /16 входов/	XV-22
67. KL 030 - регистратор двумерных спектров /входн. блок/	XV-14
68. KL 031 - регистратор двумерных спектров /выходн. блок/	XV-16
69. KM 080 - микроЭВМ на основе БИС серии КР580	XIV-14
70. KM 086 - микроЭВМ на основе БИС серии КР1810	XV-10
71. KP 002 - контроль напряжений питания крейта	VI-22
72. KP 003 - источник питания /±12 В, 2 А/	VII-26
73. KP 004 - программатор ППЗУ типа 74188	XII-22
74. KP 005 - программатор ППЗУ типа K155PE3 и K556PT4	XI-18
75. KP 006 - терминатор ветви КАМАК	XI-20
76. KP 007 - терминатор шины малых и микроЭВМ	XI-21
77. KP 008 - программатор СППЗУ типа K573PФ1 и K573PФ2	XIII-18
78. KP 009 - программатор СППЗУ емкостью от 2 до 64К байт	XV-18
79. KR 002 - регистр констант /16 бит/	II-8
80. KR 005 - входной регистр /2x16 бит, TTL/	II-14
81. KR 007 - входной регистр /16 бит, TTL/	IV-20
82. KR 009 - регистр контрольных слов /16 бит/	V-28
83. KR 010 - регистр констант /8 декад/	VI-23
84. KR 011 - входной регистр /16 бит, 10 нс, НИМ/	VIII-24
85. KS 002 - двоичный счетчик /25 МГц, 2x16 бит/	I-6
86. KS 008 - двоичный счетчик /25 МГц, 8x8 бит/	II-16
87. KS 011 - счетчик-измеритель времени /25 МГц, 16 бит/	III-18
88. KS 013 - установочный счетчик /20 МГц, 10 декад/	III-22
89. KS 014 - десятичный счетчик /25 МГц, 4x8 декад/	III-24
90. KS 017 - двоичный счетчик /25 МГц, 4x16 бит/	VI-24
91. KS 018 - десятичный счетчик /100 МГц, 12 декад/	VII-28
92. KS 019 - двоичный счетчик /25 МГц, 8x16 бит/	IX-14
93. KS 020 - двоичный счетчик /150 кГц, 16x16 бит/	IX-16
94. KS 021 - двоичный счетчик /200 МГц, 2x32 бит/	IX-18
95. KS 022 - счетчик-интенсиметр /100 МГц, 8 декад/	IX-20
96. KS 023 - двоичный счетчик /80 МГц, 16 бит/	XI-22
97. KS 024 - таймер /2 экспозиции, 0,1 мс ÷ 144 суток/	XIV-16
98. KT 002 - тестер контроллеров крейта	XV-20
99. KU 002 - внешнее управление	II-20
100. KU 004 - грейдер сигналов I для контроллера KK 005	III-26
101. KU 006 - грейдер сигналов I для контроллера KK 001	IV-28
102. KU 009 - контрольный сумматор /16 бит/	VIII-26
103. KЭ 001 - интерфейс ЭВМ СМ-3 и СМ-4 по КПД	IX-22
104. KЭ 002 - интерфейс ЭВМ "Электроника-60" по КПД	IX-24
105. KЭ 003 - интерфейс ЭВМ "Электроника-60" по ПК	IX-26
106. KЭ 004 - интерфейс ПЭВМ "Правец-82"	XIV-18

КОНТРОЛЛЕР КРЕЙТА КК 009\*

Ширина блока 32,4 мм.

Назначение: пересылка по программному каналу 16-разрядных слов и выполнение управляющих операций под управлением ПЭВМ Правец-16 (IBM PC/XT).

Максимальное удаление контроллера с крейтом от ПЭВМ составляет 10 м.

Контроллер может обслуживать систему, содержащую до 7 крейтов. Он имеет аппаратные средства для обработки сигналов L, тестирования магистралей крейта и самого блока, а также выполнения многокрейтных операций.

Пересылка отдельного слова данных аппаратно занимает 2,1 мкс. Пересылка данных при работе на ассемблере и генерации команд КАМАК по заранее заданному списку занимает до 6 мкс на слово. Быстродействие при передаче массива составляет от 20 до 30 мкс в зависимости от режима.

Связь контроллера с ПЭВМ осуществляется через отдельную плату связи ПК 009, устанавливаемую в один из разъемов расширения шины ввода-вывода. На плате расположены 8-разрядный двунаправленный буфер данных и 15-разрядный буфер адреса, буфер управляющих сигналов, схема обработки ответа крейта и 5-разрядный селектор адреса системы крейтов, а также 7-разрядный переключатель. Разряды 1 ÷ 4 этого переключателя служат для задания базового адреса системы крейтов в соответствии с таблицей:

Разряд	A0000H	A8000H	C0000H	D0000H	D8000H	E0000H	E8000H
1	1	0	1	1	0	1	0
2	1	1	1	0	0	1	1
3	0	0	1	1	1	0	0
4	1	1	0	0	0	0	0

Установка "1" в разряде 5,6 или 7 соответственно означает выбор одного из трех уровней прерывания от системы крейтов - IRQ2, IRQ3 или IRQ4. Номер крейта задается 7-разрядным переключателем на плате контроллера.

На передней панели блока размещены: индикатор "Крейт. выбран", коаксиальный разъем для внешнего сигнала L, и 2 разъема РП15-50 для связи с ПЭВМ и другими крейтами КАМАК со следующим назначением контактов:

1 - CA00 (выбор байта)	18 - экран	34 - CA01 (F1)
2 - CA02 (F2)	19 - экран	35 - CA03 (F4)
3 - CA04 (F8)	20 - экран	36 - CA05 (F16)
4 - CA06 (A1)	21 - экран	37 - CA07 (A2)
5 - CA08 (A4)	22 - экран	38 - CA09 (A8)
6 - CA10 (N1)	23 - экран	39 - CA11 (N2)
7 - CA12 (N4)	24 - экран	40 - CA13 (N8)
8 - CA14 (N16)	25 - экран	41 - CRES (сброс)
9 - CCLK (такт)	26 - экран	42 - свободный
10 - CRD (чтение)	27 - экран	43 - CWT (запись)
11 - CRDY (ответ крейта)	28 - экран	44 - CSRQ (прерыв.)
13 - CDO (данные)	30 - экран	46 - CD1 (данные)
14 - CD2 (данные)	31 - экран	47 - CD3 (данные)
15 - CD4 (данные)	32 - экран	48 - CD5 (данные)
16 - CD6 (данные)	33 - экран	49 - CD7 (данные)

Средний ряд контактов (18 ÷ 33) служит для подсоединения экранирующих проводов в образующих парах.

Применяется прямая адресация всех регистров в системе: по линии CA0 выбирается один из байтов слова; по линиям CA1 ÷ CA5 - функция КАМАК F; по линиям CA6 ÷ CA9 - субадрес A; по линиям CA10 ÷ CA14 - номер станции N.

\*В разработке блока принимал участие сотрудник Пловдивского университета А.Петров.

Передача слов данных между платой связи и контроллером осуществляется по линиям данных CDO ÷ CD7 побайтно в два приема.

Выполнение цикла магистрали КАМАК производится как одна операция обращения ПЭВМ в виде команды записи или чтения 16-разрядного слова по адресу соответствующего регистра аналогично обращению к памяти. Управляющую команду (F8=1) ПЭВМ может выполнять как команду чтения байта; причем из разрядов данных 0 и 1 считываются соответственно сигналы X и Q.

Поле относительных адресов, занимаемое системой крейтов, состоит из зоны регистров исполнительных модулей выбранного крейта и зоны управляющих и статусных регистров контроллеров (PUC). Оно соответствует таблице:

5C00 ÷ 5FFF N(23)A(15÷0)F(31÷0)	2C00 ÷ 2FFF N(11)A(15÷0)F(31÷0)
5800 ÷ 5BFF N(22)A(15÷0)F(31÷0)	2800 ÷ 2BFF N(10)A(15÷0)F(31÷0)
5400 ÷ 57FF N(21)A(15÷0)F(31÷0)	2400 ÷ 27FF N(09)A(15÷0)F(31÷0)
5000 ÷ 53FF N(20)A(15÷0)F(31÷0)	2000 ÷ 23FF N(08)A(15÷0)F(31÷0)
4C00 ÷ 4FFF N(19)A(15÷0)F(31÷0)	1C00 ÷ 1FFF N(07)A(15÷0)F(31÷0)
4800 ÷ 4BFF N(18)A(15÷0)F(31÷0)	1800 ÷ 1BFF N(06)A(15÷0)F(31÷0)
4400 ÷ 47FF N(17)A(15÷0)F(31÷0)	1400 ÷ 17FF N(05)A(15÷0)F(31÷0)
4000 ÷ 43FF N(16)A(15÷0)F(31÷0)	1000 ÷ 13FF N(04)A(15÷0)F(31÷0)
3C00 ÷ 3FFF N(15)A(15÷0)F(31÷0)	0C00 ÷ 0FFF N(03)A(15÷0)F(31÷0)
3800 ÷ 3BFF N(14)A(15÷0)F(31÷0)	0800 ÷ 0BFF N(02)A(15÷0)F(31÷0)
3400 ÷ 37FF N(13)A(15÷0)F(31÷0)	0400 ÷ 07FF N(01)A(15÷0)F(31÷0)
3000 ÷ 33FF N(12)A(15÷0)F(31÷0)	0000 ÷ 03FF зона PUC контроллеров

Команда NAF определяется по следующей формуле:

NAF ADDRESS=BASE ADDRESS+N\*400H+A\*40H+F\*2H

Например, команде N(20)A(8)F(09) будет соответствовать адрес 5212.

Зона PUC контроллеров используется следующим образом:

70 ÷ 7F - многокрейтные команды Z, C, I;	30 ÷ 3F - PUC крейта 3
60 ÷ 6F - PUC крейта 6	20 ÷ 2F - PUC крейта 2
50 ÷ 5F - PUC крейта 5	10 ÷ 1F - PUC крейта 1
40 ÷ 4F - PUC крейта 4	00 ÷ 0F - PUC крейта 0

PUC в контроллере выбирается по следующей формуле:

CSR ADDRESS=BASE ADDRESS+CRATE\*10H+CSR\_NUMB

Например, PUC 6 в контроллере 3 будет иметь адрес 0036.

PUC, размещаемые в контроллере крейта, имеют следующее назначение:

№ PUC	ЗАПИСЬ								ЧТЕНИЕ							
	Разряды байта								Разряды байта							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
F	Сброс сигнала I								-	-	-	-	-	-	-	-
E	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
D	Установка сигнала I								-	-	-	-	-	-	-	-
C	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
B	Генерация сигналов C, B, S1, S2								-	-	-	-	-	-	-	-
A	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
9	Генерация сигналов Z, B, S1, S2								W16	W15	W14	W13	W12	W11	W10	W9
8	-	-	-	-	-	-	-	-	W8	W7	W6	W5	W4	W3	W2	W1
7	-	-	-	-	-	-	-	-	Z	N16	N8	N4	N2	N1	A8	A4
6	Тестовая установка X и Q								A2	A1	F16	F8	F4	F2	F1	C
5	-	-	-	-	-	-	-	-	-	-	-	-	Q	X	I	CRE
4	Инициализация контроллера								-	-	-	-	CCF	PF	FL	ITS
3	-	-	-	-	-	-	-	-	L23	L22	L21	L20	L19	L18	L17	L16
2	Выбор крейта								L15	L14	L13	L12	L11	L10	L9	L8
1	-	-	-	-	-	-	-	-	L7	L6	L5	L4	L3	L2	L1	LO
0	IE	-	-	FS16	FS8	FS4	FS2	FS1	IE	-	-	FS16	FS8	FS4	FS2	FS1

РУС с четным номером соответствует младшему байту, а с нечетным - старшему байту 16-разрядного слова.

При записи в РУС 0 в разряды 0÷4 заносится номер флага, выбираемый по линиям данных в соответствии со следующей таблицей:

FS(0) - внешний сигнал L0;	FS(27) - "или" L0÷L23;
FS(1)÷FS(23) - L1÷L23;	FS(28) - -6 В в норме;
FS(24) - "или" L0÷L7;	FS(29) - +12 В и -12 В в норме;
FS(25) - "или" L8÷L15;	FS(30) - +24 В и -24 В в норме;
FS(26) - "или" L16÷L23;	FS(31) - Логический "0".

Запись "1" в разряд 7 (IE) этого регистра означает разрешение прерывания при появлении флага, нарушении питания или ошибок в цикле КАМАК.

При операции записи во все РУС, кроме РУС 0, информация на линиях данных CDO÷CD7 не имеет значения.

При записи в РУС 2 происходит выбор крейта путем установки в "1" триггера выбора крейта, который выдает сигнал CRE. Возможен также выбор крейта путем выполнения операции записи в РУС 0 или РУС 1 или операции чтения из РУС 0÷5.

При записи в РУС 4 или при поступлении сигнала CRES из ПЭВМ производится инициализация контроллера: в РУС 0 устанавливается флаг FS31 и запрещаются все прерывания, в РУС 2 переводится в "0" триггер выбора флага, в РУС 7 снимается сигнал I.

При записи в РУС 6 устанавливаются в "1" триггеры Q и X, что предназначено для тестирования контроллера.

При записи в РУС 9, В, D, F генерируется цикл КАМАК и выполняется соответствующая общекрейтная команда. При адресах 79, 7B, 7D, 7F соответствующая команда выполняется во всех крейтах системы.

При чтении РУС 0 выдается информация о выбранном флаге FS и о наличии разрешения прерывания IE при появлении выбранного флага.

При чтении РУС 1,2,3 выдается информация соответственно о состоянии сигналов L0÷L7; L8÷L15 и L16÷L23.

При чтении РУС 4 передается состояние источников прерывания:

- ITS - отсутствие любого прерывания;
- FL - наличие выбранного флага;
- PF - исчезновение и последующее восстановление напряжения +6 В;
- CCF - ошибка при генерации В, S1 и S2 в цикле КАМАК;

При чтении РУС 5 выдается информация о состоянии сигналов CRE (выбор крейта) и I, а также о наличии сигналов X и Q в последнем цикле КАМАК.

При чтении РУС 6 и 7 выдается информация о наличии сигналов С, F1÷F16, A1÷A8, N1÷N16 и Z в последнем цикле КАМАК.

При чтении РУС 8 и 9 генерируется цикл КАМАК и выдается информация о наличии в предыдущем цикле сигналов на линиях W1÷W16.

Потребляемый ток: 0,9 А по цепи +6 В.

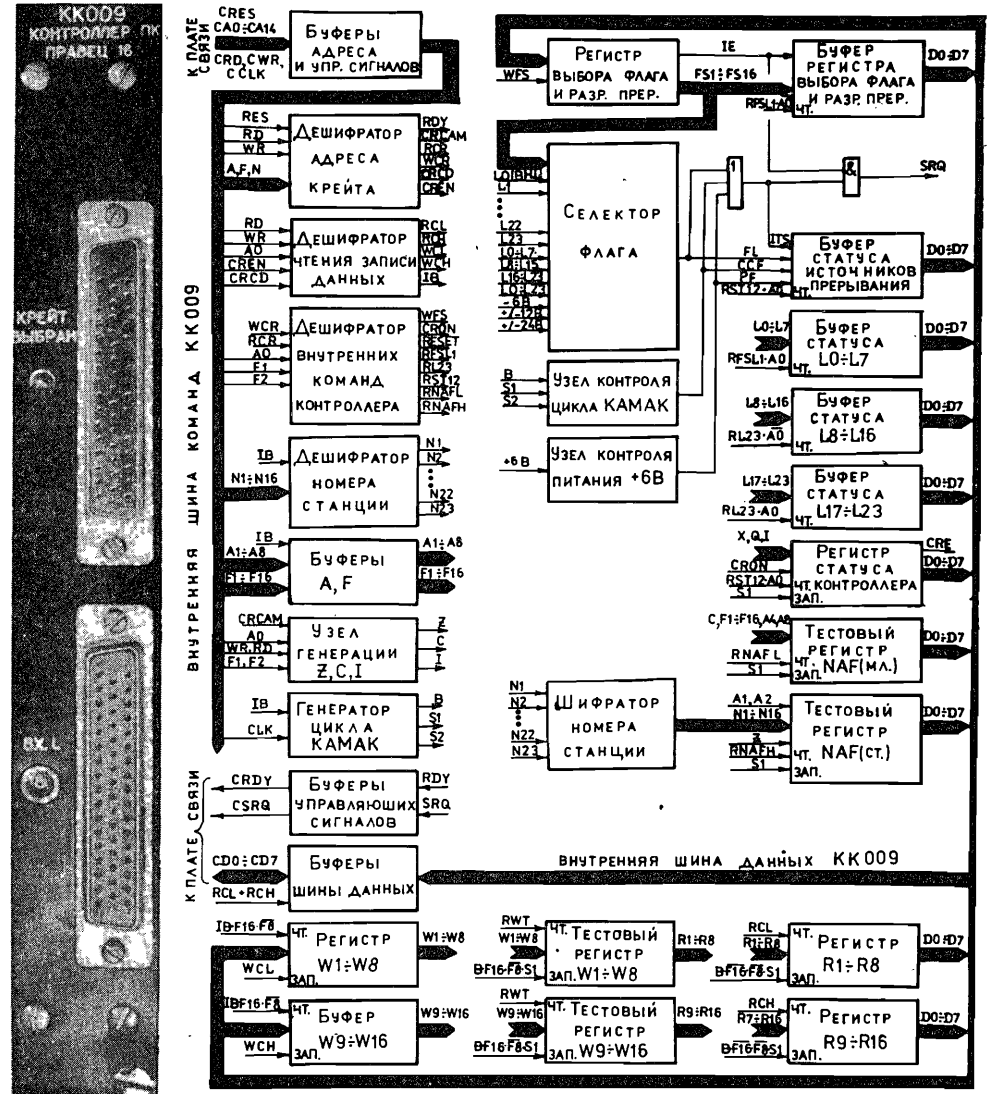


Рис. 1. Передняя панель и блок-схема контроллера крейта КК 009,

УПРАВЛЕНИЕ МАГИСТРАЛЬНО КК 086

Ширина блока - 17,2 мм.

Назначение: работа в составе автономного интеллектуального контроллера крейта совместно с микроЭВМ КМ 086. Блок помещается в станцию N25.

Блок подает в магистраль сигналы N, A, F, Z, C, и I по командам, полученным от микроЭВМ по системной шине, принимает сигналы L и формирует 5 запросов на прерывание, а также содержит ОЗУ микроЭВМ.

Адресация блоков КАМАК производится аналогично адресации каналов ввода-вывода или памяти и занимает 8К байт их адресного пространства.

Формат команды КАМАК на шинах адреса имеет следующий вид:

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	1	F4	F2	F1	N16	N8	N4	N2	N1	A8	A4	A2	A1	F8

Условием запуска цикла КАМАК при обращении как к каналам ввода/вывода, является значение линий A15=A14=A13=1, а при обращении как к памяти, добавляется условие наличия кода на линиях A16÷A19 соответствующего установленным переключкам C в дешифраторе адресов выборки микроЭВМ КМ 086.

Значение шины F16 устанавливается в соответствии с типом команды микроЭВМ: F16=0 - при чтении и F16=1 - при записи; при этом данные по шинам R и W передаются только при F8=0.

При F8=1 выполняется команда, не совершающая пересылки данных в магистраль КАМАК; микропроцессор производит запись или чтение старшего байта из системной шины. При чтении на линию данных D15 системной шины выводится состояние сигнала Q магистрали.

В блоке формируются следующие запросы прерывания микроЭВМ:

- INTO - внешний сигнал BINT из системной шины или один из сигналов L1÷L15, выбираемый коммутатором 1;
- INT4 - один из сигналов L8÷L23, выбираемый коммутатором 2;
- INT5÷INT7 - любой сигнал из L1÷L7; L8÷L15; L16÷L23 соответственно.

Через буфер L можно прочитать состояние линий L1÷L23.

Внутри блока выполняются следующие команды:

- N(0)A(0)F(0) - снятие сигнала I;
- N(0)A(1)F(0) - установка сигнала I;
- N(0)A(2)F(0) - снятие сигнала I, генерация сигнала C;
- N(0)A(3)F(0) - установка сигнала I, генерация сигнала C;
- N(0)A(5)F(0) - установка сигнала I, генерация сигнала Z.

Расположенное в блоке ОЗУ состоит из двух банков памяти, каждый из которых содержит 16 микросхем динамической памяти емкостью 16К, 64К или 256К бит. В соответствии с емкостью микросхем в дешифраторе адреса устанавливается определенная комбинация переключек P, Q, B.

Общий объем ОЗУ может составлять от 32К до 1М байт.

Начальный адрес младшего банка равен нулю.

При обращении к памяти в цикл микроЭВМ вводится один такт ожидания, что дает возможность использования микросхем с временем цикла ≤460 нс.

Формирователь цикла ОЗУ и арбитратор образуют циклы чтения/записи или регенерации в порядке поступления запросов. Выполнение запроса, поступившего во время исполнения цикла, откладывается до его окончания.

Запрос на регенерацию подается через каждые 16 мкс; период регенерации для микросхем емкостью 16К и 64К составляет 2 мс, а для микросхем емкостью 256К - 4мс. Цикл регенерации длится 0,8 мкс.

Потребляемый ток: 1 А по цепи +6 В.

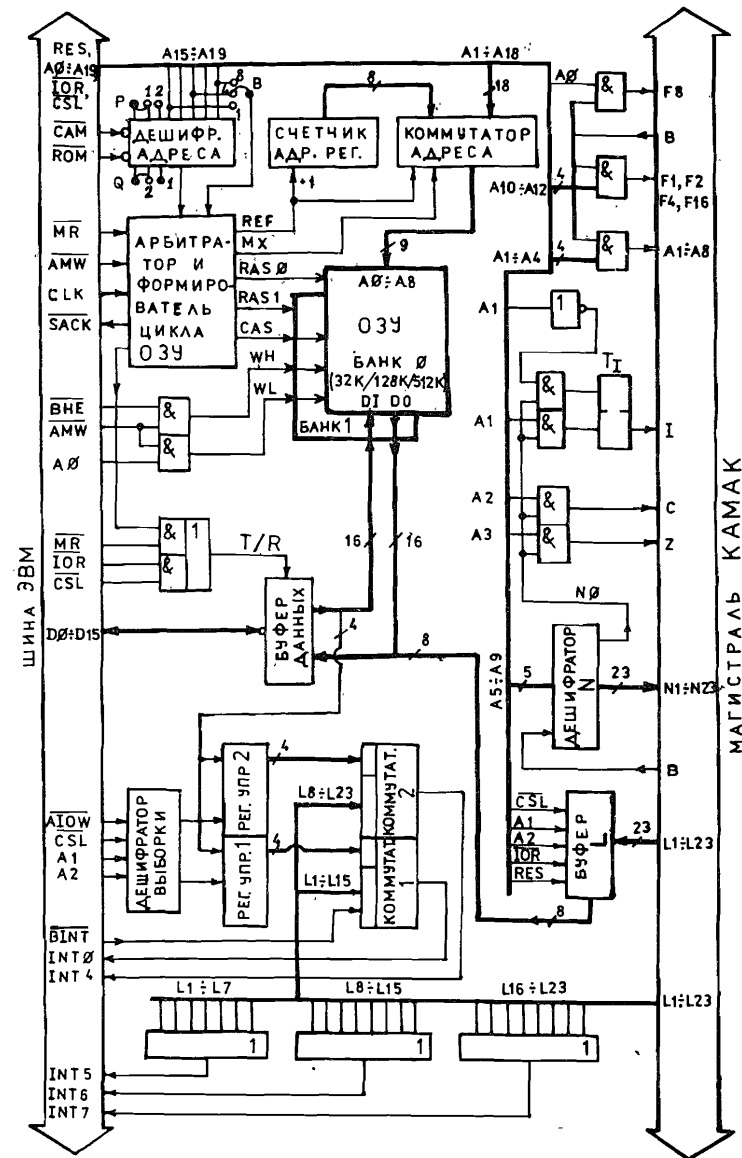


Рис.2. Передняя панель и блок-схема управления магистралью КК 086.

МИКРОЭВМ КМ 086

Ширина блока - 17,2 мм.

Назначение: работа в составе автономного интеллектуального контроллера совместно с блоком управления магистралью КК 086.

МикроЭВМ построена на микросхемах серий КР 1810 и КР 580 и содержит:

- 16-разрядный микропроцессор КР 1810ВМ86;
- тактовый генератор КР 1810ГФ84 и контроллер шины КР 1810ВГ88;
- последовательный интерфейс КР 580ВВ51А для подключения терминала;
- трехканальный таймер КР 580ВВ53, используемый для задания скорости работы последовательного интерфейса и формирования сигналов прерывания;
- программируемый контроллер прерываний КР 1810ВН59А;
- регистр R и буфер W для связи с шинами данных магистрали КАМАК R1÷R16 и W1÷W16;

- генератор цикла КАМАК;
- статусный регистр для чтения состояния сигналов Q и X магистрали КАМАК и состояния 4 переключателей S пользователя;
- дешифратор адресов выборки отдельных узлов микроЭВМ, а также локального сигнала готовности LACK;
- СППЗУ, содержащее от 2 до 8 микросхем емкостью 2К, 4К или 8К байт.

В блок может устанавливаться арифметический сопроцессор КР 1810ВМ87.

МикроЭВМ имеет системную шину и две внутренние шины данных:

- системная шина служит для подключения дополнительных устройств; она содержит 20 линий адреса, 16 линий данных и линии управления;
- 16-разрядная процессорная шина данных служит для подключения СППЗУ к микропроцессору; через системный буфер данных она соединяется с линиями данных системной шины;
- 8-разрядная локальная шина данных служит для подключения к процессорной шине через локальный буфер данных последовательного интерфейса, таймера, контроллера прерываний и статусного регистра.

Система прерываний имеет 10 уровней:

- RESET /инициализация/ - подача питания или нажатие кнопки "Сброс";
- RESTART /немаскируемое прерывание/ - нажатие кнопки "РЕСТАРТ";
- INTO - сигнал из системной шины;
- INT1 - готовность приемника последовательного интерфейса;
- INT2 - готовность передатчика последовательного интерфейса;
- INT3 - сигнал от таймера;
- INT4÷INT7 - сигналы из системной шины.

Запросы прерываний INTO и INT4÷INT7 формируются в блоке КК 086 при поступлении определенных сигналов L или внешнего сигнала BINT.

Для выбора сигналов прерываний INTO и INT4 используются коды, подаваемые по линиям данных:

Код	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
INT0	L8	L9	L10	L11	L12	L13	L14	L15	BINT	L1	L2	L3	L4	L5	L6	L7
INT4	L8	L9	L10	L11	L12	L13	L14	L15	L16	L17	L18	L19	L20	L21	L22	L23

4К байт СППЗУ с адресами FF000÷FFFFF занимает монитор. Он использует также младшие 256 байт ОЗУ в блоке КК 086. Список команд монитора приведен в таблице.

Команда	Назначение и синтаксис
S	Индикация и изменение содержимого памяти R[W] (адрес), [[(новое значение)],]* (ср)
X	Индикация и изменение содержимого регистров микропроцессора X [(регистр)] [[(новое значение)],]* (ср)
D	Индикация содержимого зоны памяти D[W] (начальный адрес)[, (конечный адрес)] (ср)
M	Перемещение содержимого зоны памяти M (начальный адрес),(конечный адрес),(адрес назначения) (ср)
I	Считывание и индикация содержимого порта ввода I[W] (адрес порта),[,]* (ср)
O	Запись данных в порт вывода O[W] (адрес порта),(данные)[, (данные)]* (ср)
G	Передача управления в программу пользователя G[(стартовый адрес)] [, (адрес точки останова)] (ср)
N	Пошаговое исполнение программы N [(стартовый адрес)], [[(стартовый адрес)],]* (ср)
R	Ввод в память шестнадцатиричного объектного файла R [(смещение)] (ср)
W	Вывод содержимого зоны памяти в форме шестнадцатиричного объектного файла W (начальный адрес),(конечный адрес)[,(адрес запуска)] (ср)

[A] - необязательный параметр

[A]\* - повторяющиеся необязательные параметры

(B) - изменяемый параметр

(ср) - вводится код RETURN

Ввод знака W в команде означает, что данные имеют размер слова. Данные подаются шестнадцатиричными числами. Адрес (сегмент и смещение) может задаваться как числами (напр. FF7:2), так и обозначениями регистров (SS:SP). По умолчанию в качестве сегмента используется CS.

Для связи с терминалом используется разъем РР15-9, расположенный на задней панели, со следующим назначением контактов:

1 - выход данных	ТП ;	6 - выход "Запрос передачи"	105;
2 - выход данных	103;	7 - выход "ЭВМ готова"	108;
3 - вход данных	ТП ;	8 - выход "Готов к работе"	106;
4 - вход данных	104;	9 - корпус	101,102.
5 - вход "Терминал готов"	107;		

Контакты, отмеченные буквами ТП, предназначены для связи по токовой петле, а отмеченные цифрами - по стандарту RS 232C (V.24).

Выход 7 (108) при включенном питании находится в состоянии "1".

Для вывода системной шины используется разъем РРММ1-66, расположенный на передней панели, со следующим назначением контактов:

- |             |           |               |              |
|-------------|-----------|---------------|--------------|
| 1 - корпус; | 18 - A0;  | 35 - A17;     | 52 - IOW*;   |
| 2 - D0;     | 19 - A1;  | 36 - A18;     | 53 - AIOW*;  |
| 3 - D1;     | 20 - A2;  | 37 - A19;     | 54 - MR*;    |
| 4 - D2;     | 21 - A3;  | 38 - BHE*;    | 55 - MW*;    |
| 5 - D3;     | 22 - A4;  | 39 - S2*;     | 56 - AMW*;   |
| 6 - D4;     | 23 - A5;  | 40 - S1*;     | 57 - INTA*;  |
| 7 - D5;     | 24 - A6;  | 41 - SACK*;   | 58 - INTO;   |
| 8 - D6;     | 25 - A7;  | 42 - SCLK;    | 59 - INT4;   |
| 9 - D7;     | 26 - A8;  | 43 - BEN;     | 60 - INT5;   |
| 10 - D8;    | 27 - A9;  | 44 - RQ*/GT*; | 61 - INT6;   |
| 11 - D9;    | 28 - A10; | 45 - CLK;     | 62 - INT7;   |
| 12 - D10;   | 29 - A11; | 46 - RESET;   | 63 - -       |
| 13 - D11;   | 30 - A12; | 47 - CAM*;    | 64 - TEST*;  |
| 14 - D12;   | 31 - A13; | 48 - ROM*;    | 65 - +5 В;   |
| 15 - D13;   | 32 - A14; | 49 - LAMP*;   | 66 - корпус. |
| 16 - D14;   | 33 - A15; | 50 - T/R*;    |              |
| 17 - D15;   | 34 - A16; | 51 - IOR*;    |              |

Знаком \* отмечены сигналы, у которых активный уровень - низкий.  
В микроЭВМ используются следующие адреса устройств ввода/вывода:

Устройство	Адрес	Запись	Чтение
Последовательный интерфейс (ВВ51)	00C0	Данные	Данные
	00C2	Управление	Статус
Контроллер прерываний (ВН59А)	00C8	ICW1, ICW2, ICW3	IRR, ISR, IL
	00CA	OCW1, ICW2, ICW3, ICW4	IMR
Таймер (ВН53)	00D0	Счетчик 1	Счетчик 1
	00D2	Счетчик 2	Счетчик 2
	00D4	Счетчик 3	Счетчик 3
	00D6	Режим	-
Статусный регистр	00D8	-	Q, X, переключки S
Буфер L	00F8	-	L16-L23
	00FA	-	L8-L15
	00FC	-	I, L1-L7
Коммутатор 1 для выбора INTO	00FA	Код выбора	-
Коммутатор 2 для выбора INT4	00FC	Код выбора	-
КАМАК	E000-FFFF	NAF (16-31)	NAF (0-15)

Буфер L, коммутаторы 1 и 2 и дешифраторы команды NAF находятся в блоке КК 086.

Вследствие неполной дешифрации внутренние устройства полностью занимают зоны C0÷DF и F8÷FF адресного пространства устройства ввода/вывода.

Потребляемый ток: 40 мА по цепи +24 В; 1,5 А по цепи +6 В  
и 40 мА по цепи -24 В.

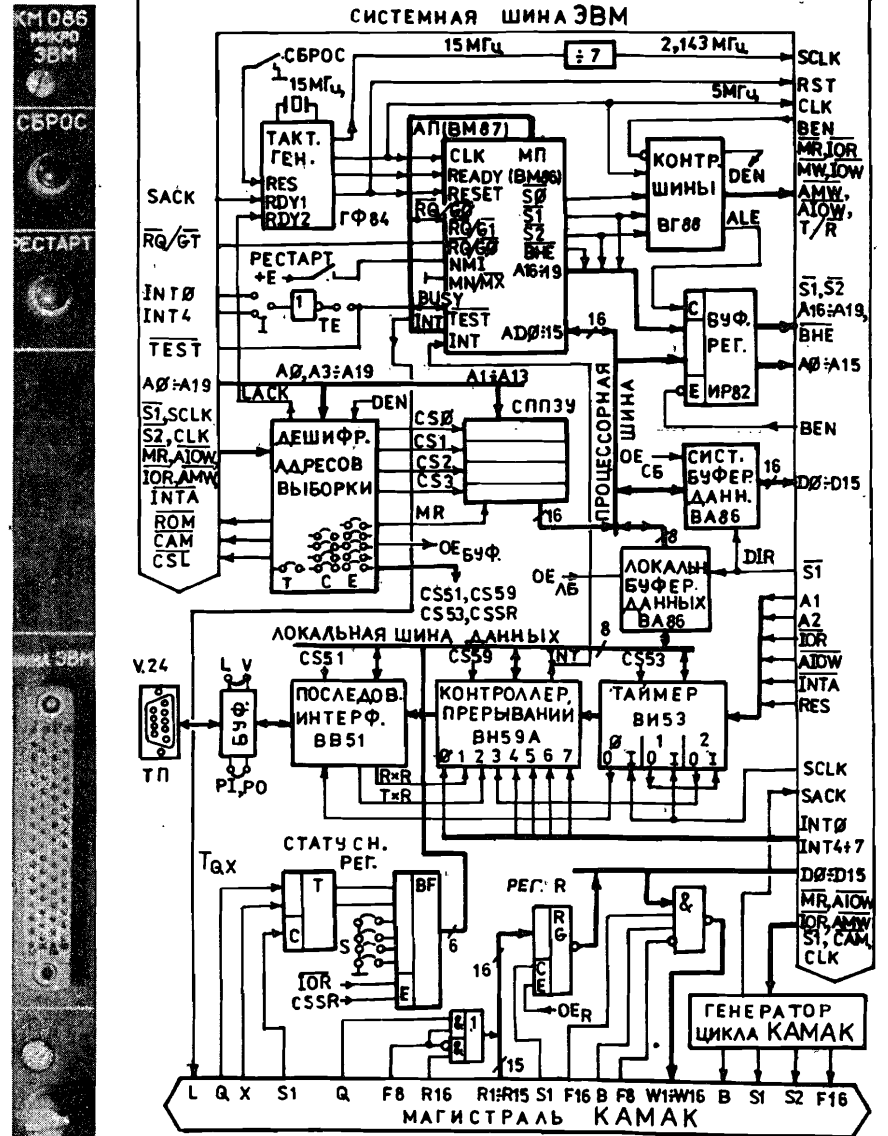


Рис. 3. Передняя панель и блок-схема микроЭВМ КМ 086.





РЕГИСТРАТОР ДВУХМЕРНЫХ СПЕКТРОВ КЛ 031  
(выходной блок)

Ширина блока - 17,2 мм.

Назначение: занесение данных в память и организация их наблюдения.

Адрес и данные подаются из входного блока.

Блок содержит 3К 16-битовых ячеек ОЗУ и 1К 16-битовых ячеек ПЗУ.

ОЗУ используется для накопления поступающих данных, а ПЗУ - для формирования рамки на экране дисплея при изображении двухмерных кодов.

Адрес ячейки памяти подается по линиям  $A11 \div A0$ . При  $A11 = A10 = 1$  сигналом CS2 выбирается ПЗУ, а в других случаях сигналом CS1 выбирается ОЗУ.

Тумблером "Тип регистрации" выбирается двухмерная или инкрементная регистрация поступающих данных.

В режиме накопления при двухмерной регистрации по сигналу "Запись" данные с АЦП X и Y, поступающие соответственно по линиям  $D7 \div D0$  и  $D15 \div D8$ , заносятся в последовательные ячейки ОЗУ, адреса которых задаются по линиям  $A11 \div A0$ . После каждой операции записи подается сигнал "Готовность". После заполнения всех 3К ячеек будет производиться повторная запись.

В режиме накопления при инкрементной регистрации тумблером "Выбор АЦП" выбирается АЦП X или АЦП Y. По коду от выбранного АЦП, являющемуся адресом, производится инкрементная запись соответственно в ячейки ОЗУ  $0 \div 255$  или  $256 \div 511$ . Группа ячеек задается состоянием линии A8, а адрес ячейки в группе определяется по линиям  $A7 \div A0$ . Операция инкрементной записи осуществляется с помощью регистра данных, в который по сигналу "Чтение" заносится содержимое выбранной ячейки ОЗУ, а после добавления к нему 1 новое содержимое по сигналу "Запись" возвращается в ту же ячейку. После каждого из сигналов "Чтение" и "Запись" подается сигнал "Готовность".

При наблюдении в двухмерном режиме по сигналу "Чтение" производится считывание данных из ячейки ОЗУ или ПЗУ, адресуемой по линиям  $A11 \div A0$ . Эти данные через регистр данных и схему выбора масштаба заносятся в регистры X и Y и затем преобразуются в аналоговую форму с помощью 8-битовых ЦАП, которые выдают сигналы X и Y амплитудой до  $\pm 4$  В.

При наблюдении в инкрементном режиме по сигналу "Чтение" производится считывание данных из ячейки ОЗУ, адресуемой по линиям  $A8 \div A0$ . Эти данные через регистр данных по сигналу "Готовность наблюдения" заносятся в схему выбора масштаба, в которой с помощью переключателя "Масштаб Y" выбираются для вывода по оси Y любые 8 соседних бит из 46, а при наличии "1" в любом из старших отбрасываемых бит выводится число 255. Со схемы выбора масштаба данные заносятся в регистр Y. Одновременно в регистр X заносится номер выводимого канала с линии  $A7 \div A0$ . Содержимое каждого 16-го канала отмечается более яркой точкой благодаря удлинению импульса подсвета Z с 2,5 мкс до 20 мкс.

При нажатии кнопки "Графопостроитель" производится вывод содержимого ячеек памяти на графопостроитель, что осуществляется аналогично выводу на дисплей, но сигнал "Конец наблюдения" подается не через 4,5 мкс, а через 0,9 с после прихода сигнала "Готовность наблюдения". Вывод оканчивается по сигналу "Переполнение".

В режимах обмена с магистралью адрес ячеек ОЗУ задается по линиям  $A11 \div A0$ . Вывод данных производится по командам  $F(0)$  на шины  $R1 \div R16$ , а ввод по команде  $F(16)$  - с шин  $W1 \div W16$ . Команды подаются с входного блока.

Связь с входным блоком производится через разъем РПММ1-44, а с графопостроителем - через РП15-9. Номера их контактов приведены на рисунке.

Потребляемый ток: 80 мА по цепи +24 В; 1 А по цепи +6 В;  
50 мА по цепи -6 В; 10 мА по цепи -24 В.

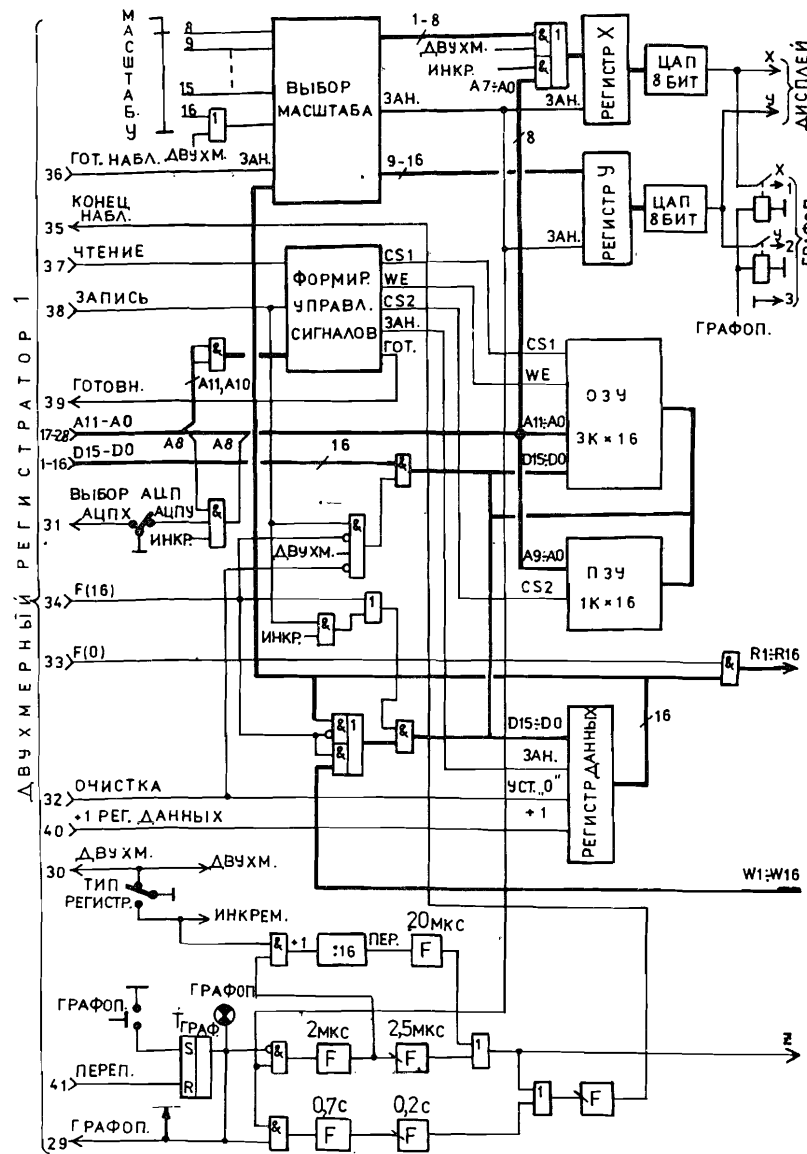


Рис. 5. Передняя панель и блок-схема регистратора двухмерных спектров (выходной блок) КЛ 031.

Ширина блока - 34,4 мм.

Назначение: запись данных в СППЗУ, имеющее байтовую организацию данных и емкость от 2К до 64К байт, а также чтение записанных данных.

Программируемое СППЗУ устанавливается в 28-контактный разъем на передней панели. 24-контактное СППЗУ должно занимать 3÷26 контакты разъема.

Различное назначение отдельных контактов разъема СППЗУ для разных типов микросхем определяется режимом работы блока.

Запись и чтение данных производятся байтами по адресам, заносимым в регистр адреса командой NA(0)F(17) по шинам W1÷W16.

Режим работы блока в зависимости от типа СППЗУ заносится в регистр управления командой NA(1)F(17) по шинам W1÷W12. Назначение этих шин и контактов разъема СППЗУ приведено в таблице.

Значение регистра адреса может автоматически увеличиваться на 1 после окончания цикла записи или чтения при установке W9=1.

При операции записи (W12=1) на выбранный контакт СППЗУ подается напряжение программирования V<sub>pp</sub> и открываются выходы регистра данных.

Напряжение программирования выбирается дешифратором DC1 и управляемым источником напряжения V<sub>pp</sub> в соответствии со значением кода W1÷W3. При изменении этого кода от 0 до 7 выдаются следующие значения напряжения: 0 В; 6 В; 12 В; 19 В; 21 В; 24 В; резерв; выключено.

Контакты разъема для подачи напряжения программирования выбираются дешифратором DC2 в соответствии со значением кода W4÷W5. При изменении этого кода от 0 до 3 напряжение программирования подается на следующие контакты: не подается; 1; 23; 22.

Запись байта в регистр данных производится командой NA(0)F(16) по шинам W1÷W8; из регистра данные подаются на выходы данных СППЗУ DO÷D7.

Этой же командой по шинам W9÷W15, в счетчик длительности заносится код от 0 до 127, что соответствует длительности импульса программирования в мс, а также снимается блокировка генератора Г, имеющего частоту 1 кГц, и запускается цикл программирования.

Импульс программирования PGM устанавливается триггером Т<sub>PGM</sub>; он начинается через 10 мкс после прихода команды NA(0)F(16) и заканчивается после перехода в нуль счетчика длительности, работающего на вычитание и считывающего импульсы от генератора Г.

При операции чтения (W12=0) блокируются выходы регистра данных и возможность подачи импульса программирования со схемы выбора полярности и контакта PGM, а также подаются сигналы выборки в СППЗУ - CE и OE, разрешающие вывод байта данных, соответствующего заданному адресу. Эти данные командой NA(0)F(0) выдаются на шины R1÷R8.

Одновибраторы OB1 и OB2 организуют необходимые задержки в подаче импульса программирования.

Во время работы блок подает сигнал L, который снимается при наличии импульса программирования и блокируется командой NA(1)F(17) при W10=0. Сигнал Z сбрасывает в нуль все регистры и триггеры блока.

Блок выполняет следующие команды с магистрали:

- |                                                                                                             |     |
|-------------------------------------------------------------------------------------------------------------|-----|
| NA(0)F(0) - чтение байта данных из СППЗУ                                                                    | Q=1 |
| NA(0)F(8) - проверка наличия сигнала L                                                                      | Q=L |
| NA(0)F(16) - запись байта данных и кода длительности импульса программирования; пуск цикла программирования | Q=1 |
| NA(0)F(17) - запись в регистр адреса                                                                        | Q=1 |
| NA(1)F(17) - запись в регистр управления                                                                    | Q=1 |
- Потребляемый ток: 0,1 А по цепи +24 В и 0,9 А по цепи +6 В.

Номер шины	W1	W2	W3	W4	W5	W6	W7	W8	W9	W10	W11	W12
Назначение шины	Напряжение программирования U <sub>pp</sub>			Контакт для U <sub>pp</sub>	Контакт для PGM	Полярн. PGM	Назнач. конт. 26	+1 в рег. адреса	Сигнал L	Конт. 28	Режим	
Знач. "0"	См. текст			См. текст	20	-	A13	Запрет	Блокир.	0В	Чтение	
Знач. "1"				27	+	+6В	Разреш.	Разбл.	+6В	Запись		

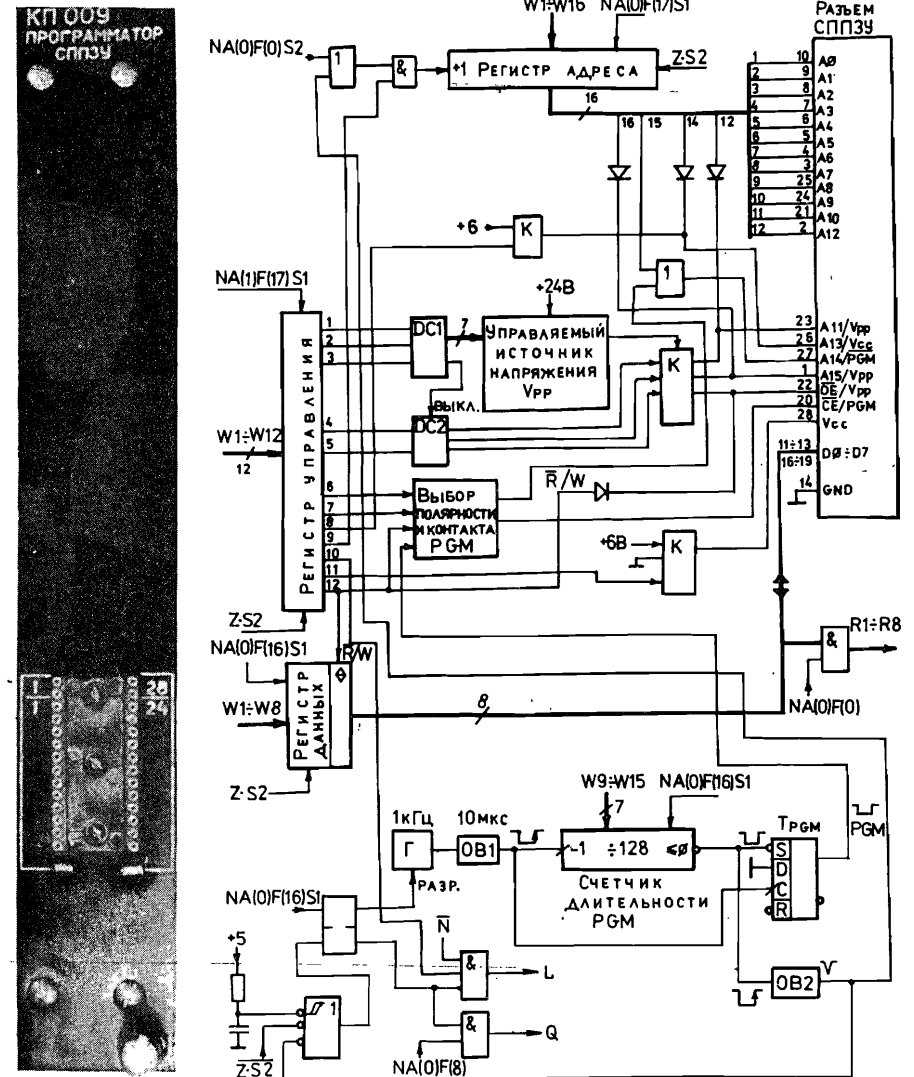


Рис. 6. Передняя панель и блок-схема программатора СППЗУ КП 009.

Ширина блока 17,2 мм.

Назначение: проверка работы контроллера и магистрали крейта при пересылке массивов данных в режиме многократного обращения по одному адресу - M(2) и сканирования адресов - M(3), а также при пословной пересылке данных - M(0) и при посылке команд и управляющих сигналов.

Результаты проверки определяются программным путем в ЭВМ.

Блок устанавливается в рабочую станцию крейта. Связь с магистралью осуществляется через буферы W, R и управляющих сигналов.

Работа блока происходит под управлением регистра управления и статуса (РУС), содержащего 4 бита, назначение которых приведено в таблице.

Для установки режима M(2) в счетчик слов заносится длина массива, в РУС - "1" в бит 3 и в бит 1 или 2 в зависимости от того, требуется ли постоянное наличие L или его установка через 15 мкс после очередного цикла магистрали; если выбран режим ULS, то "1" заносится и в бит 4.

Данные для чтения при M(2) образуются с помощью счетчика-регистра и формирователя кода. Первое слово, находящееся в счетчике-регистре, равно 0, а значение каждого следующего увеличивается на 1. Младший бит R1 из счетчика-регистра непосредственно подается на буфер R, а остальные - через формирователь кода, на выходе которого при R1=0 данные совпадают с входными, а при R1=1 - инвертируются. В формируемом коде слово отличается от предыдущего значением почти всех бит, что создает условие максимальных помех. Для сравнения в ЭВМ образуется такой же код.

Данные для записи при M(2) формируются в ЭВМ вышеописанным методом и сравниваются в компараторе с аналогичными данными, образованными в блоке. При их неравенстве подается 1 в счетчик ошибок. После 256 ошибок переходит в "1" триггер переполнения. По окончании заданного массива состояние счетчика ошибок и триггера переполнения считывается по шинам R1÷R9.

Установка режима M(3) и работа в нем аналогичны режиму M(2). Число сканируемых адресов устанавливается счетчиком слов и ограничивается 16 словами, так как сканирование производится лишь по субадресам блока.

При установке режима M(0) во все биты РУС заносятся нули. Подаваемое слово данных без изменения проходит на выход через счетчик-регистр и формирователь кода.

При проверке прохождения команд и управляющих сигналов ЭВМ посылает разные варианты команд NAF и сигналов B, Z, C, I. Они и сигналы X, Q заносятся в регистр команд и управляющих сигналов и через 1 мкс переносятся в буферный регистр. Его содержимое считывается очередной командой по шинам R1÷R16. Значение бит на шинах R приведено в таблице.

Сигнал Z сбрасывает в нуль счетчик-регистр и РУС.

Блок выполняет следующие команды с магистрали:

- |                                                             |      |
|-------------------------------------------------------------|------|
| NA(0÷15)F(0) - чтение данных                                | Q=1* |
| NA(0)F(1) - чтение содержимого РУС                          | Q=1  |
| NA(1)F(1) - чтение содержимого счетчика слов                | Q=1  |
| NA(2)F(1) - чтение содержимого счетчика ошибок              | Q=1  |
| NA(3)F(1) - чтение содержимого буферного регистра           | Q=1  |
| NA(0÷15)F(16) - запись данных                               | Q=1* |
| NA(0)F(17) - запись в РУС                                   | Q=1  |
| NA(1)F(17) - запись в счетчик слов, сброс счетчика-регистра | Q=1  |

\*Q=1, если триггер T<sub>бл</sub>Q находится в состоянии "0".

Потребляемый ток: 1 А по цепи +6 В.



РЕГИСТР	ЗНАЧ. БИТА	W4/R4	W3/R3	W2/R2	W1/R1
УПРАВ. И СТАТУСА	0	Q=1 ПОСЛЕ ПЕРЕС. СЛОВА	M(0)	L=0	L=0
	1	БЛОКИРОВКА Q В КОНЦЕ МАССИВА	M(2) ИЛИ M(3)	L=1 ЧЕРЕЗ 15 МКС ПОСЛЕ ЦИКЛА	L=1 ВСЕГДА

РЕГИСТР КОМАНД И УПР. СИГНАЛОВ	R16	R15	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1
	Q	X	F16	F8	F4	F2	F1	I	B	N	C	Z	A8	A4	A2	A1

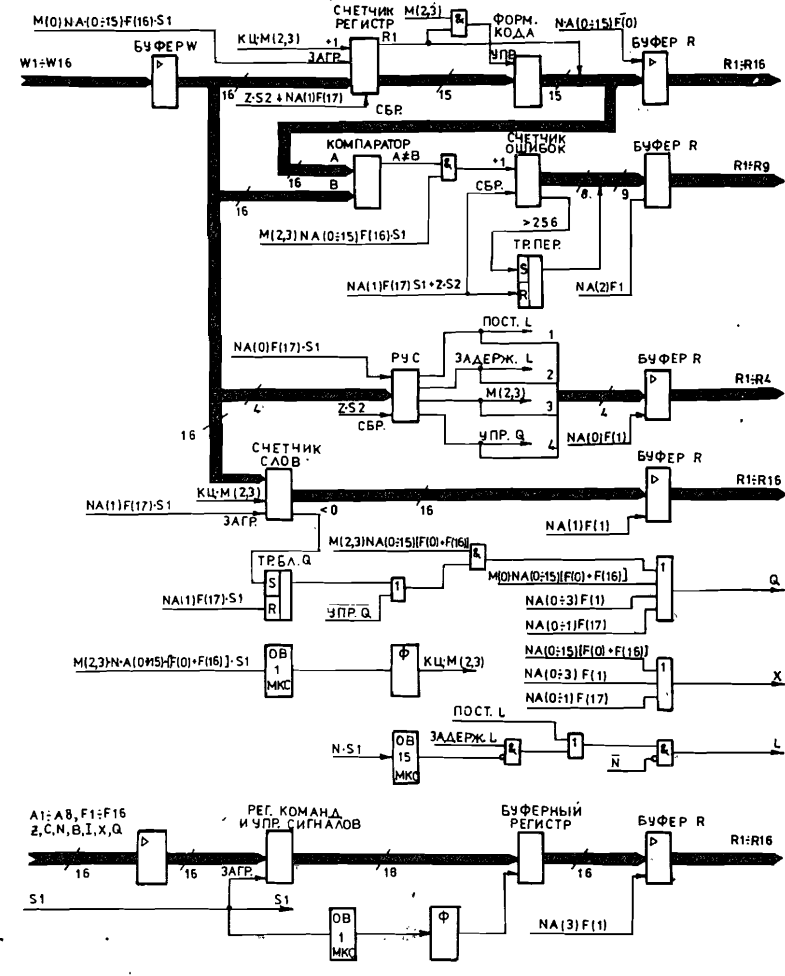


Рис. 7. Передняя панель и блок-схема тестера контроллеров крейта КТ 002.

## ПРЕОБРАЗОВАТЕЛЬ УРОВНЕЙ ТТЛ-НИМ КЛ 029

Ширина блока - 17,2 мм.

Блок предназначен для преобразования сигналов с уровнями ТТЛ в сигналы с уровнями НИМ.

В блоке содержится 16 преобразователей.

На входах и выходах всех преобразователей наличие сигнала соответствует низкий потенциал.

Входное сопротивление - 1 кОм.

Длительность входных импульсов  $\geq 20$  нс.

Выходной ток - 16 мА.

Входные сигналы подаются с помощью скрученных пар через разъем РП15-32, расположенный на задней панели, со следующим распределением контактов:

- нечетные 1,3,5.....31 - входные сигналы

- четные 2,4,6.....32 - корпус.

Выходные сигналы выводятся через коаксиальные разъемы, расположенные на передней панели.

Потребляемый ток: 40 мА по цепи +6 В и 0,7 А по цепи -6 В.

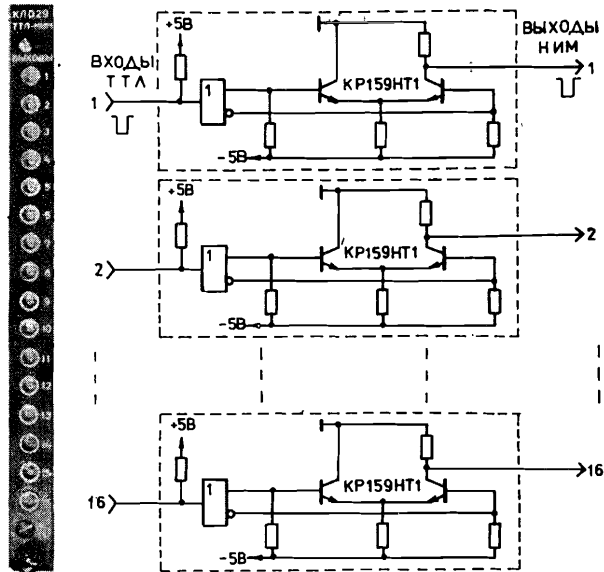


Рис. 8. Передняя панель и блок-схема преобразователя уровней ТТЛ-НИМ КЛ 029.

В заключение авторы благодарят В.Г.Зинова за ценные советы по разработке блоков КЛ 030 и КЛ 031 и А.А.Зиброва за помощь при разработке блока КТ 002.

## ЛИТЕРАТУРА

1. Журавлев Н.И. и др. ОИЯИ, 10-7332, Дубна, 1973.
2. Журавлев Н.И. и др. ОИЯИ, 10-8114, Дубна, 1974.
3. Журавлев Н.И. и др. ОИЯИ, 10-8754, Дубна, 1975.
4. Журавлев Н.И. и др. ОИЯИ, 10-9479, Дубна, 1976.
5. Антюхов В.А. и др. ОИЯИ, 10-10576, Дубна, 1977.
6. Антюхов В.А. и др. ОИЯИ, 10-11636, Дубна, 1978.
7. Антюхов В.А. и др. ОИЯИ, 10-12912, Дубна, 1979.
8. Антюхов В.А. и др. ОИЯИ, 10-80-650, Дубна, 1980.
9. Вьонг Дао Ви и др. ОИЯИ, 10-81-755, Дубна, 1981.
10. Антюхов В.А. и др. ОИЯИ, 10-82-844, Дубна, 1982.
11. Антюхов В.А. и др. ОИЯИ, 10-83-900, Дубна, 1983.
12. Василев Д. и др. ОИЯИ, Р10-84-860, Дубна, 1984.
13. Антюхов В.А. и др. ОИЯИ, Р10-85-922, Дубна, 1985.
14. Антюхов В.А. и др. ОИЯИ, Р10-86-854, Дубна, 1986.

Рукопись поступила в издательский отдел  
30 декабря 1987 года.

НЕТ ЛИ ПРОБЕЛОВ В ВАШЕЙ БИБЛИОТЕКЕ?

Вы можете получить по почте перечисленные ниже книги, если они не были заказаны ранее.

Д13-84-63	Труды XI Международного симпозиума по ядерной электронике. Братислава, Чехословакия, 1983.	4 р. 50 к.
Д2-84-366	Труды 7 Международного совещания по проблемам квантовой теории поля. Алушта, 1984.	4 р. 30 к.
Д1.2-84-599	Труды VII Международного семинара по проблемам физики высоких энергий. Дубна, 1984.	5 р. 50 к.
Д17-84-850	Труды III Международного симпозиума по избранным проблемам статистической механики. Дубна, 1984. (2 тома)	7 р. 75 к.
Д11-85-791	Труды Международного совещания по аналитическим вычислениям на ЭВМ и их применению в теоретической физике. Дубна, 1985.	4 р. 00 к.
Д13-85-793	Труды XII Международного симпозиума по ядерной электронике. Дубна, 1985.	4 р. 80 к.
Д4-85-851	Труды Международной школы по структуре ядра. Алушта, 1985.	3 р. 75 к.
Д3,4,17-86-747	Труды V Международной школы по нейтронной физике Алушта, 1986.	4 р. 50 к.
	Труды IX Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1984. (2 тома)	13 р. 50 к.
Д1.2-86-668	Труды VIII Международного семинара по проблемам физики высоких энергий. Дубна, 1986. (2 тома)	7 р. 35 к.
Д9-87-105	Труды X Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1986. (2 тома)	13 р. 45 к.
Д7-87-68	Труды Международной школы-семинара по физике тяжелых ионов. Дубна, 1986.	7 р. 10 к.
Д2-87-123	Труды Совещания "Ренормгруппа - 86". Дубна, 1986.	4 р. 45 к.
Д4-87-692	Труды Международного совещания по теории малочастичных и кварк-адронных систем. Дубна, 1987.	4 р. 30 к.
Д2-87-798	Труды VIII Международного совещания по проблемам квантовой теории поля. Алушта, 1987.	3 р. 55 к.
Д14-87-799	Труды Международного симпозиума по проблемам взаимодействия мюонов и пионов с веществом. Дубна, 1987.	4 р. 20 к.

Заказы на упомянутые книги могут быть направлены по адресу: 101000 Москва, Главпочтамт, п/я 79. Издательский отдел Объединенного института ядерных исследований.

Антюхов В.А. и др.

P10-87-928

Цифровые блоки в стандарте КАМАК  
(выпуск XV)

Приводятся краткие характеристики и блок-схемы 8 новых блоков в стандарте КАМАК. В состав этих блоков входят: контроллер крейта для ПЭВМ Правец-16; автономный контроллер крейта, состоящий из микроЭВМ на основе 16-разрядного микропроцессора и блока управления магистралью; регистратор двухмерных спектров, состоящий из двух блоков; программатор СШЗУ; тестер контроллеров крейта и преобразователь уровней ТТЛ-НИМ.

Работа выполнена в Лаборатории ядерных проблем ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1987

Перевод авторов

Antyukhov V.A. et al.

P10-87-928

Digital CAMAC Modules (Issue XV)

Data sheets and block diagrams of 8 new CAMAC Modules are presented. These consist of a crate controller for the personal computer Pravetz-16; an autonomous crate controller built of the microcomputer based on the 16-bit microprocessor and the dataway interface; a two-dimensional spectra recorder, consisting of two units; an EPROM programmer; a crate controller test module and a TTL to NIM logic level translator.

The investigation has been performed at the Laboratory of Nuclear Problems, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1987