

**СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА**

Г 654

P10-87-815

З.Гонс, В.Т.Сидоров, П.Чижек

**АВТОНОМНЫЙ КОНТРОЛЛЕР КРЕЙТА КАМАК
НА ОСНОВЕ 16-РАЗРЯДНОГО
МИКРОПРОЦЕССОРА КР1810ВМ86**

1987

1. ВВЕДЕНИЕ

Автономный контроллер крейта состоит из двух блоков: микроЭВМ КМ 086 и блока управления магистралью КК 086. Оба блока имеют ширину 1М и соединяются системной шиной ЭВМ через многоконтактные разъемы на передней панели. Блок КК 086 устанавливается в управляющую 25-ю станцию крейта, а КМ 086 - в любую из нормальных. На передней панели микроЭВМ КМ 086 кроме разъема системной шины расположены кнопки: "Сброс" - для инициализации блока, "Рестарт" - для прерывания работающей программы.

Связь с оператором производится с помощью терминала, который подключается через разъем на задней панели микроЭВМ КМ 086 по последовательному каналу /V.24 или "токовая петля"/. В качестве терминала удобно использовать персональную ЭВМ "Правец-16". Программная совместимость /на уровне машинных кодов/ этих ЭВМ позволяет использовать ПЭВМ для разработки программ для контроллера. Объектные коды откомпилированных программ передаются из ПЭВМ в память подключенного контроллера. Для этой цели написаны программы, которые позволяют также считывать данные из памяти контроллера на диски ПЭВМ.

Для автономной работы контроллера отлаженные программы помещаются в постоянную память КМ 086.

2. МИКРОЭВМ КМ 086

2.1. Процессорный узел и шины ЭВМ

Основой микроЭВМ /рис. 1/ является процессорный узел, который состоит из микропроцессора КР1810ВМ86 /аналог Интел 8086/, работающего в максимальном режиме, тактового генератора КР1810ГФ84 и контроллера шины КР1810ВГ88. Предусмотрена возможность установки арифметического сопроцессора КР1810ВМ87 /аналог Интел 8087/. Выход прерывания INT от сопроцессора подается на линию L в магистраль КАМАК.

Тактовый генератор работает с частотой 15 МГц, задаваемой кварцевым резонатором. Частота тактовых импульсов для микропроцессора (CLK) составляет 5 МГц. Системные тактовые импульсы (SCLK) образуются делением основной частоты генератора на

Разъемы КК 086
Х1} РПММ1-66
Х2} Контракт-25шт
Х1} РП15-9-конт-1шт
Х2} РПММ-конт-3шт

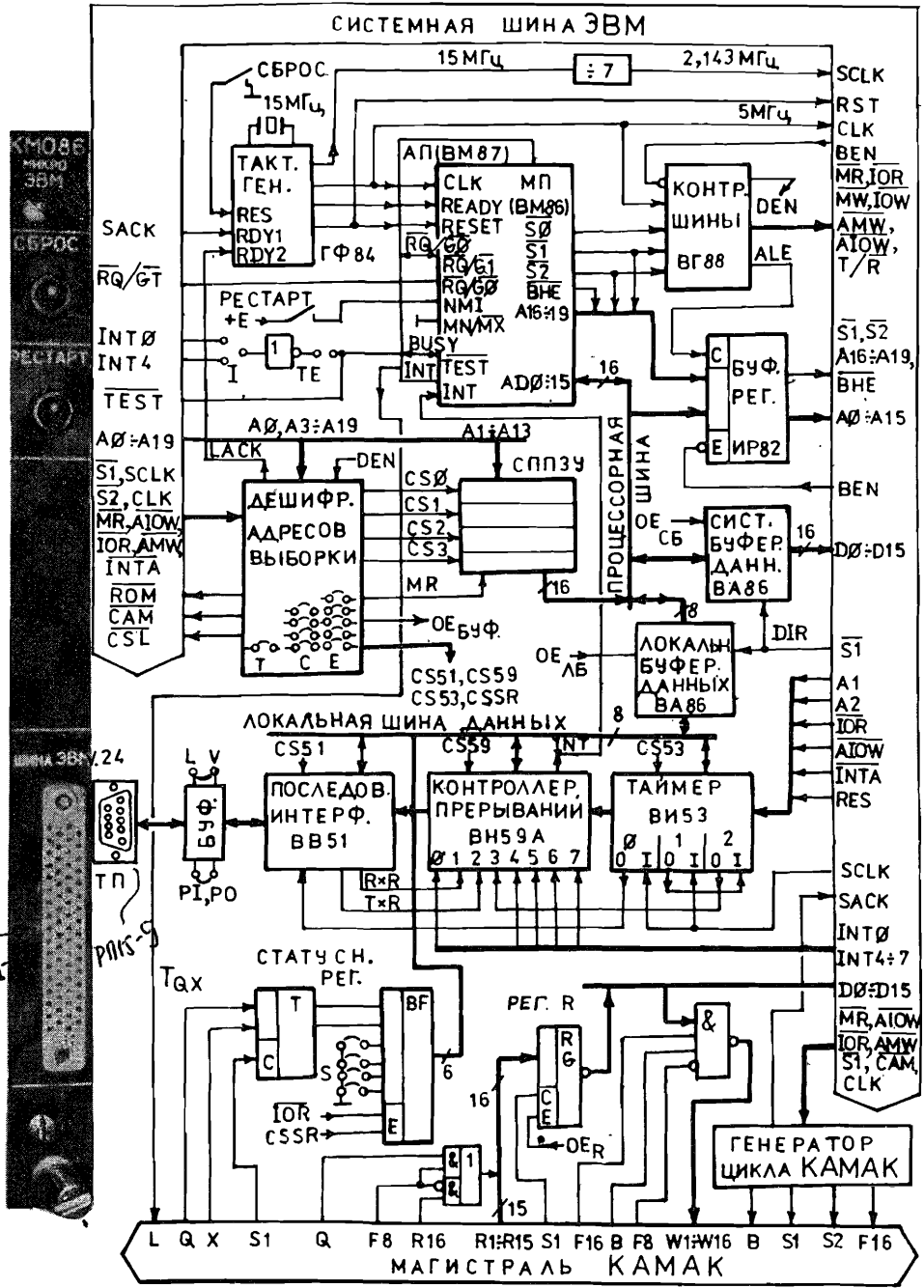


Рис. 1. Передняя панель и блок-схема микроЭВМ КМ 086.

7 и имеют частоту ~ 2,143 МГц. Кнопкой "Сброс" с помощью тактового генератора формируется сигнал инициализации RESET. Кнопка "Рестарт" подает сигнал на вход немаскируемого прерывания NMI микропроцессора.

Системная шина ЭВМ содержит 20 линий адреса, 16 линий данных, а также все линии управляющих сигналов, необходимых для управления подключаемых устройств.

Контроллер шины КР1810ВГ88 формирует в системную шину ЭВМ сигналы управления памятью и устройствами ввода-вывода. Сигнал ALE фиксирует в буферном регистре 20-разрядный код адреса, а также сигналы VHE, S1 и S2. Последние два используются для управления буферами данных (S1) и схемами выборки.

Сигналы BEN и RQ/GT позволяют "отключить" микропроцессор от системной шины, что обеспечивает возможность работы с шиной другому управляющему устройству, например, каналу прямого доступа.

МикроЭВМ содержит также две внутренние шины данных. Через 16-разрядную процессорную шину осуществляется связь с постоянной памятью, а также, через соответствующие буферы данных, с локальной шиной данных и линиями данных системной шины. Локальная шина данных использует разряды D0-D7 и предназначена для подключения 8-разрядных устройств КМ 086: последовательного интерфейса, контроллера прерываний, таймера и статусного регистра.

2.2. Постоянная память

Постоянная память микроЭВМ рассчитана на использование микросхем СППЗУ емкостью 2К байт /К573РФ2, К573РФ5, 2716/, 4К байт /2732/ или 8К байт /К573РФ4, К573РФ6, 2764/. Число установленных микросхем может быть равно 2, 4, 6 или 8. Таким образом, объем постоянной памяти может составлять от 4К до 16К байт при использовании микросхем первого типа и от 16К до 64К байт - для последнего типа. Выбор типа микросхем СППЗУ определяется группой перемычек E* на плате блока. Адресное поле, занимаемое постоянной памятью, располагается сверху адресного пространства процессора, т.е. 16К байт СППЗУ располагаются в адресах F000H-FFFFH, а 64К байт - в адресах F000H-FFFFH. 4К байт СППЗУ с адресами FF00H-FFFFH занимает программа-монитор микроЭВМ.

* Обозначение упоминаемых здесь и далее отдельных перемычек и их групп, устанавливаемых в блоках КМ 086 и КК 086, соответствует обозначению на печатных платах. Назначение и конфигурации перемычек приведены в Приложении.

2.3. Таймер

Программируемый таймер KP580BI53 содержит 3 таймера. Один из них используется для задания частоты работы последовательного интерфейса. Два других соединены последовательно, образуя таймер реального времени. Его выход формирует сигнал в контроллер прерываний. Оба таймера осуществляют пересчет системных тактовых импульсов SCLK с частотой 2,143 МГц. Таким образом, интервал прерываний от таймера реального времени может быть установлен в пределах от единиц микросекунд до ~33 минут.

2.4. Последовательный интерфейс

Последовательный интерфейс содержит универсальный синхронный/асинхронный приемник-передатчик KP580BB51A. Частота приема-передачи задается программируемым таймером. После инициализации последовательный интерфейс имеет следующие параметры:

- скорость передачи - 4800 бод;
- количество бит - 8;
- бит четности - нет;
- стоповых битов - 2.

Буферные схемы обеспечивают формирование сигналов по стандарту V.24(RS-232C) и "Токовая петля" /20 мА/. Выбор соответствующих сигналов производится с помощью переключателей L, V, PI, PO. Связь с терминалом осуществляется через разъем РП15-9 на задней панели блока. Назначение переключателей и контактов разъема приведено в Приложении.

2.5. Прерывания

Система прерываний микроЭВМ имеет 10 уровней. Высший приоритет имеет сигнал RESET, который формируется при включении питания или нажатии кнопки "Сброс". Этот сигнал устанавливает в начальное состояние микропроцессор и другие узлы контроллера.

При нажатии кнопки "Рестарт" формируется сигнал на вход немаскируемого прерывания микропроцессора. Программа обработки этого прерывания "запоминает" содержимое регистров микропроцессора и передает управление монитору микроЭВМ.

Остальные 8 сигналов запросов прерываний INTO÷INT7 поступают на соответствующие входы программируемого контроллера прерываний KP1810BH59A. После включения питания контроллер прерываний инициализируется таким образом, что все входы сигналов прерываний заблокированы, прерывание INTO имеет высший приоритет, а зона векторов прерываний располагается, начиная с адреса 100H.

- В блоке микроЭВМ формируются следующие сигналы прерывания:
- INT1 - готовность приемника последовательного интерфейса;
 - INT2 - готовность передатчика последовательного интерфейса;
 - INT3 - сигнал от таймера.

Остальные источники прерываний - внешние, их сигналы поступают из системной шины.

В случае, если не используется арифметический сопроцессор, с помощью переключателей I и TE сигналы INTO или INT4 можно подключить к входу TEST микропроцессора, что позволяет использовать команду WAIT для тестирования состояния подключенной линии.

2.6. Адресация узлов контроллера

Дешифратор адресов выборки обеспечивает формирование сигналов выборки отдельных узлов блока: каналов ввода-вывода, СППЗУ, буферов шин, а также формирует локальный сигнал готовности LACK в ответ на обращения к внутренним узлам и памяти микроЭВМ. От адресатов, подключенных к системной шине, должен поступать сигнал SACK. При появлении любого из этих сигналов тактовый генератор подает сигнал готовности READY в микропроцессор. Отсутствие этого сигнала в конце третьего такта текущей операции микропроцессора вызывает добавление тактов ожидания. Для того, чтобы процессор не "повисал" при неправильном обращении к памяти или каналам ввода/вывода, дешифратор адресов выборки подает сигнал LACK, если в течение 7 мкс не поступил ответ от адресуемого устройства.

Снятие переключки T обеспечивает добавление одного такта ожидания при любом обращении к постоянной памяти или локальной шине данных.

Изменение положений в группе переключателей E позволяет использовать разные типы микросхем СППЗУ. Переключки группы C задают зону адресов обращения к блокам КАМАК, которая занимает 8К байт и может быть установлена в верхнюю /старшую/ часть любого из сегментов, кратного 64К, кроме сегмента, в котором располагается СППЗУ.

2.7. Связь с магистралью КАМАК

Устройство связи с магистралью КАМАК содержит генератор цикла, буфер шин W, регистр R и статусный регистр.

Генератор цикла магистрали КАМАК запускается по команде чтения или записи памяти или устройств ввода/вывода с определенными адресами. Сигнал запуска генератора CAM задается дешифратором адресов выборки. Цикл магистрали формируется с по-

мощью сдвигового регистра по сигналам CLK и составляет 7 тактов, т.е. 1,4 мкс. При этом задержкой подачи сигнала ответа SACK в цикл процессора добавляются 4 такта ожидания для удержания всех сигналов процессора в установленном состоянии во время всего цикла КАМАК. Генератор цикла формирует в магистрали КАМАК временные сигналы S1, S2 и B, а также сигнал в линию F16, который соответствует направлению передачи данных, т.е. при выполнении микропроцессором команды записи уровень линии F16 соответствует состоянию логической "1".

При выполнении команды записи в блоки КАМАК данные с шин D0-D15 системной шины через буфер W подаются на шины W1-W16 магистрали.

При выполнении команд чтения данные с шин R1-R16 магистрали по сигналу S1 заносятся в регистр R и подаются на линии D0-D15 системной шины ЭВМ. Если при этом F8 = 1, то в старший разряд регистра R подается информация с шины Q, а не R16. Это обеспечивает удобное тестирование шины Q командой NAF(8).

С помощью статусного регистра можно прочитать состояние шин X и Q во время последней команды КАМАК, а также состояние четырех переключек S на плате блока. Распределение шин данных при этом следующее:

D7	D6	D5	D4	D3	D2	D1	D0
Q	X	S5	-	-	S2	S1	S0

3. БЛОК УПРАВЛЕНИЯ МАГИСТРАЛЬЮ КК 086

Блок /рис. 2/ подает в магистраль КАМАК управляющие сигналы N, A, F, Z, C и I в соответствии с командами, получаемыми от микроЭВМ КМ 086 по системной шине, принимает сигналы L1-L23 и формирует 5 запросов на прерывание INT0, INT4-DIVINT7 в микроЭВМ. Он содержит также оперативную память для микроЭВМ.

3.1. Работа с магистралью КАМАК

Адресация блоков в крейте производится аналогично адресации каналов ввода/вывода или памяти. При формировании команды NAF номер станции N задается по линиям адреса системной шины A5-A9, подадрес A - по линиям A1-A4, функция F - по линиям A0, A10-A12. Формат команды NAF на шинах адреса имеет следующий вид:

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	1	F4	F2	F1	N16	N8	N4	N2	N1	A8	A4	A2	A1	F8

При адресации, аналогичной обращению к каналам ввода/вывода, запуск генератора цикла КАМАК в микроЭВМ КМ 086 производится

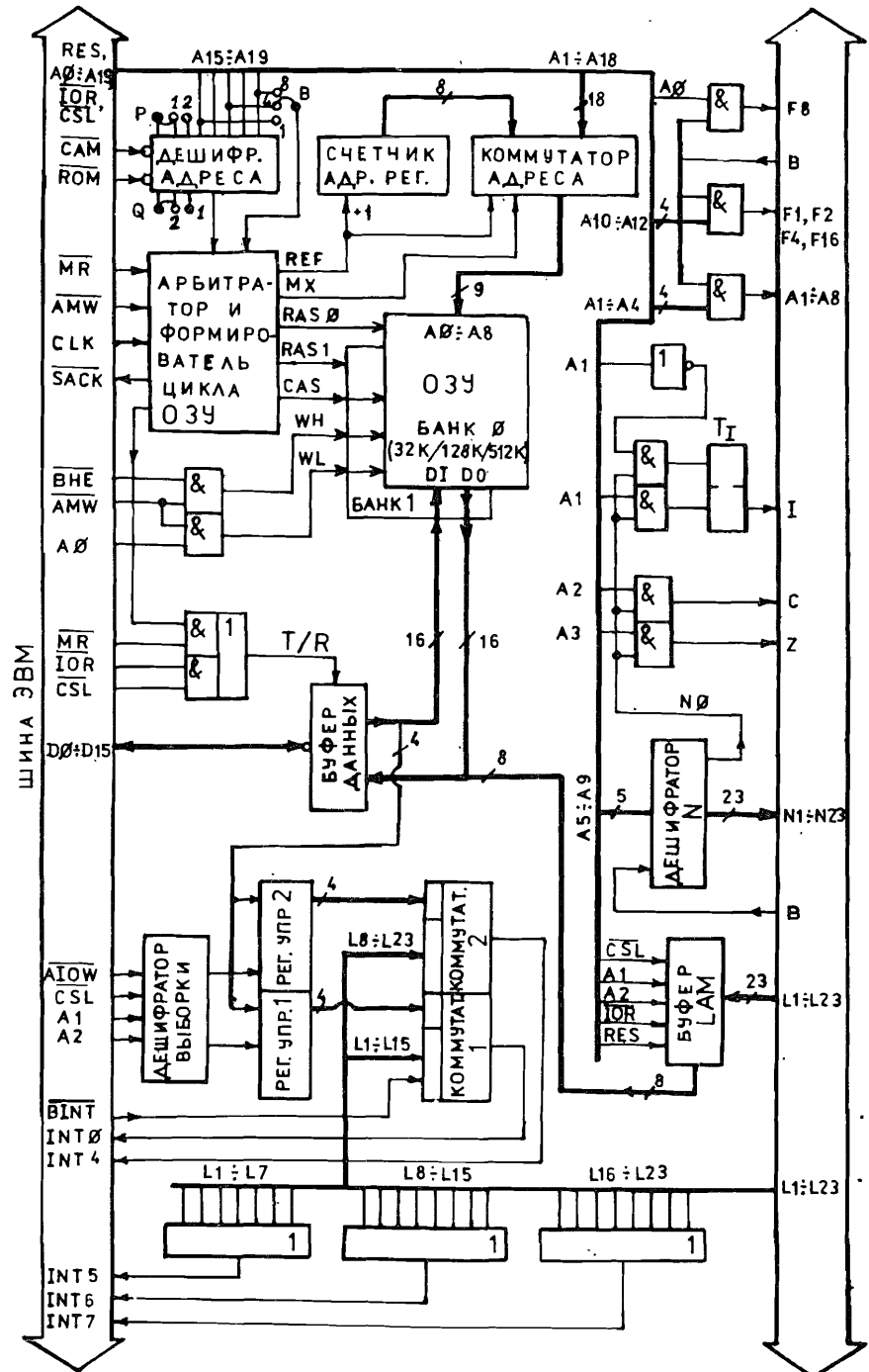


Рис. 2. Блок-схема блока управления магистралью КК 086.

при $A15=A14=A13=1$. При адресации же, аналогичной обращению к памяти, к этому условию запуска добавляется наличие кода на линиях $A16÷A19$, соответствующего установленным переключкам С в дешифраторе адресов выборки КМ 086.

Значение шины F16 магистрали КАМАК устанавливается в соответствии с типом команды процессора, запускающей генератор цикла КАМАК. При команде записи состояние F16 равно логической 1, при команде чтения - F16 = 0. Это означает, что при генерации команд КАМАК со значением функции F больше 15, необходимо использовать команду записи, даже если NAF не использует передачу данных. Соответственно остальные функции задаются командами чтения. При этом все правила работы магистрали КАМАК соблюдаются, и данные по шинам R и W передаются только при командах чтения и записи, т.е. если F8 = 0.

Передача значения F8 по линии младшего разряда адреса A0 означает, что если выполняется команда КАМАК, передающая или принимающая данные (F8 = 0), то микропроцессор может передавать в магистраль байт (на шины $W1÷W8$) или слово ($W1÷W16$). Аналогично считывание производится с шин $R1÷R8$ или $R1÷R16$.

При выполнении команды КАМАК, не использующей передачу данных /т.е. при F8 = 1/, микропроцессор производит запись или чтение старшего байта из системной шины. В этом случае связь с шинами данных магистрали КАМАК производится только при чтении, когда на линию данных D15 системной шины выводится состояние сигнала Q из магистрали.

Для управления сигналами Z, C и I магистрали используется команда $N(0)AF(0)$. При этом адресные линии процессора, формирующие подадрес команды КАМАК, имеют следующее назначение: A1 - управляет установкой сигнала I, A2 используется для формирования сигнала C, A3 - для формирования сигнала Z. Таким образом возможны следующие команды:

- $N(0)A(0)F(0)$ - снятие сигнала I,
- $N(0)A(1)F(0)$ - установка сигнала I,
- $N(0)A(2)F(0)$ - снятие I, генерация C,
- $N(0)A(3)F(0)$ - установка I, генерация C,
- $N(0)A(5)F(0)$ - установка I, генерация Z.

Остальные комбинации использовать не рекомендуется.

3.2. Формирование сигналов прерывания

В блоке КМ 086 формируется 5 сигналов запроса прерывания, которые подаются в системную шину. Сигналы INT0 и INT4 поступают с выходов 16-входовых мультиплексоров. На входы первого из них поступают сигналы магистрали $L1÷L15$, а также сигнал BINT из системной шины, который может быть сформирован внеш-

ним устройством, подключаемым к системной шине. На входы второго мультиплексора подаются сигналы $L8÷L23$ из магистрали КАМАК. Управление мультиплексорами производится двумя регистрами. Их адреса и управляющие коды приведены в Приложении.

Сигналы INT5, INT6 и INT7 образуются схемами "ИЛИ" для сигналов $L1÷L7$, $L8÷L15$, $L16÷L23$ соответственно.

3.3. Оперативная память

ОЗУ, расположенное в блоке, состоит из двух банков памяти, каждый из которых составляют 16 микросхем динамической памяти. Начальный адрес младшего банка равен 0. Предусмотрена возможность использования микросхем емкостью 16К бит /565PY6/, 64К бит /565PY5/ или 256К бит /565PY7/. В соответствии с используемым типом необходимо установить заданную комбинацию переключек P, Q, B /см. Приложение/. Таким образом, объем установленного в блоке ОЗУ может составлять от 32К байт при одном установленном банке из микросхем по 16К бит до 1М байт - при двух банках из микросхем по 256К.

В последнем случае полезный объем ОЗУ несколько меньше полного и будет составлять 952К байт, так как из адресного пространства вычитаются 64К байт, резервированные для СППЗУ, а также 8К байт, необходимые для адресации команд КАМАК.

Работой ОЗУ управляют арбитратор и формирователь цикла ОЗУ, который по сигналам чтения и записи из системной шины формирует сигналы RAS и CAS, а также сигналы управления коммутатором адреса и счетчиком адреса регенерации. Запуск цикла ОЗУ разрешается дешифратором адреса, который определяет по состоянию старших адресных шин $A15÷A19$, а также установленных переключек P, Q и B соответствие текущего адреса адресному пространству установленного ОЗУ.

При этом сигналы системной шины CAM и ROM, дешифрованные в блоке КМ 086, запрещают запуск цикла ОЗУ при обращении к зонам КАМАК и СППЗУ соответственно.

Временные диаграммы цикла обращения к ОЗУ приведены на рис. 3. Его длительность определяется строб-сигналами чтения и записи в память MR и AMW из системной шины, которые начинаются в начале 2-го такта цикла микропроцессора и заканчиваются в начале 4-го. Сигналы RAS, MX /сигнал управления мультиплексором адреса/ и CAS образуются ими же путем задержки. Она, соответственно, составляет примерно 40 нс, 70 нс и 170 нс. Сигнал CAS заканчивается при снятии сигнала MR или AMW. Строб записи WE в ОЗУ образуется сигналом AMW.

Сигнал ответа SACK на обращение к ОЗУ формируется таким образом /он возникает в момент появления сигнала CAS/, что

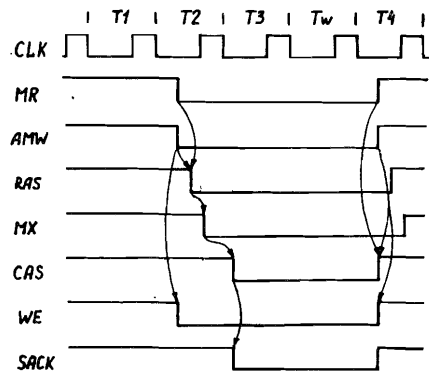


Рис. 3. Временные диаграммы цикла чтения/записи в ОЗУ. /Период CLK составляет 200 нс, длительность сигналов MR и AMW - примерно 600 нс /.

в цикл микропроцессора вкладывается один такт ожидания. Это обеспечивает возможность использования микросхем динамической памяти с временем цикла 460 нс и менее.

Запрос на регенерацию ОЗУ формируется каждые 16 мкс, т.е.

период регенерации для микросхем емкостью 16К и 64К бит равен 2 мс, а для микросхем емкостью 256К - 4 мс. Цикл регенерации длится 0,8 мкс, длительность сигналов RAS при этом составляет 400 нс.

Арбитратор разрешает запуск цикла обращения к ОЗУ или регенерации, если в момент появления запроса цикла нет. Если запрос на обращение к ОЗУ появляется в то время, когда происходит цикл регенерации, то пока не закончится последний, не подается сигнал ответа SACK, и процессор вкладывает в свой цикл такты ожидания. После окончания цикла регенерации запускается цикл обращения к ОЗУ. Аналогично, запрос на регенерацию, пришедший в то время, когда память занята, ожидает окончания цикла обращения к ОЗУ.

4. МОНИТОР

Программа-монитор занимает 4К байт СППЗУ с адресами FF000 ÷ FFFFF и является минимально модифицированным монитором учебной платы SDK-86^{1/1} фирмы Интел /США/. Монитор использует также младшие 256 байт ОЗУ, которые распределены следующим образом:

- 0 ÷ 13 - векторы прерываний 0 ÷ 4,
- 14 ÷ CF - зона данных,
- DO ÷ FF - стек пользователя.

Таким образом, ОЗУ пользователя начинается с адреса 100Н.

При включении питания или нажатии кнопки "Сброс" монитор обрабатывает процедуру инициализации. В результате иницируются программируемые узлы микроЭВМ /таймер, контроллер прерываний, последовательный интерфейс и др./ и устанавливаются векторы прерываний 1, 2 и 3:

1. Шаг - используется для работы процессора в шаговом режиме.
2. Немаскируемое прерывание - обрабатывает сигнал от кнопки "Рестарт".
3. Точка останова - используется командой запуска программы.

При инициализации регистры процессора CS, DS, SS, IP и FL устанавливаются в 0, а указатель стека SP принимает значение 100Н. Затем на экран терминала выводится заголовок монитора /КМ 086 MONITOR, Vx.x/ в одной строке и точка (.) - в следующей, которая означает, что монитор готов к приему команды оператора.

Когда производится вход в монитор в результате пошаговых операций, кнопкой "Рестарт" или при достижении точек останова, монитор заносит для временного хранения содержимое регистров микропроцессора в зону стека пользователя и извлекает его, восстанавливая значения регистров при выводе на экран терминала знака готовности монитора /точка/ к приему команды оператора.

4.1. Структура команд монитора

Команда монитора состоит из одного или двух символов мнемоники команды и последующих /можно через пробел/ параметров /от одного до трех/, которые разделяются запятой. Второй знак (W) мнемоники команды означает, что обрабатываемые данные имеют размер слова /два байта/. При его отсутствии производится работа с байтами. Все параметры /за исключением обозначений регистров микропроцессора/ вводятся как шестнадцатиричные числа. Они состоят из двух /при вводе значения байта/ или четырех /при вводе слова/ знаков. Нулевые значения старших разрядов можно не вводить. При задании более двух /четырех/ знаков только последние два /четыре/ воспринимаются монитором.

Параметры, содержащие значения адреса, состоят из значения сегмента и значения смещения, которые разделяются двоеточием. Сегмент и смещение могут задаваться как шестнадцатиричными числами /например, FF00:12/, так и обозначениями регистров /SS:SP/. При этом можно пользоваться арифметическими действиями сложения и вычитания. Если не указывается значение сегмента, то будет использоваться текущее значение регистра CS.

Ввод команды заканчивается нажатием клавиши RETURN (ENTER).

При подаче любого ошибочного символа ввод команды прерывается.

ПРИЛОЖЕНИЕ

Таблица 1. Команды монитора

Команда	Назначение и синтаксис
S	Индикация и изменение содержимого памяти S[M] (адрес), [(новое значение)],]* (сг)
X	Индикация и изменение содержимого регистров микропроцессора X [(регистр)] [(новое значение)],]* (сг)
D	Индикация содержимого зоны памяти D[M] (начальный адрес), (конечный адрес)] (сг)
M	Перемещение содержимого зоны памяти M (начальный адрес), (конечный адрес), (адрес назначения) (сг)
I	Считывание и индикация содержимого порта ввода I[M] (адрес порта), [(,)]* (сг)
O	Запись данных в порт вывода O[M] (адрес порта), (данные) [(, (данные))]* (сг)
G	Передача управления в программу пользователя G [(стартовый адрес)] [(, (адрес точки останова))] (сг)
N	Пошаговое исполнение программы N [(стартовый адрес)], [(стартовый адрес)],]* (сг)
R	Ввод в память шестнадцатиричного объектного файла R [(смещение)] (сг)
W	Вывод содержимого зоны памяти в форме шестнадцатиричного объектного файла W (начальный адрес), (конечный адрес), (адрес запуска)] (сг)

[A] - необязательный параметр
[A]* - повторяющиеся необязательные параметры
(B) - изменяемый параметр
(сг) - вводится код RETURN

Таблица 2. Назначение контактов разъема РПММ1-66 системной шины.

Контакт	Сигнал	Контакт	Сигнал	Контакт	Сигнал
1	Корпус	23	A5	45	CLK
2	D0	24	A6	46	RESET
3	D1	25	A7	47	* CAM
4	D2	26	A8	48	* ROM
5	D3	27	A9	49	* LAMP
6	D4	28	A10	50	T/R *
7	D5	29	A11	51	* IOR
8	D6	30	A12	52	* IOW
9	D7	31	A13	53	* AIOW
10	D8	32	A14	54	* MR
11	D9	33	A15	55	* MW

Таблица 2 /продолжение/

Контакт	Сигнал	Контакт	Сигнал	Контакт	Сигнал
12	* D10	34	A16	56	* AMW
13	D11	35	A17	57	* INTA
14	D12	36	A18	58	INT0
15	D13	37	A19	59	INT4
16	D14	38	* BHE	60	INT5
17	D15	39	* S2	61	INT6
18	A0	40	* S1	62	INT7
19	A1	41	* SACK	63	
20	A2	42	SCLK	64	* TEST
21	A3	43	BEN	65	+5B
22	A4	44	* RQ/GT *	66	Корпус

* - активный уровень - низкий

Таблица 3. Назначение контактов разъема РП15-9 на задней панели КМ 086 для подключения терминала.

Номер контакта разъема	Обозначение сигнала V.24	Назначение
1	---	Выход данных (токовая петля)
2	103	Выход данных
3	---	Вход данных (токовая петля)
4	104	Вход данных
5	107	Вход "Готовность терминала"
6	105	Выход "Запрос передачи"
7	108 *	Выход "Готовность ЭВМ"
8	106	Вход "Готов к работе"
9	101,102	Корпус

* "Готовность ЭВМ" после включения питания всегда находится в состоянии логической "1".

Таблица 4. Назначение перемычек распределения адресного пространства микропроцессора.

УПРАВЛЕНИЕ ОЗУ (КК 086)			
Емкость ИС памяти	16К*1	64К*1	256К*1
Положение перемычек P,Q,B	P1,Q1,B1	P1,Q2,B4	P2,Q2,B8
Исходное положение	--	+	--

Таблица 4 /продолжение/

УПРАВЛЕНИЕ СПЗУ (КМ 086)

Емкость ИС памяти	2К*8 (2716)	4К*8 (2732)	8К*8 (2764)
Положение переключателей E0 - E9	0-5,1-6 2-7,3-8 4-9	0-6,1-7 2-8,3-9	0-6,1-8 2-9,3-4
Исходное положение	+	--	--
ВЫБОР СЕГМЕНТА АДРЕСОВ КАМАК (КМ 086)			
Используемые переключатели	C1, C2, C4, C8		
Выбор сегмента КАМАК	Код состояния переключателей (отсутствие соответствует "1") определяет номер сегмента		
Исходное положение	C1=0, C2=C4=C8=1, т.е. сегмент 14 (начальный адрес - E000)		

Таблица 5. Назначение остальных переключателей на плате КМ 086.

Переключатель	Действие при установке (+)	Действие при отсутствии (-)	Исходное состояние
T	---	Добавление такта ожидания	+
L	Подключение входа "Токовая петля"	Отключение входа "Токовая петля"	+
V	Подключение входа V ₂₄	Отключение входа V ₂₄	-
PI	---	Смена полярности входа "Токовая петля"	+
PO	---	Смена полярности выхода "Токовая петля"	-
TE	Использование входа TEST микропроцессора для тестирования сигналов прерывания INT0 или INT4.	Обычное использование входа TEST для работы с процессором В087.	-
I0	Подключение INT0 к входу TEST	---	-
I4	Подключение INT4 к входу TEST	---	-
S0,1,2,5	Задание информации на биты 0,1,2,5 статусного байта		-

Код Выбора	INT0 (FA)	INT4 (FC)
0	L8	L8
1	L9	L9
2	L10	L10
3	L11	L11
4	L12	L12
5	L13	L13
6	L14	L14
7	L15	L15
8	BINT	L16
9	L1	L17
A	L2	L18
B	L3	L19
C	L4	L20
D	L5	L21
E	L6	L22
F	L7	L23

Таблица 6. Коды выбора сигналов прерываний INT0 и INT4 (в скобках указаны адреса регистров управления коммутаторов)

Таблица 7. Адреса буферов и распределение мин данных для считывания сигналов L и I магистрали.

Адрес \ I	D7	D6	D5	D4	D3	D2	D1	D0
F8	L23	L22	L21	L20	L19	L18	L17	L16
FA	L15	L14	L13	L12	L11	L10	L9	L8
FC	L7	L6	L5	L4	L3	L2	L1	I

Таблица 8. Используемые адреса устройств ввода/вывода.

Устройство	Запись	Считывание	Адрес *
Последовательный интерфейс (BB51)	Данные	Данные	00C0
	Управление	Статус	00C2
Контроллер прерываний (BH59A)	ICW1, ICW2, ICW3	IRR, ISR, IL	00C8
	OCW1, ICW2, ICW3, ICW4	IMR	00CA
Таймер (BH53)	Счетчик 1	Счетчик 1	00D0
	Счетчик 2	Счетчик 2	00D2
	Счетчик 3	Счетчик 3	00D4
	Режим	---	00D6
Статусный регистр	---	Q,X, переключатели S	00D8
	---	L16 - L23	00FB
Буфер LAM	---	L8 - L15	00FA
	---	I, L1 - L7	00FC
Коммутатор выбора INT0	Код выбора	---	00FA
Коммутатор выбора INT4	Код выбора	---	00FC
КАМАК	NAF (16-31)	NAF (0-15)	E000-FFFF

* Вследствие неполной дешифрации внутренние устройства контроллера полностью занимают зоны C0 - DF и F8 - FF адресного пространства устройств ввода/вывода.

ЛИТЕРАТУРА

1. SDK-86. MCS-86 System Design Kit User's Guide. Intel Corp., 1978, USA. (Order No. 9800698A).

Гонс З., Сидоров В.Т., Чижек П. P10-87-815

Автономный контроллер крейта КАМАК на основе
16-разрядного микропроцессора КР1810ВМ86

Описан автономный контроллер крейта КАМАК, который состоит из двух блоков: микроЭВМ на основе 16-разрядного микропроцессора КР1810ВМ86 и блока управления магистралью. Оба блока имеют минимальную ширину и соединяются системной шиной через разъемы на передних панелях. Контроллер содержит последовательный интерфейс для подключения терминала, таймер, контроллер прерываний, 16-разрядные каналы связи с шинами данных магистрали КАМАК, оперативную и постоянную память и другие узлы. Объем памяти зависит от типа установленных микросхем и может составлять до 64Кбайт СПЗУ и 952Кбайт ОЗУ.

Работа выполнена в Лаборатории ядерных проблем ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1987

Перевод О.С.Виноградовой

Hons Z., Sidorov V.T., Czizek P. P10-87-815

CAMAC Autonomous Crate Controller Based on
16-Bit Microprocessor КР1810ВМ86

CAMAC autonomous crate-controller is described. It consists of 2 modules: a microcomputer based on 16-bit microprocessor КР1810ВМ86 and dataway control module. Both blocks having the minimum width are connected by a system bus through the connectors on the front panels. The controller has a serial interface for terminal connection, timer, programmable interrupt controller, 16-bit ports for dataway access, RAM, EPROM, a.o. Memory size depends on a type of a memory IC installed. It may be up to 64 K bytes of EPROM, and up to 952 K bytes of RAM.

The investigation has been performed at the Laboratory of Nuclear Problems, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1987

Рукопись поступила в издательский отдел
16 ноября 1987 года.