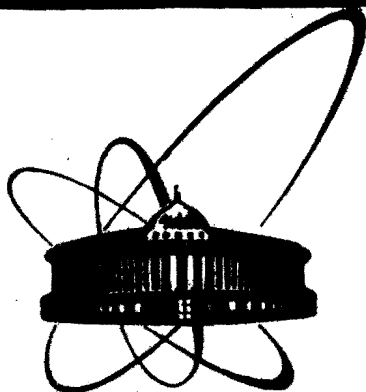


87-691



**СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА**

P10-87-691

Я.Бойа, В.А.Вагон, Г.П.Жуков, Д.Рубин,
Ж.Харангозо

**МОДУЛЬНАЯ СИСТЕМА ДЛЯ НАКОПЛЕНИЯ
СПЕКТРОМЕТРИЧЕСКОЙ ИНФОРМАЦИИ
Анализатор**

1987

Для организации сбора данных в физических экспериментах разработана модульная система накопления спектрометрической информации^{1/1}, анализатор которой выполняет сортировку и регистрацию кодов событий, а также передачу накопленных данных в ЭВМ.

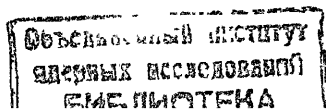
I. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ И ФУНКЦИИ АНАЛИЗАТОРА

Анализатор обеспечивает два основных режима накопления данных, поступающих на вход: регистрацию отдельных кодов событий и накопление данных в виде спектров (в дальнейшем регистрация спектров). Сортировка и регистрация при поступлении экспериментальной информации происходят автономно. Управление от ЭВМ требуется только для установления рабочих режимов запуска и остановки работы анализатора.

В режиме регистрации кодов данные записываются в память последовательно. Такое использование памяти неэффективно, так как для регистрации каждого кода требуется целое слово памяти. Этот режим целесообразно применять в том случае, когда длина кода больше адресного пространства памяти.

В режиме регистрации спектров код события определяет адрес памяти, по которому произойдет модификация его содержимого; таким образом, одинаковые коды будут накапливаться в одних и тех же ячейках памяти. В зависимости от распределения времени поступления кодов эта модификация может иметь характер либо инкремента/декремента содержимого данного адреса памяти, либо суммирования/вычитания числа N , где $N = 0 \div 255$. Знак модификации можно менять при каждом поступлении кодов, причем любой тип модификации выполняется анализатором в течение одного цикла. В тех группах экспериментов, в которых следующие друг за другом коды с большой вероятностью отличаются друг от друга, их обработка выполняется последовательно. В этом случае инкрементный/декрементный режим работы имеет удовлетворительную эффективность. В тех же случаях, когда более вероятно поступление друг за другом одинаковых кодов, целесообразно применение рабочего режима суммирования/вычитания числа N . Применение этого режима возможно только в тех случаях, когда длина кода события не превышает адресное пространство памяти.

Двухсторонняя передача данных между памятью анализатора и управляющей ЭВМ организована через магистраль КАМАК^{1/2/1}. Данные из памяти анализатора могут передаваться как отдельными словами,



так и массивами. Режим передачи отдельными словами предназначен для чтения данных в произвольном порядке. В этом случае каждый цикл состоит из передачи адреса и чтения данных. При передаче массива данных происходит чтение информации, расположенной в последовательных адресах памяти анализатора. При этом требуется задание только начального адреса массива, после чего увеличение на единицу содержимого регистра адреса выполняется автоматически, под действием каждой команды чтения. Длина массива не ограничена. Данные из ЭВМ в память анализатора передаются аналогично. Это дает возможность, например, для обнуления содержимого памяти с помощью ЭВМ или, при необходимости, использования памяти анализатора в качестве внешней памяти ЭВМ. Любой обмен данными с ЭВМ (адресация, чтение, запись) организуется под управлением команд КАМАК. Эти команды могут выполняться анализатором и во время автономного накопления данных, но приоритет в случае одновременного обращения к памяти имеет автономный режим.

Как любая сложная электронная система анализатор требует регулярного тестирования, так как даже редкие ошибки могут привести к недопустимому искажению данных измерений. Различные режимы обмена информацией с ЭВМ проверяются с помощью тестовых программ. Автономный процесс накопления данных проверяется аппаратно. Для этого в анализаторе существует режим "Тест", с помощью которого можно быстро выполнить проверку правильности процесса накопления, не используя внешние сигналы.

В различных экспериментах требования к объему памяти могут меняться в широких пределах. Поэтому выбрана организация памяти, которая дает возможность гибко менять и адресное пространство, и длину слова памяти. Диапазон адресного пространства памяти можно расширять секциями по 4К до 32К слов. В рамках существующего пространства памяти можно программным образом устанавливать размер адресного пространства и начальный адрес рабочей области. Такую организацию удобно использовать, например, для регистрации спектров, полученных в различных экспериментальных условиях. В режиме регистрации отдельных кодов можно организовать буферизацию и передачу данных в ЭВМ без потерь времени измерения. При передаче данных из/в ЭВМ массивами не требуется подсчет числа передаваемых слов, если длина массива равна $n \times 4К$ слов, где $n = 1 \div 8$.

Длина слова памяти устанавливается программно: 12 или 24 разряда. В обоих случаях при регистрации спектров можно ограничить максимальное содержимое ячейки памяти с помощью программно установленного лимита.

Основные технические характеристики

- Рабочие режимы: регистрация кодов, регистрация спектров ± 1 , регистрация спектров $\pm N$, тест;
- длина слов памяти: 12/24 разряда (устанавливаются программно);

- минимальное адресное пространство памяти: 4К слов;
- максимальное адресное пространство памяти: 32К слов (расширение секциями по 4К слов);
- цикл времени памяти: не более 2 мкс;
- задание рабочей области адресного пространства памяти по 4К слов;
- установление начального адреса рабочей области памяти кратно 4К;
- точность установления лимита максимального содержимого памяти: 8 разрядов;
- обмен данными с ЭВМ через МК массивами и отдельными словами;
- автономное накопление данных имеет высший приоритет.

II. ПОСТРОЕНИЕ АНАЛИЗАТОРА И ОРГАНИЗАЦИЯ РАБОТЫ

Анализатор (рис. 1) включает модули памяти, интерфейс шины памяти (ИШП) и устройство обработки данных (УОД). Данные и управляющие сигналы поступают по шинам памяти (ШП). ШП состоит из 2x12 линий адрес/данные и 10 управляющих линий. ИШП выполняет согласование МК и УОД с ШП, обеспечивая доступ к памяти как при автономном накоплении данных, так и при взаимодействии с управляющей ЭВМ. В ИШП имеются три типа циклов обращения к памяти:

- запись данных по заданному адресу;
- чтение содержимого ячейки по заданному адресу;
- модификация содержимого по заданному адресу.

При любом обращении к памяти для ИШП требуется адрес (АП), данные (ДДП) и управляющие сигналы, им же организуется выдача содержимого памяти (СП). В режиме накопления данных выполняется двусторонняя передача информации между УОД и ИШП, а в режиме обмена с ЭВМ — между МК и ИШП, т.е. при накоплении данных требуется взаимодействие между УОД и ИШП, а обмен данными с ЭВМ выполняет только ИШП. Коды событий поступают в УОД по внешней шине^{1/1}, прием кодов синхронизируется с помощью сигналов двух линий. УОД и ИШП составляют управляющий модуль анализатора, занимающий станцию КАМАК двойной ширины, причем каждая станция модуля имеет самостоятельное управление от МК. Все функции анализатора, кроме хранения данных, выполняются этим модулем. Взаимодействие между двумя станциями модуля обеспечивается с помощью внутримодульной связи (ВМС), состоящей из 2 x 24 линий данных, 16 линий адресов и 8 управляющих линий. Рассмотрим с помощью блок-схемы (рис. 1) основные функции составных частей управляющего модуля и затем формирование и перемещение адресов и данных в различных режимах работы.

Накопление данных

В режиме регистрации кодов коды событий (КС) передаются без изменений из УОД в ИШП по выходным линиям данных ВМС. Одновремен-

передачи начального адреса массива. После этого с учетом адреса памяти в ИШП генерируются циклы записи по данному адресу для занесения в память данных с линий W МК. В конце передачи каждого слова текущий адрес увеличивается.

III. ОСНОВНЫЕ БЛОКИ АНАЛИЗАТОРА

1. Устройство обработки данных

УОД выполняет следующие функции:

- принимает данные, поступающие от внешней шины (ВШ);
- используя эти коды, формирует адреса и данные для памяти в соответствии с установленным режимом накопления данных;
- формирует адреса и данные для режима "Тест";
- управляет ИШП;
- обрабатывает сигналы переполнения адреса и данных, поступающие от ИШП.

Рассмотрим с помощью блок-схемы (см. рис. 2) построение функциональных блоков и управляющие сигналы УОД, взаимодействие с ИШП и организацию режимов работы. Согласование УОД с 24 линиями данных ВШ выполняется приемниками ВШ, выходы которых соединены со входами коммутатора, регистра знака и входного регистра адреса.

16-разрядный входной регистр адреса (ВРА) предназначен для формирования адресов памяти в цикле накопления данных. Этот адрес передается в ИШП через линии адреса ВМС. Адрес памяти либо создается с помощью операции инкремента, либо поступает в регистр по 1 ÷ 15 разрядам линий данных ВШ. Увеличение содержимого ВРА выполняется под действием сигнала "Инкремент адреса памяти" (ИАП), вырабатываемого контрольной логикой (КЛ), а запись кода с ВШ в ВРА выполняется под действием сигнала "Запись адреса памяти" (ЗАП). Обнуление содержимого ВРА выполняется сигналом "Сброс регистра адресов" (СРА).

Коммутатор посылает на входной регистр данных либо полный 24-разрядный код событий, либо 17 ÷ 24 разряды кода на входы 1 ÷ 8 этого регистра, в зависимости от уровня сигнала "Регистрация кодов/спектра" (Р-К/С).

24-разрядный входной регистр данных (ВРД) предназначен для приема кодов, поступающих от ВШ. Запись в ВРД выполняется под действием сигнала "Запись входных данных" (ЗВД).

Одноразрядный регистр знака (РЗ) предназначен для приема информации и определяет знак модификации содержимого памяти при регистрации спектров. Эта информация поступает в анализатор либо по 16-му разряду линий данных ВШ, либо через коаксиальный разъем МИНУС, находящийся на передней панели модуля. Запись информации выполняется под действием сигнала ЗВД. Если содержимое регистра знака ЗМ равно единице, то знак модификации будет отрицательным.

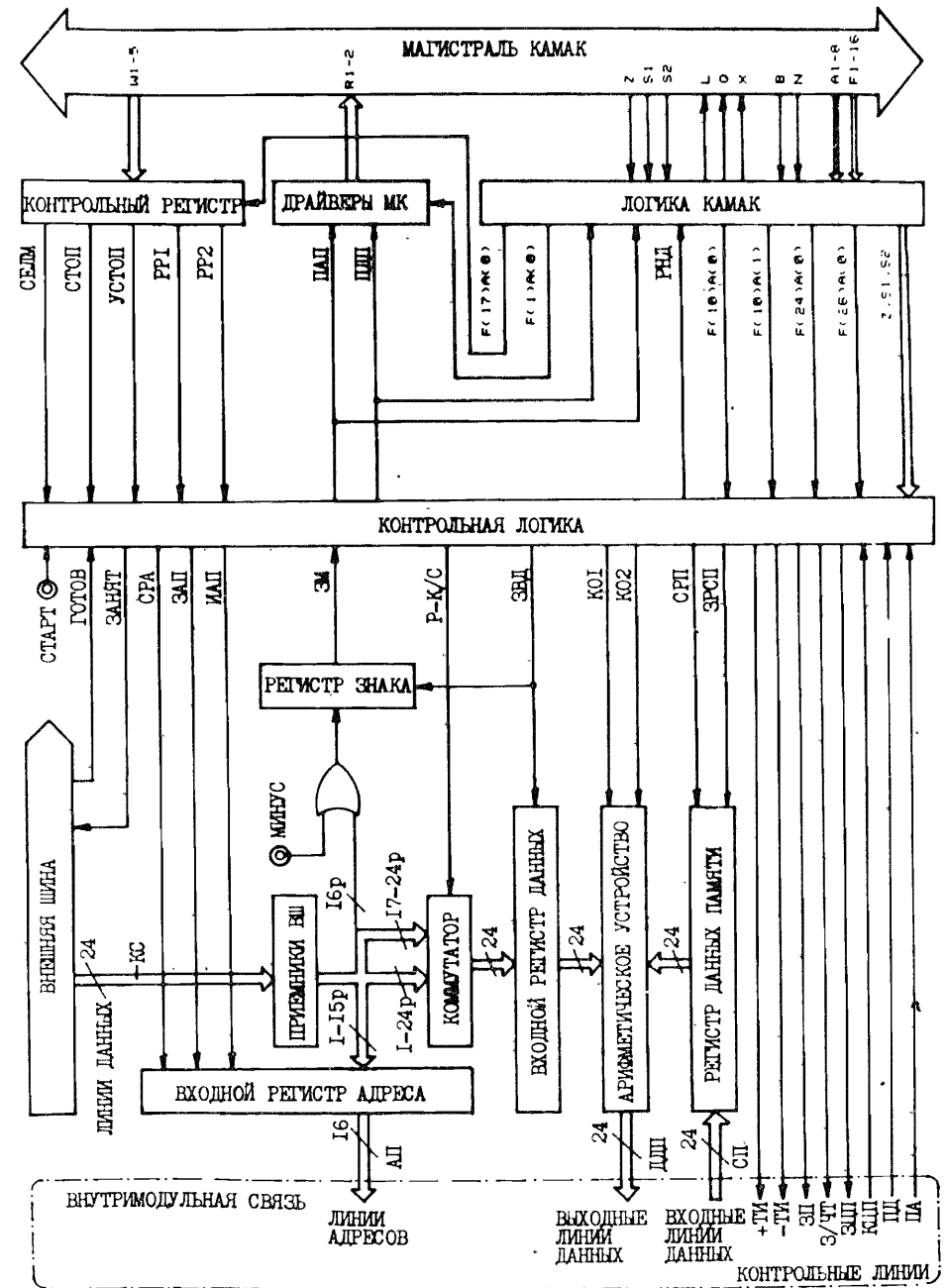


Рис. 2

24-разрядный регистр данных памяти (РДП) предназначен для приема данных, поступающих из памяти, которые получает устройство обработки данных от ИШП, по входным линиям ВМС. Запись данных выполняется под действием сигнала "Запись в регистр содержимого памяти" (ЗРСП), а для сброса РДП служит сигнал "Сброс регистра памяти" (СРП). Выходы РДП и ВРП соединены со входами арифметического устройства.

24-разрядное арифметическое устройство (АУ) формирует данные для памяти в циклах накопления данных. Данные для памяти формируются из кода события и из содержимого памяти под действием сигналов "Код операции" (КО1 и КО2) следующим образом:

КО2	КО1	ДДП
0	0	СП + 1
0	1	СП + КС
1	0	СП - КС
1	1	СП - 1

5-разрядный контрольный регистр (КР) предназначен для установления режимов работы УОД. Информация поступает в КР по линиям W1 ÷ W5 МК, запись выполняется под действием команды КАМАК F(17)A(0). При переполнении данных реакция устройства обработки данных определяется по 1 ÷ 3 разрядам КР следующим образом:

- 1 — селективно разрешает/запрещает ЛАМ УОД (СЕЛМ);
- 2 — немедленно останавливает накопление данных (СТОП), если СЕЛМ = 1;
- 3 — останавливает накопление данных (УСТОП) при поступлении внешнего сигнала "Старт" и СЕЛМ = 1.
- 4 и 5 разряды КР (РР1 и РР2) определяют установление режимов накопления данных "Тест" следующим образом.

РР2	РР1	Режим работы
0	0	тест
0	1	регистрация спектра ±1
1	0	регистрация спектра ±N
1	1	регистрация кодов

Логика КАМАК стандартным образом согласует устройство обработки данных с МК.

Совместная работа устройства обработки данных и интерфейса шины памяти

Накопление данных и тестирование выполняются совместно УОД и ИШП. При этом УОД передает в ИШП адреса памяти, данные для памяти и получает содержимое ячейки памяти от ИШП, кроме того, УОД определяет тип выполняемого цикла памяти. В режимах "Тест" и "Регистрация спектра" требуется выполнение циклов модификации содержимого памяти, а в режимах регистрации кодов — циклов записи. При переполнении данных и адреса памяти в циклах накопления ИШП сигнализирует об этом УОД. Все процессы организуются с помощью контрольных линий ВМС. Тактовые импульсы устройства обработки данных (+ТИ, -ТИ) синхронизируют управление двумя частями модуля. Для выполнения цикла накопления данных УОД устанавливает сигнал "Запрос памяти" (ЗП). В течение этого сигнала ИШП не обслуживает запросы на передачу данных, поступающие от МК, обеспечивая таким образом высший приоритет для накопления данных от экспериментальной аппаратуры. В режиме "Тест" циклы накопления данных следуют непрерывно друг за другом и передача данных в это время не выполняется. Сигналы УОД "Запуск цикла памяти" (ЗЦП), "Запись/чтение" (З/ЧТ) и сигнал ИШП "Конец цикла памяти" (КЦП) предназначены для управления передачей информации между двумя частями модуля.

Если адрес памяти, сформированный УОД, превышает установленное рабочее пространство адресов памяти, ИШП сигнализирует об этом УОД сигналом "Переполнение адреса" (ПА).

Если данные для памяти, сформированные УОД, превышают установленный лимит содержимого, ИШП сигнализирует об этом УОД сигналом "Переполнение данных" (ПД).

Организация режимов работы

Циклы накопления данных инициируются сигналом "Готов", вырабатываемым модулем, передающим коды событий для анализатора. Анализатор сообщает внешнему модулю о приеме кодов с помощью сигнала "Занят". В режиме регистрации кодов 1 ÷ 24 разряды линий данных ВШ подключаются коммутатором к входам ВРД. Поступающие коды событий записываются в ВРД, а содержимое ВРА, АП может измениться только действием либо инкремента, либо сброса. В АУ установлена операция ДДП = СП + КС. Так как в этом режиме сигнал СРП постоянно равен единице, содержимое РДП, СП = 0, то на выходе АУ устанавливается ДДП = КС. Устройство обработки данных, передавая ДДП и АП, устанавливает ИШП для выполнения цикла записи в память, и в конце цикла содержимое ВРА увеличивается. В этом режиме сигнал ПА сообщает о заполнении кодами увеличенного рабочего адресного пространства памяти. Под действием сигнала ПА устройство обработки данных вырабатывает сигнал ЛАМ и запрещает дальнейшее накопление данных. Устанавливается разряд "Переполнение адреса памяти" (ПАП) статусного регистра УОД. Контрольная логика снимает сигнал "Разре-

шение накопления данных" (РНД). Сброс содержимого ВРА происходит либо по команде КАМАК F(10)A(1), либо от внешнего сигнала "Старт". После сброса регистрация кодов продолжается от начального адреса рабочего адресного пространства памяти. Сброс LAM осуществляется командой КАМАК F(10)A(0). Сигнал ПД в этом режиме УОД не обрабатывается.

В режиме регистрации спектра сигнал ПА указывает на то, что поступающий на вход анализатора код события превышает длину установленного рабочего адресного пространства памяти. Этот сигнал обрабатывается так же, как в режиме регистрации кодов, но при этом не происходит сброс содержимого ВРА.

В режиме регистрации спектра 17 ÷ 24 разряды линий данных ВШ подключены коммутатором к первым 8 входам ВРД. В режиме модификации на число N содержимое первых 15 разрядов линий данных записываются в ВРА, 16 разряд в РЗ, а 17 ÷ 24 разряды в ВРД. После этого ИШП начинает выполнение цикла модификации содержимого памяти. На первом этапе этого цикла ИШП читает данные из памяти по данному адресу и передает их в УОД, где они записываются в РДП. Так как в АУ установлена операция ДДП=СП+КС, на его выходе появится ДДП=СП+КС (17÷24 разр.). Во втором шаге ИШП записывает модифицированные данные по тому же адресу памяти. Организация режима увеличения на единицу отличается только тем, что в АУ устанавливается операция ДДП=СП+1 и используются только 1÷16 разряды КС. В режиме "Тест" УОД не принимает внешние данные. Циклы накопления данных продолжаются непрерывно от запуска до останова теста. В АУ установлена операция ДДП=СП+1, и в конце каждого цикла увеличивается содержимое ВРА, так что последовательно и непрерывно инкрементируется содержимое каждой ячейки памяти. В этом режиме не обрабатываются сигналы ПА и ПД, и при переполнении адреса накопление продолжается от начального адреса, а при переполнении данных — от нулевого содержимого ячейки памяти.

Для управления работой УОД используются следующие команды КАМАК:

- F(1)A(0) — чтение статусного регистра, X = 1, Q = 1, 1 разряд — переполнение установленного рабочего адресного пространства памяти в цикле накопления данных (ПАП), 2 разряд — переполнение установленного лимита содержимого памяти в цикле накопления данных (ПДП);
- F(8)A(0) — проверка LAM1, X = 1, Q = 1, если ПАП = 1;
- F(8)A(1) — проверка LAM2, X = 1, Q = 1, если ПАП = 1;
- F(10)A(0) — сброс статусного регистра и LAM, X = 1;
- F(10)A(1) — сброс входного регистра адреса, X = 1;
- F(17)A(0)S(2) — запись в контрольный регистр, X = 1; Q = 1;
- F(24)A(0) — запрет накопления данных, X = 1;
- F(24)A(1) — маскирование LAM, X = 1;

- F(26)A(0) — разрешение накопления данных РНД = 1, X = 1;
- F(26)A(1) — разрешение LAM, X = 1;
- F(27)A(0) — проверка РНД, X = 1, Q = 1, если РНД = 1;
- F(27)A(1) — проверка маски LAM, X = 1, Q = 1, если не маскировано;

ZS2 — сброс модуля;

LAM = (LAM1 + LAM2 x СЕЛМ) x разрешение LAM.

УОД занимает один блок КАМАК единичной ширины и содержит 67 ИС. Потребляемый ток 1,8 А от источника питания +6В.

2. Шина памяти

Шина памяти обеспечивает связь между памятью анализатора и ИШП имеет следующие характеристики:

- гибкая конфигурация любого объема памяти в данном диапазоне,
- циклы памяти не зависят от длины слов,
- простое построение с использованием минимального числа линий шины.

Первые 12 разрядов 15-разрядного адреса памяти представляют собой внутримодульный адрес (ВМА), а 13 ÷ 15 разряды — оперативный адрес модуля (ОАМ). Каждый модуль памяти имеет свой адрес (СВА), который можно установить в диапазоне 0 ÷ 7. В определенном цикле памяти принимают участие только те модули, у которых СВА = ОАМ.

Скорость записи и чтения в/из памяти главным образом зависит от времени доступа (ТД) и времени записи применяемых ИС ОЗУ. Но можно значительно ускорить модификацию содержимого по данному адресу, если цикл будет содержать только адресацию, а затем чтение и запись. Используя модули памяти, имеющие 12-разрядную длину слова, можно организовать в одном цикле операции с 24-разрядными словами следующим образом:

- младшие и старшие 12 разрядов 24-разрядного слова хранятся в двух самостоятельных модулях памяти, имеющих одинаковые свои адреса;
- оба модуля одновременно получают от ИШП одинаковые оперативные адреса модуля и внутримодульные адреса;
- передача старших и младших 12 разрядов данных происходит одновременно по самостоятельным линиям ШП.

В определенном интервале времени выполняется либо чтение, либо запись в память, причем передача в память адресов и данных разделена во времени. Таким образом, не увеличивая цикл обращения к памяти, можно использовать одни и те же линии шины памяти для двусторонней передачи данных и для передачи адресов.

Шина памяти включает следующие линии:

- "ма 1 ÷ 3" — по линиям адреса модуля передается оперативный адрес модуля от ИШП к модулям памяти;
- "ма/д 1 ÷ 12" — по этим линиям адреса/данные передается внутримодульный адрес и младшие 12 разрядов данных

- обеспечивает установление рабочей области памяти и начального адреса этой области;
 - организует 24/12-разрядную длину слова памяти;
 - выполняет проверку превышения установленного адресного пространства и лимита содержимого памяти;
 - выполняет проверку искажения содержимого памяти.
- Рассмотрим с помощью блок-схемы (см. рис. 4) построение, функциональные блоки, управляющие сигналы и организацию работы ИШП.

• Построение, функциональные блоки и управляющие сигналы шины памяти

Согласование с линиями W1 ÷ W24 МК осуществляется приемниками ИШП, выходы которых подключены к входам контрольного регистра, регистра адресов КАМАК и входного регистра данных КАМАК. 19-разрядный контрольный регистр (КР) предназначен для установления различных режимов работы. Информация поступает по линиям W1 ÷ W11 и W17 ÷ W24 МК, а запись происходит по команде F(18)A(0). Разряды КР имеют следующие функции:

- 1 ÷ 3 — устанавливает число используемых модулей памяти (ЧИМ 1 ÷ 3);
- 4 ÷ 6 — устанавливает сдвиг начального адреса памяти (СНАП 1 ÷ 3);
- 7 — разрешает ЛАМ (PLAM);
- 8 — запрещает запись в память (ЗЗП);
- 9 — устанавливает передачу данных словами из/в ЭВМ (ПДС);
- 10 — устанавливает 24-разрядную длину слова (24 разр.);
- 11 — селективное маскирование ЛАМ (СЕЛМ) при превышении установленного адресного пространства в циклах передачи данных из/в ЭВМ;
- 17 ÷ 24 — устанавливает лимит содержимого памяти (ЛСП 1 ÷ 8) в циклах накопления данных.

16-разрядный регистр адресов КАМАК (РАК) предназначен для формирования адреса памяти в циклах передачи данных из/в ЭВМ. Адрес памяти может быть сформирован путем инкремента содержимого регистра, либо он может поступить на вход по линиям W1 ÷ W15 МК. Инкремент РАК происходит под действием сигнала "Инкремент регистра адресов КАМАК" (ИРАК), а запись данных, поступающих на вход регистра, происходит под действием сигнала "Запись в регистр адресов КАМАК" (ЗРАК). 1 ÷ 12 разряды выходов РАК подключаются к входам мультиплексоров адреса/данных, а 13 ÷ 15 разряды — к входам коммутатора адресов модулей.

3-разрядный коммутатор адресов модулей (КАМ) посылает адрес модуля памяти на входы компаратора адреса модулей и сумматора адреса модулей. В циклах накопления АМП поступает от входного регистра адресов УОД, а в циклах передачи данных — от РАК ИШП. КАМ контролируется сигналом "Цикл передачи/накопления данных" (Ц-П/Н). 3-разрядный сумматор адреса модулей (САМ), суммируя

адреса модуля памяти и заданный начальный адрес памяти, создает оперативный адрес модуля: ОАМ = АМП + СНАП. К входам драйверов шины памяти подключены выходы САМ, линии "ма 1 ÷ 3" и линии "зз12", "зз24", "синв.", "д/а", "за", "з/чт-д".

3-разрядный компаратор адреса модулей (КОМПАМ) предназначен для сравнения адреса модуля памяти с числом используемых модулей. Если АМП > ЧИМ, то КОМПАМ вырабатывает сигнал "Переполнение адреса".

24-разрядный входной регистр данных КАМАК (ВРДК) принимает данные, поступающие по линиям W1 ÷ W24 МК. Эти данные записываются в память в циклах передачи данных из ЭВМ. Запись данных в ВРДК происходит по сигналу "Запись данных КАМАК" (ЗДК). Выходы ВРДК подключены к входам мультиплексоров адресов/данных.

Два 12-разрядных, 4-входных мультиплексора адресов/данных (МА/Д12, МА/Д24) посылают на входы трансиверов, работающих с линиями "ма/д 1 ÷ 12" и "ма/д 13 ÷ 24" ШП, информацию, поступающую в циклах накопленных данных от УОД, а в циклах передачи данных из/в ЭВМ — от ИШП. Внутри циклов памяти они также выполняют мультиплексирование внутримодульного адреса и данных для памяти. Младшие разряды ДДП подключены к входам "ма/д 1 ÷ 12", а старшие разряды ДДП — к входам "ма/д 13 ÷ 24", причем ВМА подключен к входам обоих мультиплексоров. Мультиплексоры контролируются сигналом Ц-П/Н и сигналом "Передача данных/адресов" (П-Д/А).

24-разрядный выходной регистр КАМАК (ВРК) предназначен для приема данных памяти (СП), поступающих в циклах передачи данных в ЭВМ через трансиверы. Запись в ВРК происходит под действием сигнала "Запись в выходной регистр" (ЗВР). Выходные данные ВРК выставляются на линии R1 ÷ R24 МК с помощью драйверов МК: младшие 12 разрядов под действием сигнала В12, а старшие 12 разрядов под действием сигнала В24.

8-разрядный мультиплексор линии данных (МЛД), независимо от установленной длины слова, подключает старшие 8 разрядов содержимого памяти ко входам компаратора лимита содержимого памяти. При длине слова 12 разрядов это соответствует 5 ÷ 12 разрядам выходных линий данных ВМС, а при длине слова 24 разряда — соответственно 17 ÷ 24 разрядам. МЛД контролируется разрядом 24Р контрольного регистра ИШП.

8-разрядный компаратор лимита содержимого памяти (КЛС) предназначен для сравнения старших 8 разрядов и лимита содержимого памяти, установленного в контрольном регистре. Если СП = ЛСП, ИШП генерирует сигнал ПД.

Логика КАМАК согласует работу ИШП с МК стандартным образом.

Организация работы ИШП

Взаимодействие ИШП и УОД уже описано выше. Рассмотрим теперь организацию двойного доступа к памяти и выполнение команд в режимах передачи данных из/в ЭВМ.

В те отрезки времени, когда анализатор выполняет цикл накопления данных, т.е. когда сигнал "Запрос памяти" находится на уровне логической "единицы", ИШП не принимает команды адресации F(17)A(0) чтения F(0)A(0), записи в память F(16)A(0) и записи в КР F(18)A(0). Об этом состоянии ИШП сигнализирует контроллеру крейта ответом Q = 0. Но если вышеуказанные команды опережают поступление сигнала ЗП, то они выполняются, а обслуживание цикла накопления данных прекращается.

Под действием команды адресации в регистр адресов КАМАК записывается адрес, поступивший по МК, и затем ИШП выполняет цикл чтения памяти, используя этот адрес. При этом данные, поступающие из памяти, записываются в выходной регистр КАМАК.

При передаче данных отдельными словами под действием команды чтения данных, находящиеся в ВКР, выставляются на линии R МК. Под действием команды записи данные, поступающие по линиям W МК, вначале записываются во входной регистр данных КАМАК, а затем ИШП выполняет цикл записи в память, используя эти данные и адреса, находящиеся в РАК.

При передаче данных массивами под действием команды чтения данные, находящиеся в ВРК, выставляются на линии R МК, затем ИШП выполняет цикл чтения памяти, а в конце этого цикла инкрементируется текущий адрес, находящийся в РАК. Выполнение команды записи аналогично передаче отдельными словами, но в конце каждого цикла записи в память инкрементируется адрес, находящийся в РАК.

При установлении длины слова памяти 12 разрядов величины СП и ДДП не могут превышать 12 разрядов даже в том случае, если к линиям "ма/д 13 ÷ 24" также подключены модули памяти. Это организуется следующим образом:

- сигналом "зз24" запрещается запись в модули памяти, подключенные к линиям "ма/д 13 ÷ 24",
- трансиверы TP24 установлены постоянно на согласование линий "ма/д 13 ÷ 24",
- под действием команды чтения F(0)A(0) генерируется только сигнал В12, и таким образом на линии R МК выставляются только младшие 12 разрядов содержимого ВКР.

Рассмотрим, как обрабатываются статусные сигналы при различных режимах работы. Сигналы ПА и ПД, возникающие в циклах накопления данных, передаются в УОД. Сигнал ПА, возникающий в циклах передачи данных из/в ЭВМ, не обрабатывается, но под действием возникающего в этом цикле сигнала ПА устанавливается разряд "Переполнение адреса памяти" (ПАП) статусного регистра и ИШП генерирует сигнал LAM, если это селективно разрешено 11 разрядом КР. Под действием уровня "Логическая единица" сигнала, поступающего по линии "инв." ШП, устанавливается разряд "Искажение содержимого памяти" (ИСП) статусного регистра. С помощью 8-го разряда КР, ЗЗП на линиях "зз12" и "зз24" ШП устанавливается уровень сигнала "Логическая единица"

и запись в память, таким образом, запрещается. Если при этом осуществляется попытка записи в память либо в цикле накопления, либо во время передачи данных, то устанавливается разряд статусного регистра "Нелегальная запись в память" (НЗП). ИШП генерирует сигнал LAM при установке любого разряда статусного регистра при условии, что это разрешено 7 разрядом КР, PLAM. Сброс статусного регистра выполняется по команде F(10)A(0) и одновременно с ним происходит сброс цепей, контролирующих искажение содержимого памяти сигналом, генерируемым на линии "минв." ШП.

ИШП принимает следующие команды КАМАК:

- F(0)A(0) — чтение содержимого из памяти, X = 1, Q = 1, если чтение выполнено;
 - F(1)A(0) — чтение статусного регистра, X = 1, Q = 1, 1 разр. — попытка нелегальной записи в память (НЗП), 2 разр. — превышение установленной рабочей области адресного пространства в цикле передачи данных (ПАП), 3 разр. — искажение содержимого памяти (ИСП);
 - F(8)A(0) — проверка LAM, X = 1, Q = 1, если LAM = 1;
 - F(10)A(0) — сброс статусного регистра и генерация сигнала "синв.", X = 1;
 - F(16)A(0)S1 — запись данных в память, X = 1, Q = 1, если запись выполнена;
 - F(17)A(0)S1 — адресация памяти, X = 1, Q = 1, если адресация выполнена;
 - F(18)A(0)S1 — запись в контрольный регистр, X = 1, Q = 1, если запись выполнена;
 - ZS2 — сброс ИШП;
 - LAM = (ПАП x СЕЛМ + НЗП + ИСП) x PLAM.
- ИШП занимает один блок КАМАК единичной ширины и содержит 75 ИС. Потребляемый ток 1,6 А от источника питания +6В.

4. Модуль памяти

Рассмотрим с помощью блок-схемы (см. рис. 5) построение, функциональные блоки, управляющие сигналы и работу модуля.

Память построена на базе 48 ИС КМОП, имеющих организацию 1К x x 1 разряд. ИС типа 1M6508^{3/1} имеет внутренний регистр адреса и отдельные входные и выходные выводы для данных. Запись в регистр адреса происходит под действием заднего фронта сигнала, поступающего на вход CS ИС. Под действием сигнала записи адреса после времени доступа на выходе данных ИС появится содержимое данного адреса, при условии, что на вход WE подается уровень "Логическая единица". Запись данных в память по адресу, записанному во внутренний регистр адреса, происходит под действием логического отрицательного импульса, поступающего на вход WE ИС. Внутренний регистр обеспечивает возможность в циклах модификации содержимого памяти применять только одну адресацию (см. рис. 3).

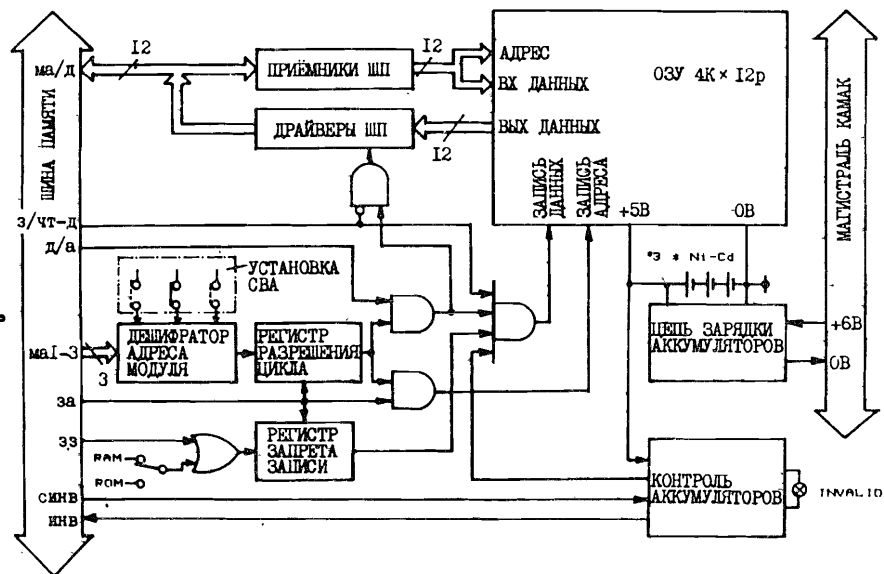


Рис. 5

Потребление тока в статическом режиме применяемых КМОП ИС чрезвычайно мало, ~ 1 мкА. Таким образом, с помощью миниатюрных малоемких Ni-Cd аккумуляторов можно сохранить содержимое памяти в течение нескольких дней после выключения питания модуля. Цепь контроля аккумулятора следит за выходным напряжением аккумуляторов, и если оно уменьшается до недопустимого уровня, то устанавливается разряд регистра "Искажение содержимого памяти" (РИСП). В этом случае после включения вновь питания на линии "инв." ШП выставляется уровень "Логическая единица" и включается светодиод "INVALID", расположенный на передней панели модуля. РИСП сбрасывается под действием сигнала "синв.". Приемники и передатчики модуля предназначены, соответственно, для согласования линий "ма/д" ШП. 3-разрядный дешифратор адреса модуля генерирует выходной уровень "Логическая единица" при адресации модуля, т.е. когда оперативный адрес модуля, поступивший по линии "ам 1 ÷ 3" ШП, совпадает с установленным своим адресом модуля памяти. Под действием переднего фронта сигнала, поступившего по линии записи адресов "за" ШП, эта информация записывается в регистр разрешения цикла (РРЦ). Если модуль не адресован, выходной сигнал РРЦ запрещает запись адреса и данных в модуль. Запись в память можно запретить также с помощью сигнала линии "зз" ШП и с помощью переключателя "RAM/ROM", расположенного на передней панели модуля. Эта информация о запрете записывается в регистр запрета записи (РЗЗ) также под действием переднего фронта сигнала "за". Временные диаграммы различных циклов памяти представлены на рис. 3.

Модуль памяти представляет собой блок КАМАК единичной ширины и содержит 58 ИС. Потребление тока от источника +6В — 100 мА.

ЛИТЕРАТУРА

1. Бойа Я. и др. ОИЯИ, P10-86-574, Дубна, 1986.
2. Modular Instrumentation and Digital Interface System (CAMAC), ANSI/IEEE STD 583, 1975.
3. Intersil Microprocessor Handbook, INTERSIL, INC., 10900 N. TANTAU AVE., CUPERTI NO, CA 95014, 1975.

Рукопись поступила в издательский отдел
14 сентября 1987 года.

НЕТ ЛИ ПРОБЕЛОВ В ВАШЕЙ БИБЛИОТЕКЕ?

Вы можете получить по почте перечисленные ниже книги, если они не были заказаны ранее.

D7-83-644	Труды Международной школы-семинара по физике тяжелых ионов. Алушта, 1983.	6 р.55 к.
D2,13-83-689	Труды рабочего совещания по проблемам излучения и детектирования гравитационных волн. Дубна, 1983.	2 р.00 к.
D13-84-63	Труды XI Международного симпозиума по ядерной электронике. Братислава, Чехословакия, 1983.	4 р.50 к.
D2-84-366	Труды 7 Международного совещания по проблемам квантовой теории поля. Алушта, 1984.	4 р.30 к.
D1,2-84-599	Труды VII Международного семинара по проблемам физики высоких энергий. Дубна, 1984.	5 р.50 к.
D10,11-84-818	Труды V Международного совещания по проблемам математического моделирования, программированию и математическим методам решения физических задач. Дубна, 1983.	3 р.50 к.
D17-84-850	Труды III Международного симпозиума по избранным проблемам статистической механики. Дубна, 1984. /2 тома/	7 р.75 к.
D11-85-791	Труды Международного совещания по аналитическим вычислениям на ЭВМ и их применению в теоретической физике. Дубна, 1985.	4 р.00 к.
D13-85-793	Труды XII Международного симпозиума по ядерной электронике. Дубна, 1985.	4 р.80 к.
D4-85-851	Труды Международной школы по структуре ядра. Алушта, 1985.	3 р.75 к.
D3,4,17-86-747	Труды V Международной школы по нейтронной физике. Алушта, 1986.	4 р.50 к.
	Труды IX Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1984. /2 тома/	13 р.50 к.
D1,2-86-668	Труды VIII Международного семинара по проблемам физики высоких энергий. Дубна, 1986. /2 тома/	7 р.35 к.
D9-87-105	Труды X Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1986. /2 тома/	13 р.45 к.
D7-87-68	Труды Международной школы-семинара по физике тяжелых ионов. Дубна, 1986	7 р.10 к.
D2-87-123	Труды Совещания "Ренормгруппа-86". Дубна, 1986	4 р.45 к.

Заказы на упомянутые книги могут быть направлены по адресу: 101000 Москва, Главпочтамт, п/я 79. Издательский отдел Объединенного института ядерных исследований.

Бойа Я. и др.

P10-87-691

Модульная система для накопления спектрометрической информации. Анализатор

Описан многоканальный анализатор для системы накопления данных. Система реализована в стандарте КАМАК и имеет модульную структуру. Анализатор обеспечивает режимы работы: последовательное занесение в память кодов; накопление данных по адресу, соответствующему коду события (+1 или -1, +N или -N); тест. Программным путем можно задавать условия: размеры используемого поля памяти блоками по 4К слов; начальный адрес памяти для накопления данных; разрешать проверку переполнения адреса и по разрядам; определять используемую длину слова 12/24 разряда; организовать обмен данными между памятью анализатора и ЭВМ отдельными словами или массивами. Максимальный объем памяти анализатора 32К x 24 разряда, цикл времени памяти не более 2 мкс.

Работа выполнена в Лаборатории нейтронной физики ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1987

Перевод О.С.Виноградовой

Boja J. et al.

P10-87-691

Modular System for Spectroscopical Data Acquisition Multichannel Analyser

A Multichannel Analyser of a CAMAC data acquisition System having modular architecture is described. It is intended for experimental data processing: receiving, analysing and storing. The system provides setting of : 4K volume memory address field; offset of memory working field; address and data overflow test; word length of memory 12/24 bit; data block and word transmission in programmable way. The maximum memory capacity of the analyser is 32K x 24 bit and the memory cycle time is at least 2 μ s.

The investigation has been performed at the Laboratory of Neutron Physics, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1987