

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА

P10-87-112

П.А.Кулинич, Р.Тоledo

ПРОГРАММИРУЕМЫЙ БЛОК
ДВУМЕРНОГО АНАЛИЗА
НА ОСНОВЕ БЫСТРОДЕЙСТВУЮЩЕГО АЦП

Направлено в журнал "Приборы и техника
эксперимента"

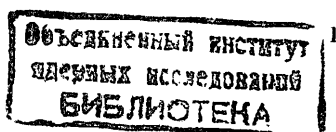
1987

Введение

Современные физические установки характерны значительно возросшим объемом информации, которая должна быть передана в ЭВМ. Для снижения объема записываемой на магнитную ленту информации необходимо производить отбор событий по заранее заданным критериям до их записи. В последнее время широко применяются быстрые аналого-цифровые процессоры, которые повышают эффективность регистрации полезных событий /1-3/.

Описываемый в данной работе блок предназначен для отбора полезных событий и включен в схему быстрого триггера, вырабатываемого стандартной наносекундной электроникой. Он позволяет быстро оцифровать два входных параметра (i_{EX} или время) и выработать сигнал, значение которого определяется содержимым памяти. Оцифровка входных параметров и тем самым задание адреса ОЗУ осуществляется с помощью FADC. Микросхема ОЗУ заполняется и может быть прочитана ЭВМ через КАМАК. Число уровней квантования каждого из двух параметров 2^5 . Время решения ~ 110 нс. При калибровке блока имеется возможность считывать в ЭВМ содержимое обоих регистров FADC. В блоке происходит преобразование $q \rightarrow$ код, где $q = \int_{START}^{STOP} i_{EX} dt$. Если на вход IN (рис. 1) включить генератор тока, то блок можно использовать как преобразователь время \rightarrow код.

После приема очередного события блок выдает сигнал V_{out} длительностью ~ 350 нс, после чего он приходит в исходное состояние.



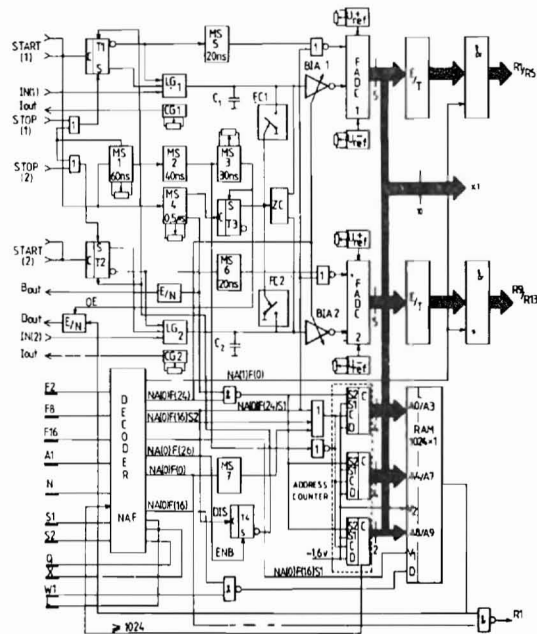


Рис.1. Функциональная схема программируемого блока двумерного анализа.

Техническое описание

Программируемый блок двумерного анализа выполнен в стандарте КАМАК и содержит (рис. 1) два информационных канала. Блок состоит из двух преобразователей заряд - напряжение $QVC / 4 /$ со схемой быстрого сброса FC , двух буферных усилителей - инверторов BIA , двух шестизрядных $FADC$, памяти ($RAM 1024 \times 1$) и общей схемы управления и синхронизации.

На передней панели блока установлены входные и выходные разъемы и регулировки $U_{REF}^{(+)} - U_{REF}^{(-)}$ для каждого $FADC$. На задней панели установлен разъем РП15-23Г, на который выведены пятибитные коды $FADC$, выходные сигналы каждого из BIA и все четыре зна-

чения U_{REF} для их контроля. Там же расположены регулировки каждого из генераторов тока CG . Работа блока будет описана на примере одного канала. При поступлении сигнала $START-1$ триггер $T1$ (рис. 1) срабатывает по переднему фронту, а возвращается в исходное состояние по фронту сигнала $STOP-1$. Парафазный сигнал с выходов триггера подается на линейные ворота $IG1$ и управляет переключением зарядного тока на конденсаторе C_1 . Кроме того, с помощью сигнала $START-1$ запускаются два одновибратора $MS1$ и $MS4$. Регулируемый одновибратор $MS1$ с выходным импульсом длительностью 20 ± 100 нс служит для принудительного ограничения длительности стробов и через схемы "ИЛИ" может вернуть триггер $T1$ в исходное состояние, если почему-либо в течение указанного времени не поступали стоповые сигналы. Таким образом, он ограничивает сверху возможное время при преобразовании $T \rightarrow$ код. Регулируемый одновибратор $MS4$ вырабатывает сигнал $BUSY$ длительностью ~ 350 нс, предназначенный для внешней блокировки последующих сигналов в течение данного времени. Во время строб-сигнала конденсатор заряжается входным и режимным током входного каскада (рис. 3). Наличие режимного тока приводит к тому, что даже при нулевом входном сигнале накапливается определенный заряд в конденсаторе. В блоке величина этого pedestala регулируется с помощью $R5$. Сигнал с конденсатора C_1 подается на аналоговый вход $FADC$ через буферный усилитель - инвертор $BIA-1$ для согласования с $FADC-1$ (рис. 3). После зарядки конденсатора C_1 на тактовый вход $FADC-1$ подается сигнал длительностью 20 нс с одновибратора $MS5$. К этому времени напряжение на выходе $FADC-1$ установилось и через 20 нс на выходе $FADC-1$ появляется код, соответствующий величине напряжения на конденсаторе.

Пять старших битов каждого $FADC$ задают десятибитный адрес ячейки памяти $RAM (1024 \times 1)$. Через ~ 25 нс на выходе памяти устанавливается сигнал, который идет на выходные ворота и на выход-

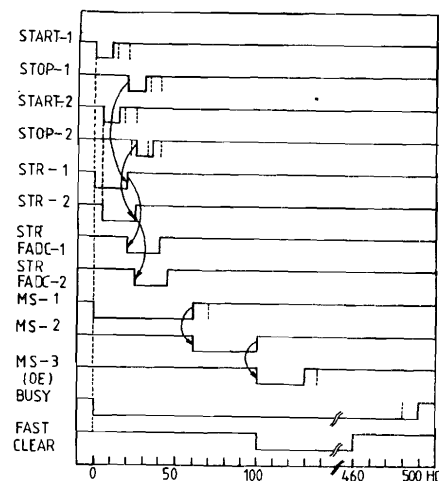


Рис.2. Временные диаграммы работы схемы управления и синхронизации.

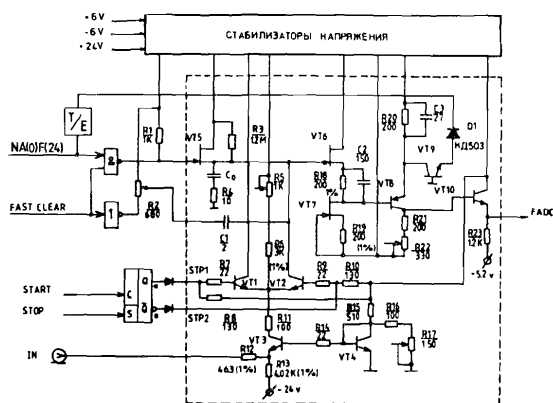


Рис.3. Принципиальная схема аналоговой части блока.

$VT1 \div VT4, VT9, VT10$ - КТ316Д, $VT5 \div VT7$ - КП303Г, $VT8$ - КТ363Б, $D1$ - КД503.

ной разъем D во время действия внутреннего сигнала OE (MS3) (рис. 1). Сигнал OE длительностью 30 нс вырабатывается с задержкой 45 нс (MS2) после заднего фронта импульса 60 нс (MS1) (рис. 2). Таким образом, время от START-1 до появления сигнала на выходе D составляет ~110 нс и с помощью регулировки в MS1 может быть изменено. Сигнал быстрого сброса для восстановления напряжения на конденсаторе C_T вырабатывается по переднему фронту сигнала OE и заканчивается на ~50 нс раньше сигнала BUSY. Сигнал FC с выхода T3 поступает одновременно на затвор полевого транзистора VT5 (рис. 3), переводя его в проводящее состояние, и на элементы коррекции нулевого уровня ZC (рис.1). Для компенсации емкостного пролезания управляющего импульса через промежуток "затвор-канал" VT5 на интегрирующий конденсатор подается в противофазе сигнал через емкость $C_T = 2$ пФ. Для точной компенсации пролезания включен подстроечный резистор R2 (рис.3).

В блоке имеются регулируемые стабилизаторы напряжения $U_{REF(+)}$ и $U_{REF(-)}$ для каждого из FADC. $U_{REF(-)}$ позволяет скомпенсировать пьедестал, а $U_{REF(+)}$ задает масштабный коэффициент.

Шинами адреса микросхемы памяти RAM (1024x1) (рис.1) управляет FADC или десятибитный счетчик, которые включены по схеме "проводное ИЛИ". При работе FADC счетчик сбрасывается в "0", а при обращении к памяти (записи или чтении) обнуляется FADC.

Десятибитный адресный счетчик обнуляется принудительно каждый раз по переднему фронту импульса 40 нс или по команде NA(0)F(24)S1. Для записи (чтения) очередной ячейки памяти надо выполнить команду NA(0)F(16) (NA(0)F(0)), после чего содержимое счетчика автоматически увеличивается на единицу, то есть задает адрес следующей ячейки. Команды NA(0)F(24)S1

и $NA(0)F(26)$ служат соответственно для блокировки и разблокировки стартовых сигналов с помощью T4. Чтение или запись в ОЗУ осуществляется в режиме многократного обращения по одному адресу - ULS.

Для обнуления FADC при выполнении команды записи или чтения на эмиттер VT9 (рис.3) подается сигнал $NA(0)F(24)$. Он приводит к появлению на аналоговом входе FADC отрицательного импульса, имеющего уровень существенно ниже, чем $U_{REF(-)}$, поэтому при оцифровке на выходе FADC будут нулевые логические ЭСЛ-сигналы. По команде $NA(1)F(0)$ можно прочитать содержимое регистров обоих FADC. В первом каскаде усилителя - инвертора VIA для улучшения температурной стабильности включены согласованные пары полевых транзисторов VT6, VT7. Подстроечный резистор R22 в коллекторе VT8 позволяет менять коэффициент усиления.

В заключение авторы выражают благодарность сотрудникам эксперимента СИГМА-АЯКС за полезные обсуждения, Н.В.Толедо за изготовление технической документации и Г.В.Мицельмахеру за постоянную поддержку и внимание.

Основные характеристики блока

1. Количество информационных каналов	2
2. Число уровней квантования	2^5
3. Минимальная задержка сигнала STOP относительно START	2 нс
4. Время решения (при длительности $MS1 = 60$ нс)	~ 110 нс
5. Нелинейность	$\pm 1/2$ мл.разр.
6. Пороговые напряжения	
$U_{REF(+)}$	0,1+2,5 В
$U_{REF(-)}$	-0,1 + -2,5 В

- | | |
|--|---|
| 7. Зарядный конденсатор C_0 | 90 пФ |
| 8. Коэффициент усиления | 1,5+2,5 |
| 9. Максимальный входной ток | ~ 20 мА |
| 10. Обмен информацией с ЭВМ в режиме ULS | |
| II. Команды КАМАК: | |
| $NA(0)F(0)$ | - чтение памяти с последующим инкрементом адреса; |
| $NA(1)F(0)$ | - чтение регистров двух FADC ; ; |
| $NA(0)F(24)$ | - сброс FADC и счетчика адреса в "0" блокировка стартовых сигналов; |
| $NA(0)F(26)$ | - разблокировка стартовых сигналов; |
| $NA(0)F(16)$ | - запись в памяти с последующим инкрементом адреса. |
| 12. Питание: | +6 В 0,4 А |
| | -6 В 1,3 А |
| | +24 В 0,056 А |
| | -24 В 0,01 А |
| 13. Ширина блока | - 1М. |

Литература

1. Akimov Yu.K. et al. JINR, E13-80-10, Dubna, 1980.
2. Карпущин В.В. ОИЯИ, I3-83-913, Дубна, 1983.
3. Будагов Ю.А. и др. ОИЯИ, I3-85-585, Дубна, 1985.
4. Антхон В.А. и др. ОИЯИ, I0-83-900, Дубна, 1983.

Рукопись поступила в издательский отдел
20 февраля 1987 года.