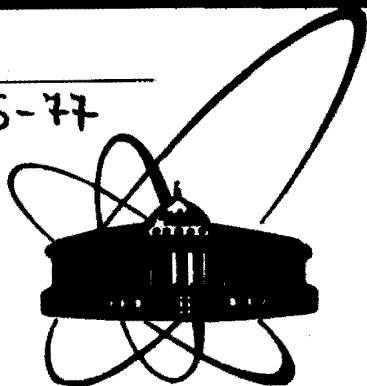


Б-77



**СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА**

P10-86-777

**Я.Бойа, В.А.Вагов, Г.П.Жуков, Д.Рубин,
Ж.Харангозо**

**МОДУЛЬНАЯ СИСТЕМА ДЛЯ НАКОПЛЕНИЯ
СПЕКТРОМЕТРИЧЕСКОЙ ИНФОРМАЦИИ.**

ПРОМЕЖУТОЧНАЯ ПАМЯТЬ

1986

При пиковых нагрузках, возникающих в процессе работы с импульсными источниками информации, а также в связи со статистической флуктуацией входных сигналов в определенные интервалы времени скорость поступления информации в систему накопления данных /1/ может превышать скорость обработки ее некоторыми элементами этой системы. Для исключения потери информации в таких случаях необходимо принимать и хранить данные по мере их поступления и затем передавать их остальным модулям системы с приемлемой для них скоростью. С этой целью разработан блок промежуточной памяти, предназначенный для "выравнивания" скоростей поступления и обработки данных. При этом предполагается, конечно, что средняя скорость поступления данных в систему не превышает скорости работы самых медленно работающих элементов системы, т.к. это может привести к переполнению памяти.

Промежуточная память /256 x 24 разряда/ имеет последовательную организацию записи и чтения, причем очередь чтения совпадает с очередью записи /FIFO/. Ввод информации осуществляется через входной разъем внешней шины /ВШ/. Запись может включать выполнение условия неравенства нулю старшего байта входных данных /разряды 17÷24/. Эту возможность целесообразно использовать, например, если младшие байты /разряды 1÷16/ содержат код события, а старший байт - число событий. Время, требуемое для ввода одного слова данных, 200 нс. Таким образом, модуль промежуточной памяти может принимать данные с максимальной скоростью работы внешней шины.

Блок памяти одновременно выполняет роль передающего и принимающего модуля. В качестве принимающего модуля он может работать как в нормальном режиме, так и в режиме распределения времени. В режиме распределения времени данные могут приниматься максимально от шести передающих блоков. Для управления приемом данных модуль генерирует разрешающие сигналы РАЗР ВВ 1÷8 /разрешение ввода/, которые посылаются передающим модулям по резервным линиям входного разъема ВШ. Число передающих модулей, т.е. число разрешающих сигналов, генерируемых в одном цикле передачи данных, устанавливается с помощью разрядов контрольного регистра ЧПМ1 /число передающего модуля/, ЧПМ2 и ЧПМ4.

В связи с тем, что информация поступает от различных модулей, иногда для дальнейшей обработки данных требуется знать, от какого модуля эти данные получены. Для этого каждое поступившее слово данных отмечается некоторым признаком, характеризующим данный источник информации. Этот признак /код/ вырабатывается контроль-

ной логикой блока с помощью сигналов КПМ1 /код передающего модуля/, КПМ2 и КПМ4. Эти сигналы поступают через распределители входных линий данных на свободные входные линии данных памяти. Комбинация этих разрядов определяет двоичный код номера передающего модуля.

Информацию, записанную в память, можно считывать и передавать либо через выходной разъем ВШ, либо через магистраль КАМАК /МК/. Направление передачи устанавливается с помощью разряда МК/ВШ контрольного регистра. Для уменьшения потери информации, в случае одновременного запроса на запись и чтение, записи присвоен больший приоритет. При пиковых нагрузках, когда требуется прием данных с максимальной скоростью, можно запретить чтение данных из модуля сбросом разряда РЧП /разрешение чтения из памяти/ контрольного регистра, внешним сигналом, поступающим на коаксиальный разъем ЗАПРЕТ ЧТ /запрет чтения/, если это разрешено разрядом ВН ЗАПРЕТ /внешний запрет/ контрольного регистра.

Рассмотрим с помощью блок-схемы /рис. 1/ структуру, функциональные части и управляющие сигналы модуля.

Согласование входных линий данных ВШ выполняется с помощью приемников ВШ, входы которых подключены к распределителю линий данных ВШ. Информация с выходов приемников поступает на входные линии данных ИС памяти /ВХ1÷ВХ24/. Память построена на базе 24 ИС ОЗУ Шоттки TTL емкостью 256 x 1 разряд /2/.

Запись данных, поступающих на линии ВХ1÷ВХ24 по адресу, определяемому линиями А1÷А8, происходит с помощью отрицательного импульса ИЗП /импульс записи в память/, поступающего на вход записи РАЗР ЗАП /разрешение записи/ ИС ОЗУ. Если на вход РАЗР ЗАП подается высокий уровень сигнала, то по окончании времени доступа к памяти на выходных линиях ОЗУ появляется содержимое адреса, определяемого линиями А1÷А8. Эту информацию можно переписать в выходной регистр с помощью сигнала ПВР /перепись в выходной регистр/, вырабатываемого контрольной логикой модуля. Согласование выходного регистра с внешней шиной осуществляется с помощью драйверов ВШ, а с линиями чтения МК - READ с помощью драйверов МК.

Система адресации памяти состоит из указателя записи /УЗ/, счетчика данных /СД/ и генератора адреса /ГА/. Все эти устройства - 8-разрядные. УЗ является двоичным счетчиком, указывающим адрес следующей записи. Его содержимое АЗ /адрес записи/ увеличивается на единицу после каждой записи под действием заднего фронта сигнала ИЗП. В работе этого счетчика допускается переполнение, что дает возможность циклически использовать адресный диапазон памяти. Счетчик данных памяти СД построен в виде реверсивного счетчика, и его содержимое (N) показывает текущее количество слов, содержащихся в памяти. Содержимое СД увеличивается на единицу после каждой операции записи в память и уменьшается - после каждого чтения. Переполнение его недопустимо ни в сторону увеличения, ни в сторону уменьшения. При N = 0 память пуста, при N = 255 память заполнена. Генератор адреса, формирую-

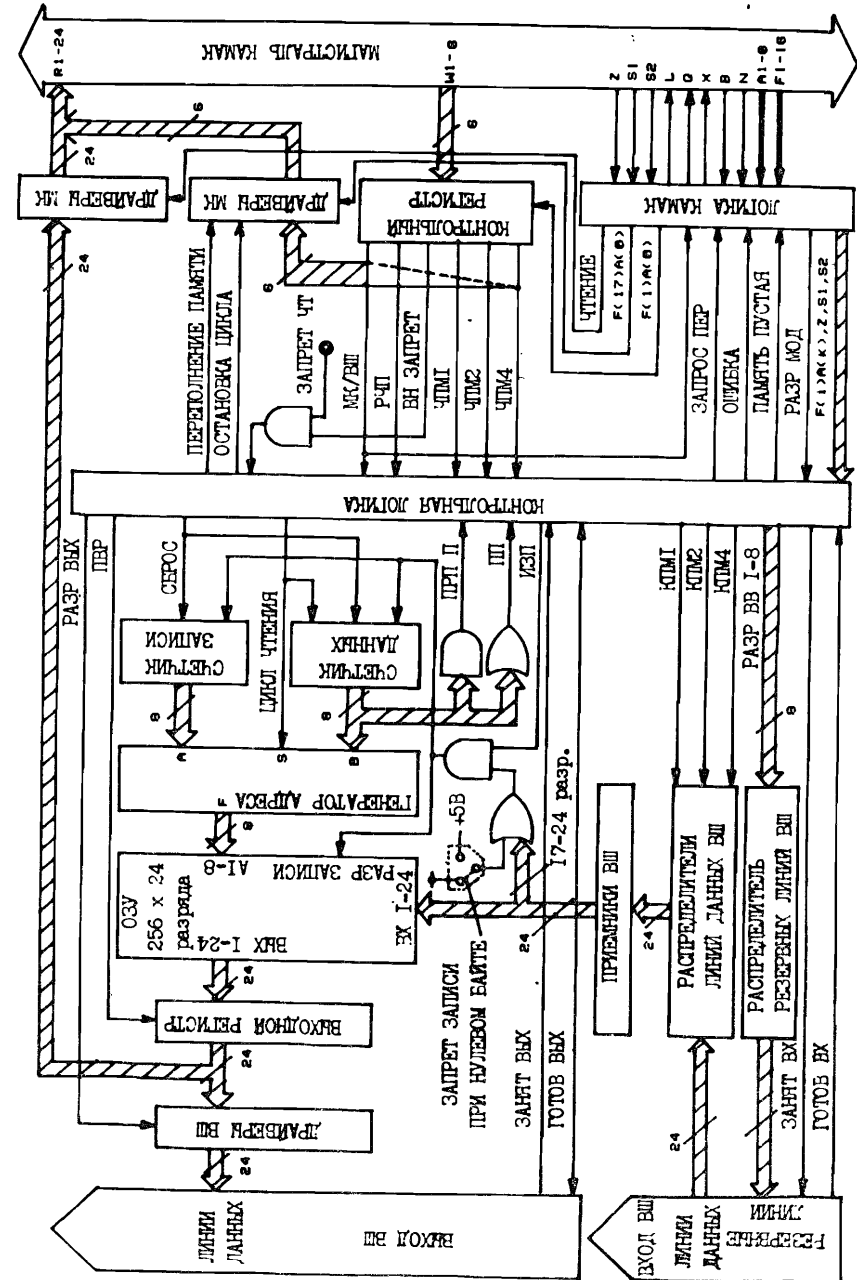


Рис. 1

щий адреса записи и чтения, является арифметическим элементом с изменяемыми функциями. На его вход А поступают данные от УЗ, а на вход В - данные от СД. Выходы F генератора адреса подключены к адресным линиям ИС ОЗУ. При записи ГА выполняет функцию $F = A = A3$, т.е. на адресных линиях памяти появляется следующий адрес записи АЗ. При чтении ГА выполняет следующую операцию: $F = (A - B) \bmod (256) = (A3 - N) \bmod (256)$. Число слов, содержащихся в памяти, равно разности записанных и считанных слов. Это соответствует разности адресов записи и чтения/АЧ/, т.е. $N = (A3 - A4) \bmod (256)$. Итак, $F = A4$, т.е. на адресных линиях памяти появляется адрес следующего слова чтения. Два блока, подключенных к выходу счетчика слов, следят как за его переполнением /РРП /, так и за его обнулением /ПП/.

Таким образом, описанная выше процедура обеспечивает организацию памяти FIFO, т.е. последовательную запись данных и чтение в очереди записи, а также циклическое использование адресного диапазона памяти. На рис. 2 представлены четыре основных случая генерации адресов памяти.

На рис. 2а показан случай, когда $A3 > A4$, т.е. следующее слово будет записано в 54 ячейку памяти. $N = 28$, т.е. в памяти находится 28 слов. $A4 = (A3 - N) \bmod (256) = 26$, значит, следующее чтение произойдет из 26 ячейки. Данные в памяти находятся в ячейках с 26 по 53.

На рис. 2б рассмотрен случай $A3 < A4$. Здесь $A3 = 21$, $N = 165$, $A4 = (A3 - N) \bmod (256) = 111$. Данные находятся в двух диапазонах памяти: 111 - 255 и 0 - 20.

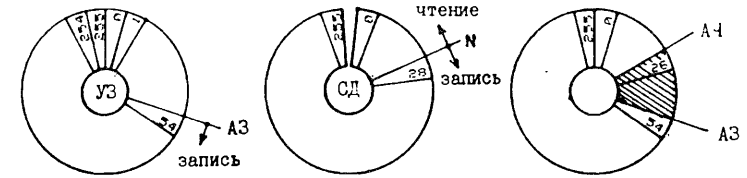
На рис 2в показан случай пустой памяти. Тогда $A3 = A4$, т.е. вместо сброса данных памяти достаточно совместить указатели записи и чтения. Это происходит под действием сигнала СБРОС, выдаваемого контрольной логикой при установке модуля в исходное состояние.

Рис.2г представляет случай переполнения памяти. Здесь $A3 = (A4 + 255) \bmod (256) = A4 - 1$, таким образом, мы можем использовать только 255 ячеек из 256. Если допустить использование всех 256 ячеек, то мы не смогли бы различить состояния пустой и переполненной памяти.

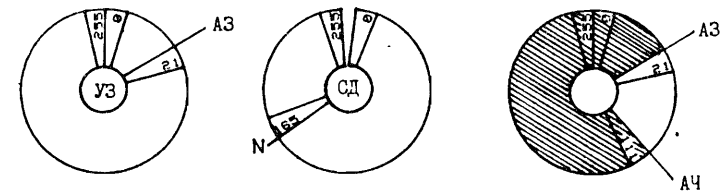
Обработка данных модулем промежуточной памяти состоит из двух частей: прием-запись и чтение-выдача данных. При организации этих процессов необходимо учитывать следующие условия:

- при запросе на прием данных для минимизации потерь нужно принимать их как можно быстрее;
- необходимо обеспечить выдачу данных, по мере их готовности, принимающим модулям, чтобы не допустить переполнения памяти;
- в связи с тем, что устройства, подключенные к входам и выходам модуля, работают независимо, запросы на выдачу и прием данных могут поступать в любое время, даже одновременно;
- запись и чтение организуются в одном и том же блоке памяти, поэтому эти два процесса одновременно выполняться не могут.

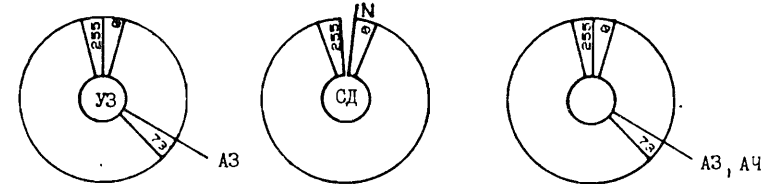
а) $A3 > A4$



б) $A3 < A4$



в) память пустая $A3 = A4$



г) память переполнена $A3 = A4 - 1$

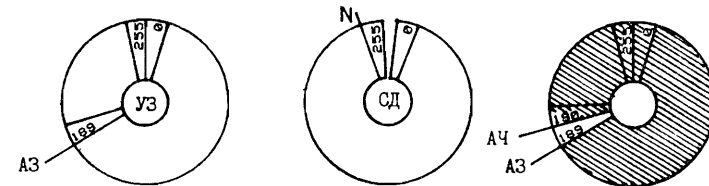


Рис. 2

Рассмотрим с помощью блок-схемы /рис. 3/ организацию потока данных через память. Из блок-схемы видно, что прием данных имеет приоритет по сравнению с выдачей данных. Этот приоритет может быть как статическим, так и динамическим. Статический приоритет означает, что в определенном диапазоне времени / при пиковых нагрузках/ запрещается чтение данных с помощью либо внешнего сигнала, либо соответствующего разряда контрольного регистра. В этом случае модуль способен принимать данные с максимальной скоростью, т.е. со временем цикла 200 нс. В случае динамического приоритета при одновременном появлении запросов на ввод и вывод данных модуль вначале обслуживает ввод и только затем приступает к выводу информации.

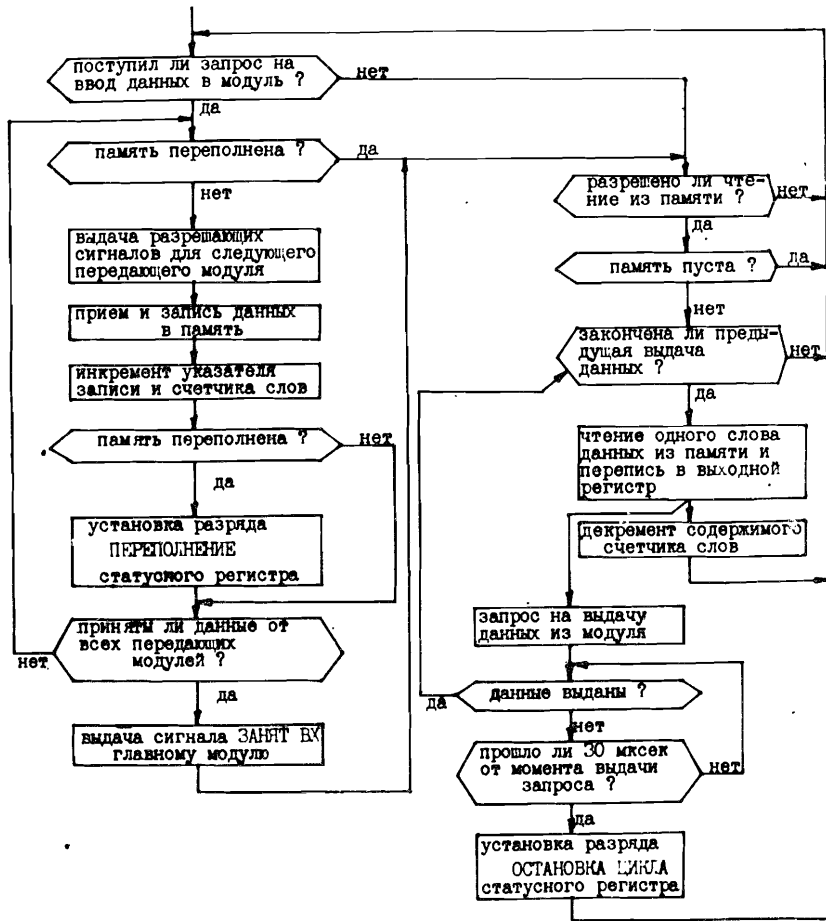


Рис. 3

Обслуживание запроса на ввод при работе в режиме распределения во времени можно считать законченным только тогда, когда модуль принял данные от каждого из передающих модулей. Если память не пустая и запрос для выдачи данных опережает запрос на ввод информации, то сначала произойдет чтение одного слова из памяти и запись его в выходной регистр модуля, и только после этого может начаться прием данных в память. Итак, в случае динамического приоритета мы не можем использовать максимальную скорость приема данных модулем. Для обеспечения большой скорости приема данных необходимы следующие условия:

- использование быстродействующих ИС памяти;
- постоянное разрешение работы памяти /чтобы не требовалось ожидание времени разрешения/;

- исключение ожидания времени доступа, потому что изменение адресов происходит в конце цикла памяти;
- прием данных и запись в память происходят в одном шаге, без использования входного регистра.

Одновременно с записью очередного слова данных в выходной регистр модуль инициирует также его выдачу из блока, причем новая перепись из памяти в выходной регистр не начнется до тех пор, пока не закончится выдача предыдущего слова. Чтение и выдача данных из памяти могут продолжаться /если разрешено чтение и нет запроса на ввод данных/ до тех пор, пока содержимое счетчика слов не станет равно нулю.

Передача данных через ВШ начинается сигналом ГОТОВ ВЫХ. Принимающий модуль сигнализирует о приеме данных сигналом ЗАНЯТ ВЫХ. Если это не происходит в течение 30 мкс, то устанавливается разряд ОСТАНОВ ЦИКЛА статусного регистра. Но имеется возможность вновь повторить передачу с помощью команды F/10/A/0/. Под действием этой команды сигнал ГОТОВ ВЫХ снимается и затем сразу восстанавливается.

Передача данных через МК инициируется с помощью сигнала LAM. Конец цикла чтения F/0/A/0/ показывает конец передачи данных. Согласование модуля с магистралью КАМАК^{3/} выполняется логикой КАМАК /ЛК/, которая выполняет следующие функции: а/ дешифрацию

команд; б/ разрешение и запрещение работы модуля; в/ обработку, разрешение и запрещение работы LAM; г/ выработку ответных сигналов X и Q. Принципиальная схема ЛК представлена на рис. 4.

Восьмиразрядный регистр управления и состояния служит для установления рабочих режимов и дает информацию о состоянии модуля. Назначение разрядов регистра:

- 1 - выборка направления выдачи данных МК/ВШ;
- 2 - РЧП разрешение чтения из памяти;
- 3 - ВН ЗАПРЕТ разрешает действие внешнего сигнала, под действием которого запрещается чтение из памяти;
- 4 - ЧПМ1 - младший разряд установления числа обслуживаемых передающих модулей;
- 5 - ЧПМ2 - второй разряд для установления числа обслуживаемых передающих модулей;

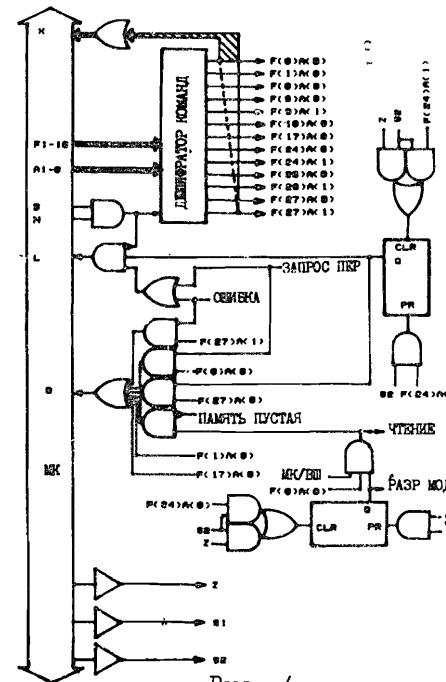


Рис. 4.

- 6 - ЧПМ4 - старший разряд для установления числа обслуживаемых передающих модулей;
 7 - переполнение памяти /читается с 11 линии READ МК/;
 8 - остановка цикла /читается с 12 линии READ МК/.
- Последние два разряда регистра дают информацию о состоянии модуля, поэтому они предназначены только для чтения.

Для управления работой блока используются следующие команды КАМАК:

- F/0/A/0/ - чтение данных из выходного регистра модуля, X = 1, Q = 1;
 F/1/A/0/ - чтение регистра управления и состояния, X = 1, Q = 1;
 F/8/A/0/ - проверка LAM, X = 1, Q = 1, в случае запроса на выдачу данных через МК;
 F/9/A/0/ - сброс модуля;
 F/9/A/1/ - сброс 11 и 12 разрядов регистра управления и состояния;
 F/10/A/0/ - повторение запроса на выдачу данных через ВШ;
 F/17/A/0/ - запись в контрольный регистр, X = 1, Q = 1;
 F/24/A/0/ - запрет работы модуля;
 F/24/A/1/ - маскирование LAM;
 F/26/A/0/ - разрешение работы модуля;
 F/26/A/1/ - разрешение LAM;
 F/27/A/0/ - проверка маски LAM, X = 1, Q = 1, если LAM не маскирован;
 F/27/A/1/ - тест ошибки, ОШИБКА = ПЕРЕПОЛНЕНИЕ + ОСТАНОВ ЦИКЛА, Q = 1, если ОШИБКА = 1;

ZS2 - сброс модуля;

LAM = /ОШИБКА + ЗАПРОС ВЫДАЧИ ЧЕРЕЗ МК/ X разрешение LAM.

Модуль занимает один блок КАМАК единичной ширины, на передней панели блока находятся входной и выходной разъемы ВШ и коаксиальный разъем ЗАПРЕТ ЧТ для приема внешнего сигнала. Модуль содержит 86 ИС, потребляемый ток 1,8 А от источника + 6В.

ЛИТЕРАТУРА

1. Бойа Я. и др. Сообщение ОИЯИ, P10-86-574, Дубна, 1986.
2. TUNGSRAM Integrated Circuits 1979, Bipolar Memories, p.4-6.
3. Modular Instrumentation and Digital Interface System /CAMAC/ ANSI/IEEE STD 583-1975, 1975.

Рукопись поступила в издательский отдел
 11 декабря 1986 года.

Бойа Я. и др.
 Модульная система для накопления
 спектрометрической информации.
 Промежуточная память

P10-86-777

Описана быстродействующая полупроводниковая память /265x24 p./ для системы накопления данных. Организация циклов чтения и записи информации сделана по типу FIFO. Прием и передача информации производится через специальную внешнюю шину. Кроме того, можно передавать данные из модуля памяти через магистраль КАМАК.

Работа выполнена в Лаборатории нейтронной физики ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1986

Перевод О.С.Виноградовой

Boja J. et al.
 Modular System for Spectrometrical
 Data Acquisition. FIFO

P10-86-777

A 256 x 24 bit high speed buffer memory of a CAMAC Data Acquisition System is described having a FIFO (First In-First Out) organisation. For the data input and output a specialised high speed auxiliary Data Acquisition Bus is used. Data output is possible through the CAMAC Dataway too.

The investigation has been performed at the Laboratory of Neutron Physics, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1986