

85-922



СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА

A 729

P10-85-922

В.А.Антохов, Д.Василев, Н.И.Журавлев,
Б.С.Краснобородов, Т.Опалек, А.В.Саламатин*,
В.Т.Сидоров, А.Н.Синаев, А.А.Стахин,
Хан Тхек Сук, И.Н.Чурин

ЦИФРОВЫЕ БЛОКИ В СТАНДАРТЕ КАМАК
(Выпуск XIII)

* Институт ядерной физики АН УзССР, Ташкент

1985

В настоящей работе публикуются краткие характеристики и блок-схемы 13-й серии цифровых блоков в стандарте КАМАК, разработанных в Лаборатории ядерных проблем ОИЯИ.

Обозначение каждого блока состоит из двух букв и трех цифр. Первая буква К постоянна для всех блоков и означает, что блок выполнен в стандарте КАМАК. Вторая буква показывает принадлежность блока к определенному классу. Разделение на классы, в основном, соответствует классификации комитета ЭЗОНЕ /см. таблицу/. Цифры означают номер разработки.

Таблица

Код ЛЯП	Код ЭЗОНЕ	Класс блока
КА	16	Аналоговая обработка информации
КВ	13	Вывод цифровых данных
КИ	14	Интерфейсы внешних устройств, индикаторы
КК	2;3	Контроллеры, интерфейсы магистралей, драйверы ветви
КЛ	15	Логическая /цифровая/ обработка информации
КМ	-	Управляющие блоки с микропроцессорами
КП	17	Блоки, не вошедшие в другие группы
КР	12	Параллельный ввод цифровых данных
КС	11	Последовательный ввод цифровых данных
КУ	232;27	Вспомогательные блоки управления
КЭ	-	Интерфейсы ЭВМ

Ниже приводится список блоков, рекомендуемых для использования в новых системах. Римские цифры I-XII означают соответственно номера ранее опубликованных выпусков/1-12/, а цифра XIII - настоящий выпуск. Вторая цифра означает номер страницы в соответствующей публикации.



1. КА 001 - преобразователь заряд-код /2x255 каналов/	V-6
2. КА 002 - коммутатор аналоговых сигналов /0+100 мкА/	V-8
3. КА 003 - коммутатор аналоговых сигналов /-6 В±6 В/	V-10
4. КА 004 - коммутатор аналоговых сигналов /0+127 В/	VI-6
5. КА 007 - преобразователь амплитуда-код /8192 канала/	VIII-4
6. КА 009 - цифро-аналоговый преобразователь /2x10 бит/	X-4
7. КА 010 - преобразователь заряд-код /8x255 каналов/	XI-4
8. KB 002 - выходной регистр /2x16 бит, ТТЛ/	III-4
9. KB 003 - выходной регистр /16 бит, НИМ/	IV-6
10. KB 004 - часы	V-12
11. KB 005 - генератор импульсов /1 Гц ± 20 МГц/	V-14
12. KB 006 - выходной релейный регистр /2x16 бит/	XI-6
13. KI 001 - индикатор магистрали /16 бит/	I-17
14. KI 010 - параллельный интерфейс дисплея ВТ-340	V-18
15. KI 011 - интерфейс графического дисплея	V-20
16. KI 012 - интерфейс перфоратора ПЛ-80, ПЛ-150	V-22
17. KI 013 - интерфейс фотосчитывателя ФС-1501	VI-12
18. KI 015 - регистр ввода-вывода /16 бит, ТТЛ/	VI-16
19. KI 016 - интерфейс многоканальных анализаторов	VII-8
20. KI 018 - вывод информации с проволочных камер	VII-12
21. KI 021 - последовательная межкрейтная связь	VII-18
22. KI 022 - последовательная межкрейтная связь	VII-20
23. KI 023 - интерфейс матричного АЦПУ	VII-22
24. KI 025 - последовательный токовый интерфейс	VIII-6
25. KI 026 - индикатор магистрали /24 бита/	VIII-8
26. KI 027 - интерфейс графопостроителя	VIII-10
27. KI 029 - интерфейс цветного телевизионного монитора	IX-4
28. KI 030 - интерфейс координатного шара	IX-6
29. KI 031 - интерфейс НМЛ ИЗОТ 5003/5005	IX-8
30. KI 032 - вывод на цифropечатающее устройство МПУ-16	IX-10
31. KI 033 - интерфейс черно-белого телевизора	X-6
32. KI 034 - формироваель полутонного изображения	X-8
33. KI 035 - вывод на цифropечатающее устройство БЗ-15	X-10
34. KI 036 - малогабаритный графический дисплей	XI-7
35. KI 037 - интерфейс перфоленточной станции СМ-6204	XI-8
36. KI 038 - интерфейс дисплея анализатора /16 бит/	XII-4
37. KI 039 - интерфейс КНМЛ РК-1	XII-6
38. KI 040 - интерфейс КНМЛ КРР-800	XII-8
39. KI 041 - последовательный интерфейс для КМ 002	XI-10
40. KI 043 - преобразователь шин ЭВМ	XII-10
41. KI 044 - интерфейс дисплея анализатора /24 бита/	XIII-4
42. KI 045 - интерфейс НГМД	XIII-6
43. KK 001 - контроллер с фиксированными программами	I-18
44. KK 003 - проверочный контроллер	I-22
45. KK 004 - универсальный контроллер крейта	III-8
46. KK 005 - контроллер крейта типа А1	V-24
47. KK 006 - управление магистралью для микро-ЭВМ КМ 001	VIII-14
48. KK 007 - интерфейс магистрали	IX-12
49. KK 008 - драйвер ветви	X-12
50. КЛ 001 - коммутатор логич.импульсов /16 вх., 1 вых./	III-10
51. КЛ 002 - управляемая задержка /0,5±63 нс/	III-12
52. КЛ 003 - коммутатор логич.импульсов /9 вх., 9 вых./	IV-18
53. КЛ 004 - буферный накопитель /64x16 бит/	V-26

54. КЛ 006 - буферный накопитель /1Кx16 бит/	VIII-16
55. КЛ 010 - управление последовательной записью в память	X-16
56. КЛ 011 - коммутатор логич.импульсов /1 вх., 8 вых./	VIII-20
57. КЛ 013 - управление произвольным доступом к памяти	X-20
58. КЛ 014 - управление последовательной записью в память	XI-12
59. КЛ 015 - оперативная память микро-ЭВМ /32Кx16 бит/	X-22
60. КЛ 016 - стираемая постоянная память /32К байт/	XI-14
61. КЛ 017 - преобразователь длины слов /24 бита - в 16/	XI-16
62. КЛ 018 - управление инкрементной записью в память	XII-14
63. КЛ 019 - управление инкрементной записью в память	XII-8
64. КЛ 020 - оперативная память /4Кx16 бит/	XII-16
65. КЛ 021 - управление многомерными измерениями	XII-18
66. КЛ 022 - цифровые окна /16 окон по 12 бит/	XII-10
67. КЛ 023 - оперативная память микро-ЭВМ /48Кx8 бит/	XII-20
68. КЛ 024 - оперативная память /4Кx24 бит/	XII-12
69. КЛ 026 - оперативная память микро-ЭВМ /16Кx8 бит/	XIII-14
70. КЛ 027 - преобразователь уровней НИМ-ТТЛ и ТТЛ-НИМ	XII-16
71. КЛ 028 - разветвитель сигналов с уровнями ТТЛ	XIII-17
72. КМ 001 - микро-ЭВМ на основе БИС серии КР580	VIII-22
73. КМ 002 - микро-ЭВМ на основе БИС серии К581	X-24
74. КП 002 - контроль напряжений питания крейта	VI-22
75. КП 003 - источник питания /+12 В, 2 А/	VII-26
76. КП 004 - программатор ППЗУ типа 74188	XII-22
77. КП 005 - программатор ППЗУ типа К155РЕ3 и К556РТ4	XI-18
78. КП 006 - терминатор ветви КАМАК	XI-20
79. КП 007 - терминатор шины малых и микро-ЭВМ	XI-21
80. КП 008 - программатор СППЗУ типа К573РФ1 и К573РФ2	XIII-18
81. КР 002 - регистр констант /16 бит/	II-8
82. КР 005 - входной регистр /2x16 бит, ТТЛ/	II-14
83. КР 007 - входной регистр /16 бит, ТТЛ/	IV-20
84. КР 009 - регистр контрольных слов /16 бит/	V-28
85. КР 010 - регистр констант /8 декад/	VI-23
86. КР 011 - входной регистр /16 бит, 10 нс, НИМ/	VIII-24
87. КС 002 - двоичный счетчик /25 МГц, 2x16 бит/	I-6
88. КС 008 - двоичный счетчик /25 МГц, 8x8 бит/	II-16
89. КС 011 - счетчик-измеритель времени /25 МГц, 16 бит/	III-18
90. КС 013 - установочный счетчик /20 МГц, 10 декад/	III-22
91. КС 014 - десятичный счетчик /25 МГц, 4x8 декад/	III-24
92. КС 017 - двоичный счетчик /25 МГц, 4x16 бит/	VI-24
93. КС 018 - десятичный счетчик /100 МГц, 12 декад/	VII-28
94. КС 019 - двоичный счетчик /25 МГц, 8x16 бит/	IX-14
95. КС 020 - двоичный счетчик /150 кГц, 16x16 бит/	IX-16
96. КС 021 - двоичный счетчик /200 МГц, 2x32 бит/	IX-18
97. КС 022 - счетчик-интенсиметр /100 МГц, 8 декад/	IX-20
98. КС 023 - двоичный счетчик /80 МГц, 16 бит/	XI-22
99. КУ 002 - внешнее управление	II-20
100. КУ 004 - грейдер сигналов I для КК 005	III-26
101. КУ 006 - грейдер сигналов I для КК 001	IV-28
102. КУ 008 - одноадресное чтение	VI-26
103. КУ 009 - контрольный сумматор /16 бит/	VIII-26
104. КЭ 001 - интерфейс ЭВМ СМ-3 и СМ-4 по КПД	IX-22
105. КЭ 002 - интерфейс ЭВМ "Электроника-60" по КПД	IX-24
106. КЭ 003 - интерфейс ЭВМ "Электроника-60" по ПК	IX-26

Ширина блока - 17,2 мм.

Назначение: подключение НГМД, имеющих промежуточный интерфейс, предназначенный для связи с СМ ЭВМ, к магистрали крейта.

Пересылка данных выполняется по алгоритмам, принятым в СМ ЭВМ.

Связь с НГМД производится через имеющиеся в его контроллере регистры управления и статуса /РУС/ и буферный регистр данных /РБД/.

Через РБД производится доступ к 5 внутренним регистрам контроллера НГМД: регистру адреса дорожки /РАД/, регистру адреса сектора /РАС/, регистру данных /РД/, регистру ошибок и состояния /РОС/, регистру ошибок /РОШ/, а также к буферу данных /БД/ объемом 128 байт.

Коды операций, записываемых в РУС, имеют следующие значения:

- | | |
|-----------------------|------------------------|
| 000 - загрузка БД; | 100 - не используется; |
| 001 - разгрузка БД; | 101 - чтение РОС; |
| 010 - запись сектора; | 110 - не используется; |
| 011 - чтение сектора; | 111 - чтение РОШ. |

Для связи с НГМД используется разъем РП15-32 со следующим распределением контактов:

- | | |
|---------------------------------|--------------------------------|
| 3 - Rx ERROR - ошибка; | 22 - Rx SHIFT - сдвиг; |
| 5 - SP INIT - сброс /из блока/; | 25 - Rx OUT - вывод; |
| 7 - Rx TRREQ - запрос передачи; | 28 - Rx DONE - конец операции; |
| 11 - Rx INIT - сброс /в блок/; | 30 - Rx DATA - данные; |
| 12,15,17 - корпус; | 32 - Rx RUN - пересылка. |

Данные передаются в обе стороны байтами последовательно по битам по линии Rx DATA с помощью сигнала Rx SHIFT.

При передаче данных из НГМД выставляется сигнал Rx OUT.

Остальные линии используются для сигналов управления и статуса.

В некоторых типах НГМД сигнал SP INIT может отсутствовать.

Назначение разрядов РУС и РБД, линий R и W приведено в таблице.

Блок содержит следующие основные узлы:

- буферы для связи с шиной НГМД и магистралью крейта;
- сдвиговый регистр, преобразующий данные из параллельной формы в последовательную и обратно в зависимости от направления передачи;
- мультиплексор для коммутации данных, читаемых с разных регистров;
- узел формирования байта записи с добавлением бита четности;
- узел управления, осуществляющий алгоритмы пересылки информации;
- триггер блокировки сигнала L.

При записи на диск сначала выполняется операция загрузки БД путем подачи в РБД байтов по сигналам запроса передачи до появления сигнала конца операции, а затем подается сигнал L. Далее выполняется операция записи сектора, причем после 1-го запроса передачи в РБД заносится адрес сектора, а после 2-го - адрес дорожки. При ошибке поиска сектора или дорожки процедура повторяется 10 раз и выдается сигнал ошибки.

При чтении с диска сначала выполняется операция чтения сектора, а затем - разгрузки БД, которые производятся аналогично вышеописанным.

Сигнал Z устанавливает блок в исходное состояние.

Блок выполняет следующие команды с магистрали:

- | | |
|---------------------------|-----|
| NA(0)F(0) - чтение РУС | Q=1 |
| NA(1)F(0) - чтение РБД | Q=1 |
| NA(0)F(16) - запись в РУС | Q=1 |
| NA(1)F(16) - запись в РБД | Q=1 |

Потребляемый ток: 0,75 А - по цепи +6 В.



	R/W	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
НАФ	D	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ЗАПИСЬ В РУС NA(0)F(16)		×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
ЧТЕНИЕ РУС NA(0)F(0)		×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
ЗАПИСЬ В РБД NA(1)F(16)		×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
ЧТЕНИЕ РБД NA(1)F(0)		×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

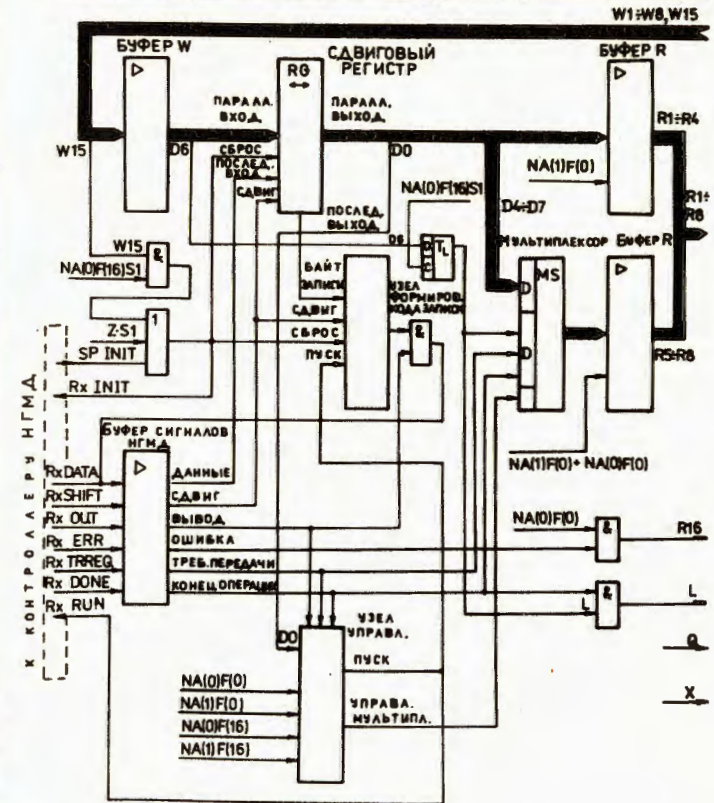


Рис.2. Передняя панель и блок-схема интерфейса НГМД КИ 045.

Ширина блока - 17,2 мм.

Назначение: организация инкрементной записи в память кодов, поступающих от АЦП, а также наблюдения и вывода содержимого памяти.

Поступающие коды данных могут содержать до 12 бит, а память может иметь до 8 участков емкостью по 4К 24-разрядных слов.

Адрес ячейки памяти содержит 15 бит, из них биты A14÷A12 определяют участок памяти, а A11÷A0 - ячейку в выбранном участке.

Режимы работы блока: накопление, наблюдение, накопление с наблюдением, вывод в магистраль, запись с магистрали, очистка памяти.

Режим наблюдения устанавливается клавишей, режим записи с магистрали - командой ЭВМ, остальные - обоими способами; режим вывода в магистраль может начинаться также по сигналу "Конец экспозиции".

При работе режима накопления включается лампочка.

В режиме накопления по сигналу "Вызов" добавляется 1 к содержимому ячейки памяти, адрес которой задается кодом от АЦП; для этого используется регистр адреса 1, регистр данных, триггеры Трег, Тчт, Тзап.

В режиме наблюдения по сигналу "+1 адреса" добавляется 1 к содержимому регистра адреса 2; при достижении участка памяти, выделенного для наблюдения, эта операция производится сигналами "Запрос" одновременно с выводом содержимого очередной ячейки памяти на шины D23÷D0 через регистр данных.

При одновременном включении режимов накопления и наблюдения обе операции выполняются совместно, причем для наблюдения используются интервалы времени, свободные от накопления поступающих данных.

В режиме вывода в магистраль из блока подается сигнал L и по командам F(0) на шины R1÷R16 в режиме ULS последовательно выводится содержимое ячеек памяти, начиная с нулевой или с адреса, заданного командой F(17), причем сначала выводятся биты 1÷16, а затем 17÷24, т.е. каждое слово передается двумя командами; для этого используются регистр адреса 2, регистр данных, триггеры Тсв, Тчт, Тпер, ТL и TQ.

В режиме записи с магистрали по командам F(16) с шин W1÷W16 производится запись данных в последовательные ячейки памяти, начиная с адреса, заданного командой F(17), причем сначала подаются биты 1÷16, а затем - 17÷24; для этого используется регистр адреса 2, регистр данных, триггеры Тсв, Тзап, Тпер, ТL и TQ.

В режиме очистки производится поочередная установка в "0" всех ячеек памяти, для чего используются регистр адреса 2 и триггер Точ.

Связь с АЦП производится через разъем РП15-23, с памятью - через разъем РПМ1-44, а с интерфейсом дисплея - через разъем РП15-32; распределение контактов разъемов приведено в описании указанных блоков.

Сигнал Z устанавливает в "0" все регистры и триггеры блока.

Блок выполняет следующие команды с магистрали:

- | | |
|--|-----|
| NA(0)F(0) - чтение данных | Q=1 |
| NA(0)F(8) - проверка наличия сигнала L | Q=L |
| NA(0)F(9) - пуск режима "Очистка памяти" | Q=0 |
| NA(0)F(10) - сброс триггера L | Q=0 |
| NA(0)F(16) - запись в регистр данных | Q=1 |
| NA(0)F(17) - запись в регистр адреса 2 | Q=1 |
| NA(0)F(24) - запрет режима "Накопление" | Q=0 |
| NA(0)F(26) - установка режима "Накопление" | Q=0 |

Потребляемый ток: 1,7 А по цепи +6 В и 60 мА по цепи -6 В.

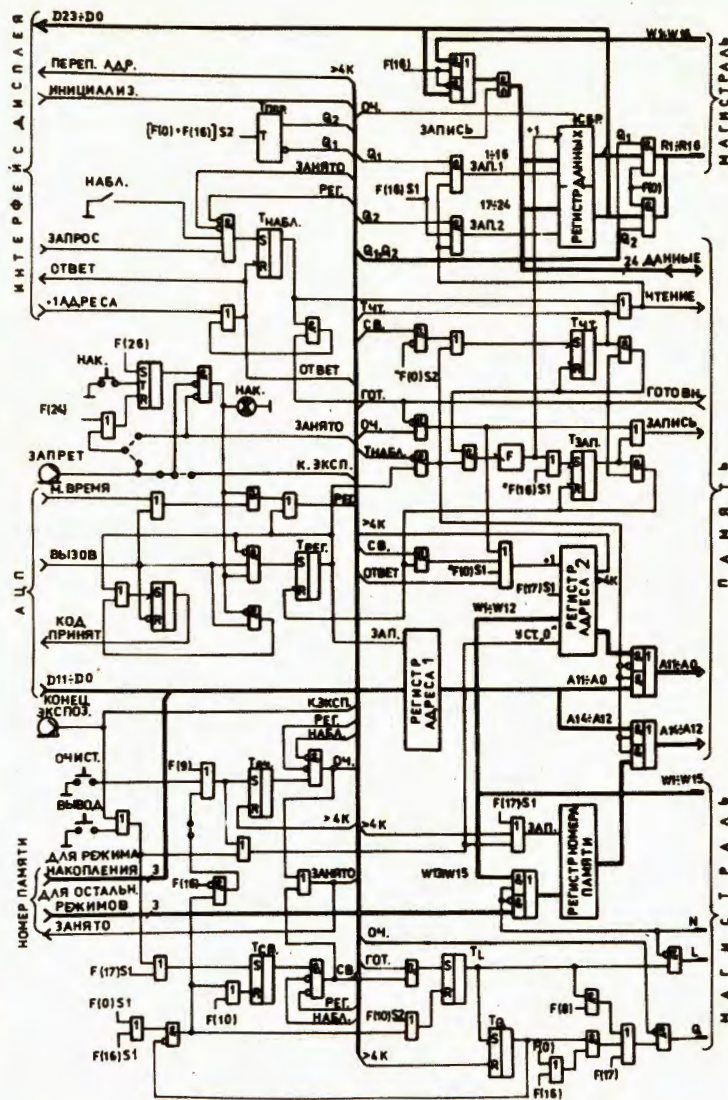


Рис.3. Передняя панель и блок-схема управления инкрементной записью в память КЛ 019.

ОПЕРАТИВНАЯ ПАМЯТЬ КЛ 024

Ширина блока - 17,2 мм.

Блок содержит 4К 24-разрядных слов ОЗУ статического типа.

Цикл обращения к памяти составляет 500 нс.

Память выполнена на КМОП микросхемах КР537РУ2, имеющих структуру 4К x 1 бит.

Восемь блоков КЛ 024 могут работать совместно, образуя память емкостью 32К 24-разрядных слов.

Номер блока устанавливается переключателем на передней панели.

Связь блока с магистралью осуществляется только по питанию.

Подача адреса, пересылка данных и установка режима работы производятся с помощью отдельного блока управления памятью.

Адрес ячейки памяти содержит 15 бит.

Биты А14÷А12 служат для выбора одного из 8 блоков памяти.

Биты А11÷А0 определяют ячейку памяти внутри блока.

При записи данных выполняются следующие действия:

- из блока управления памятью подаются адрес по шинах А14÷А0, данные по двунаправленным шинам D23÷D0 и сигнал "Запись", поступающий на входы WE схем памяти;
- запускается одновибратор G1, дающий импульс длительностью 350 нс;
- импульс одновибратора поступает на вход CS схем памяти, образуя строб-импульс записи;
- по окончании импульса одновибратора появляется сигнал "Готовность", который прекращается после снятия сигнала "Запись".

При чтении данных выполняются следующие действия:

- из блока управления памятью подаются адрес по шинах А14÷А0 и сигнал "Чтение";
- запускается одновибратор G1, дающий импульс длительностью 350 нс;
- импульс одновибратора поступает на вход CS схем памяти, образуя строб-импульс чтения;
- на шинах D23÷D0 появляются считанные данные;
- по окончании импульса одновибратора появляется сигнал "Готовность", который прекращается после снятия сигнала "Чтение".

Связь с блоком управления памятью производится через разъем РПММ1-44 на передней панели со следующим распределением контактов:

- | | |
|------------------------------|----------------------------------|
| 1÷15 - адрес; | 42 - вход сигнала "Чтение"; |
| 17÷40 - входы/выходы данных; | 43 - выход сигнала "Готовность"; |
| 41 - вход сигнала "Запись"; | 44 - корпус. |

В блоке предусмотрено сохранение данных в памяти при снятии напряжения питания $U_{осн} = 6$ В с магистрали крейта.

Для этого используется резервное питание микросхем ОЗУ от внешнего источника с напряжением $E_5 = +(2\pm 4,5)$ В.

ОЗУ защищено от случайной записи в момент включения или выключения $U_{осн}$, поскольку при $U_{осн} \leq 4,75$ В сигналы CS и WR удерживаются на уровне E_5 .

В качестве резервного питания могут быть использованы или три последовательно включенных элемента Д-0,1 на плате блока, или источник любого типа, подключаемый через коаксиальный разъем на задней панели.

Потребляемый ток: 700 мА по цепи +6 В,

или 0,1 мА от источника +3 В /в режиме хранения/.

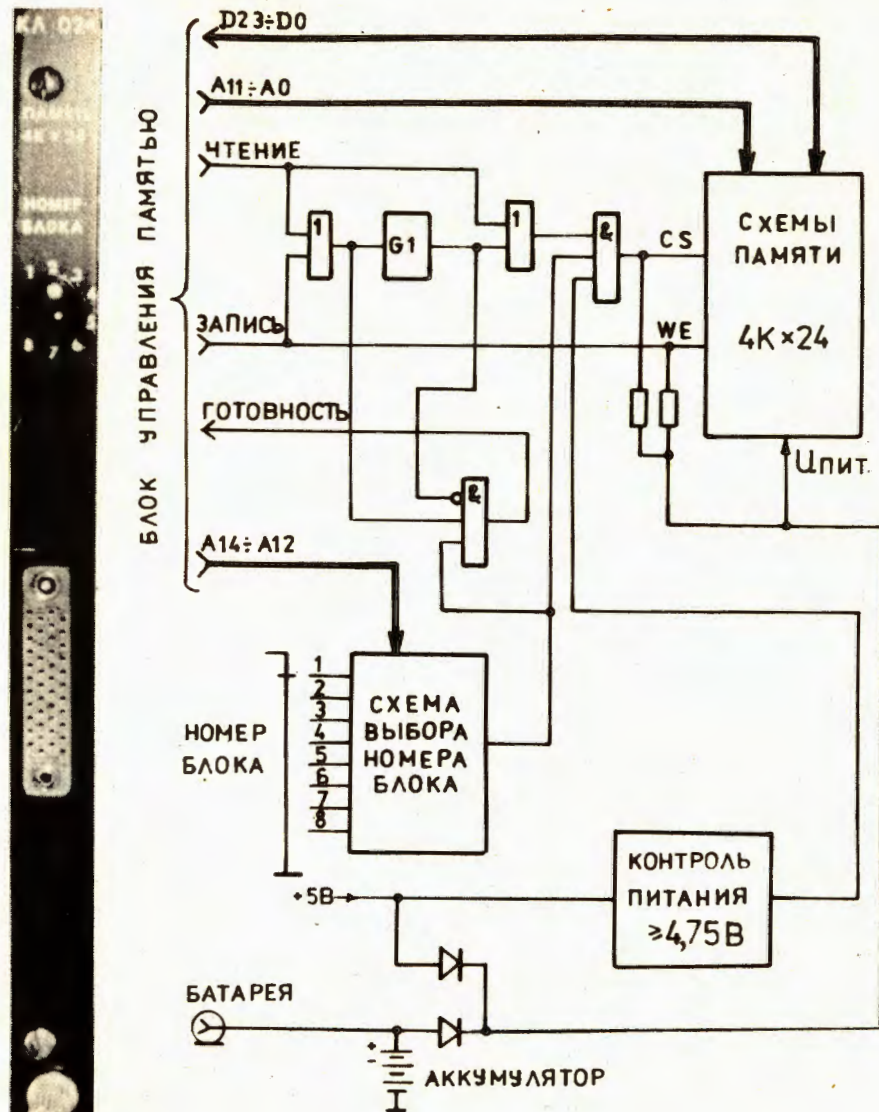


Рис.5. Передняя панель и блок-схема оперативной памяти КЛ 024.

Ширина блока - 17,2 мм.

Назначение: работа совместно с микро-ЭВМ КМ 001.

Блок содержит 16К байт ОЗУ статического типа с возможностью расширения на плате до 32К.

Память выполнена на КМОП микросхемах типа КР537РУ2, имеющих структуру 4К x 1 бит.

Связь блока с магистралью осуществляется только по питанию.

Управление памятью производится по шине микро-ЭВМ, подключаемой через разъем РП15-50; одноименные контакты двух таких разъемов, установленных на передней панели, соединены между собой. Назначение контактов приведено в сообщении ОИЯИ Р10-12481 за 1979 год.

С помощью двух перемычек П1 начало адресного поля выбирается равным 0, 4000Н, 8000Н или С000Н; третья перемычка П1 устанавливается при расширении объема ОЗУ в пределах до 32К байт.

К микро-ЭВМ может подключаться до 7 блоков ОЗУ; номер блока /0÷6/ устанавливается перемычкой П2.

Адрес подается в блок по линиям А15÷А0 через буфер адреса.

Биты А15 и А14 задают положение адреса в адресном поле; если этот адрес находится внутри поля, выбранного тремя перемычками П1, то при подаче команды MEMR или MEMW на выходе дешифратора ДШ1 возникает разрешающий сигнал.

Биты А14÷А12 подаются на дешифратор ДШ2 для выбора одной из восьми групп ячеек памяти, содержащих по 4К байт, с помощью сигналов CS0÷CS7.

Биты А11÷А0 определяют байт памяти внутри группы.

Двунаправленные линии данных D7÷D0 подсоединены к буферу данных. Буфер данных открыт при наличии сигнала с дешифратора ДШ1 или команды IOW; при этом в шину микро-ЭВМ подается сигнал READY.

При наличии команды MEMR данные выдаются из памяти по линиям D0, а при ее отсутствии подаются на входы памяти по линиям DI. Запись в память производится сигналом WE, возникающим при наличии команды MEMW.

Сигнал инициализации RESET устанавливает в "0" триггер включения ОЗУ Твкл и триггер разрешения записи Тзап.

Включение нужного блока ОЗУ производится командой OUT 80Н, подаваемой по линии IOW и линиям адреса А7÷А0, если на линиях данных D6÷D0 содержится "1" в бите, соответствующем номеру, присвоенному ОЗУ.

Запись данных может производиться только в том случае, если бит D7 при указанной команде находился в "1".

В блоке предусмотрено сохранение данных в памяти при снятии напряжения питания Uосн = 6 В с магистрали крейта.

Для этого используется резервное питание микросхем ОЗУ от внешнего источника питания с напряжением EБ = +(2÷4,5) В.

ОЗУ защищено от случайной записи в момент включения или выключения Uосн, поскольку при Uосн ≤ 4,75 В сигналы CS0÷CS7 и WE удерживаются на уровне EБ.

В качестве резервного питания может быть использован источник любого типа, подключаемый через коаксиальный разъем на задней панели.

Потребляемый ток: 5 мА по цепи +24 В, 350 мА по цепи +6 В

и 5 мА по цепи -24 В;

или 0,1 мА от источника +3 В /в режиме хранения/.

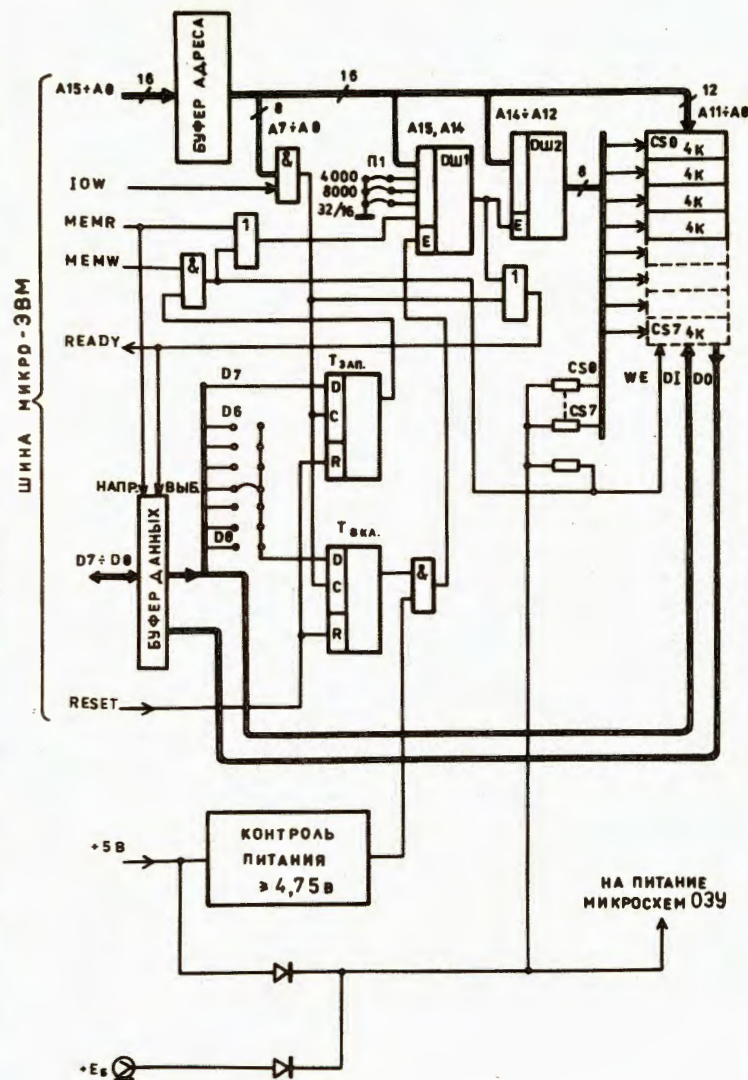


Рис.6. Передняя панель и блок-схема оперативной памяти КЛ 026.

ПРЕОБРАЗОВАТЕЛЬ УРОВНЕЙ КЛ 027

Ширина блока - 17,2 мм.

В блоке осуществляются следующие функции:

- преобразование сигналов с уровнями НИМ в сигналы с уровнями ТТЛ;
- преобразование сигналов с уровнями ТТЛ в сигналы с уровнями НИМ.

Блок содержит по 4 преобразователя каждого типа.

На входах и выходах всех преобразователей наличие сигнала соответствует низкий потенциал.

Для преобразователей НИМ - ТТЛ:

- входное сопротивление - 50 Ом;
- длительность входных импульсов - ≥ 20 нс;
- выходной ток - ≤ 16 мА.

Для преобразователей ТТЛ - НИМ:

- входное сопротивление - 500 Ом;
- длительность входных импульсов - ≥ 20 нс;
- выходной ток - 16 мА.

Входные и выходные сигналы всех преобразователей выведены на переднюю панель блока через коаксиальные разъемы.

Потребляемый ток: 70 мА по цепи +6 В и 160 мА по цепи -6 В.

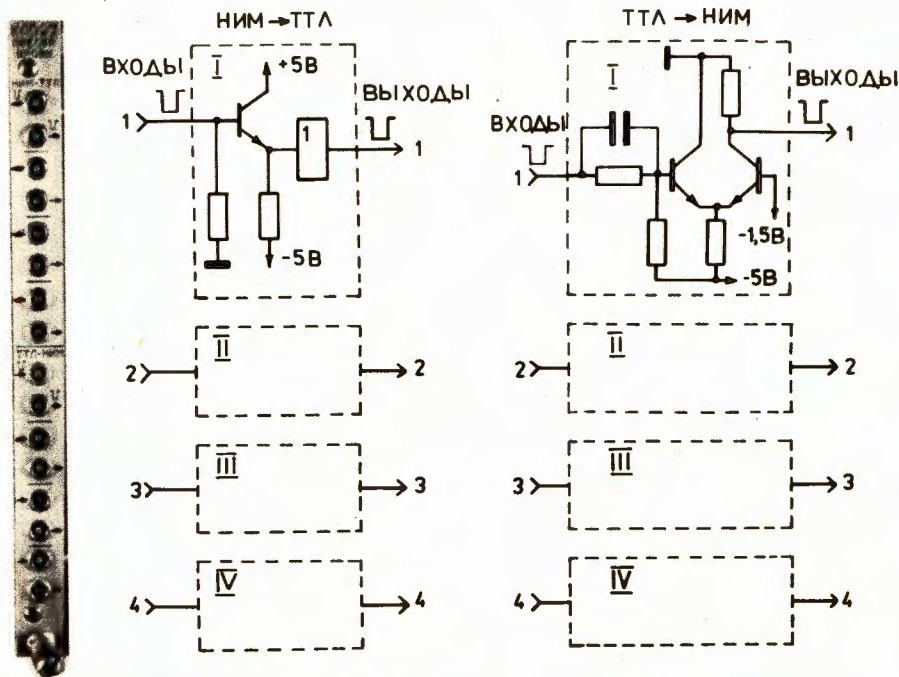


Рис. 7. Передняя панель и блок-схема преобразователя уровней КЛ 027.

РАЗВЕТВИТЕЛЬ СИГНАЛОВ КЛ 028

Ширина блока - 17,2 мм.

Блок предназначен для разветвления сигналов с уровнями ТТЛ.

В блоке содержится 4 одинаковых разветвителя.

Наличие сигнала на входе разветвителя должен соответствовать низкий потенциал.

Каждый разветвитель имеет по 3 выхода, на двух из которых наличие сигнала соответствует низкий потенциал, а на третьем - высокий.

Длительность входных импульсов - ≥ 30 нс.

Задержка выходных импульсов - ≤ 20 нс.

Выходной ток - ≤ 48 мА.

Все входные и выходные сигналы выведены на переднюю панель через коаксиальные разъемы.

Потребляемый ток: 70 мА по цепи +6 В.

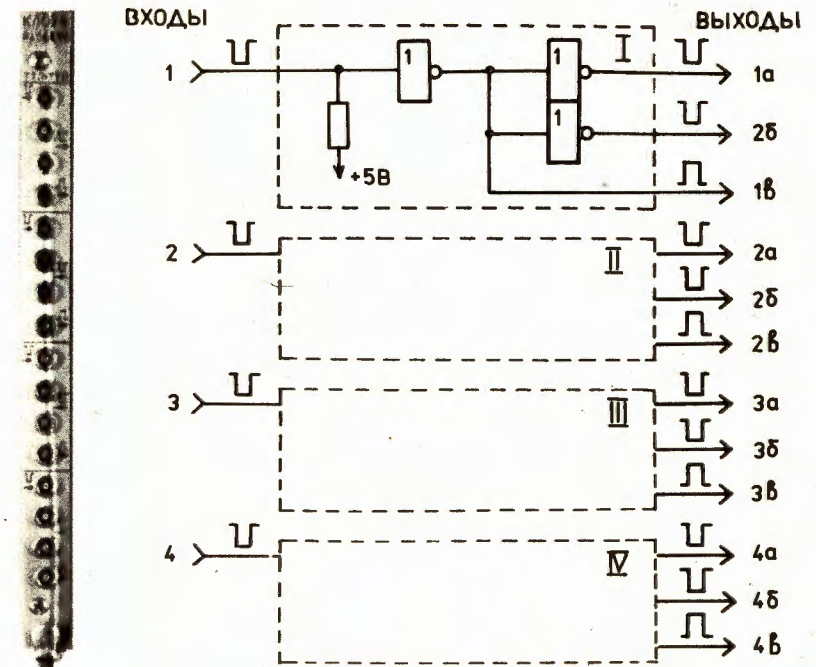


Рис. 8. Передняя панель и блок-схема разветвителя сигналов КЛ 028.

Ширина блока - 34,4 мм.

Назначение: запись данных в СППЗУ типов К573РФ1 и К573РФ2.

Программируемое СППЗУ устанавливается в разъем на передней панели.

Все ячейки незапрограммированного СППЗУ находятся в состоянии "1".

Программирование производится по байтам.

Переключатель П1 должен находиться в положении, соответствующем типу программируемого СППЗУ.

Переключателем П2 выбирается один из двух режимов работы блока:

- "Программирование" - возможны запись и чтение записанных данных;
- "Чтение" - возможно только чтение записанных данных.

В обоих режимах начальный адрес заносится в адресный регистр по команде F(17) с шин W1=W11.

В режиме "Программирование" подается сигнал L, который блокируется триггером T_{блL} по команде F(24) и разблокируется по команде F(26).

По команде записи F(16) производятся следующие операции:

- снимается сигнал L и триггер T_{реж} устанавливается в "1";
- открываются буферы на выходе регистра данных;
- подаются сигналы разрешения записи -
 - = для РФ1 - сигналы CS/WR с амплитудой +12 В;
 - = для РФ2 - напряжение V_{pp} = +24 В и сигнал OE с амплитудой +5 В;
- в регистр данных записываются данные с шин W1=W8;
- подается сигнал записи -
 - = для РФ1 - через 20 мкс с амплитудой +24 В и длительностью 1 мс на вход PR СППЗУ;
 - = для РФ2 - через 2 мкс с высоким уровнем ТТЛ и длительностью 50 мс на вход CE СППЗУ;

после окончания сигнала записи в регистр адреса добавляется 1 и устанавливается сигнал L.

Операцию записи каждого байта для РФ1 необходимо повторять не менее 100 раз, а для РФ2 достаточно однократной записи.

В режиме "Чтение" блокируется возможность появления всех сигналов разрешения записи и сигналов записи, а также сигнала L.

По команде чтения F(0) в обоих режимах производится следующее:

- триггер режима T_{реж} устанавливается в "0";
- блокируются выходы регистра данных;
- сигналы CS для РФ1 и CE, OE для РФ2 устанавливаются в "0";
- данные с выходных шин СППЗУ подаются на шины R1=R8.

По команде чтения F(1) на шины R1=R3 считывается статусная информация, приведенная в таблице.

По сигналу Z переходят в "0" все регистры и управляющие триггеры.

Блок выполняет следующие команды с магистрали:

- | | |
|--|-----|
| NA(0)F(0) - чтение байта из СППЗУ; +1 в регистр адреса | Q=1 |
| NA(0)F(1) - чтение статусной информации | Q=1 |
| NA(0)F(16) - запись байта в СППЗУ; +1 в регистр адреса | Q=1 |
| NA(0)F(17) - запись слова в регистр адреса | Q=1 |
| NA(0)F(24) - блокировка сигнала L | Q=0 |
| NA(0)F(26) - разблокировка сигнала L | Q=0 |

Потребляемый ток: 0,2 А по цепи +24 В; 0,6 А по цепи +6 В и 50 мА по цепи -6 В.

РАЗРЯД \ ЗНАЧЕНИЕ	R3	R2	R1
0	L = 0	К573РФ1	ЧТЕНИЕ
1	L = 1	К573РФ2	ЗАПИСЬ

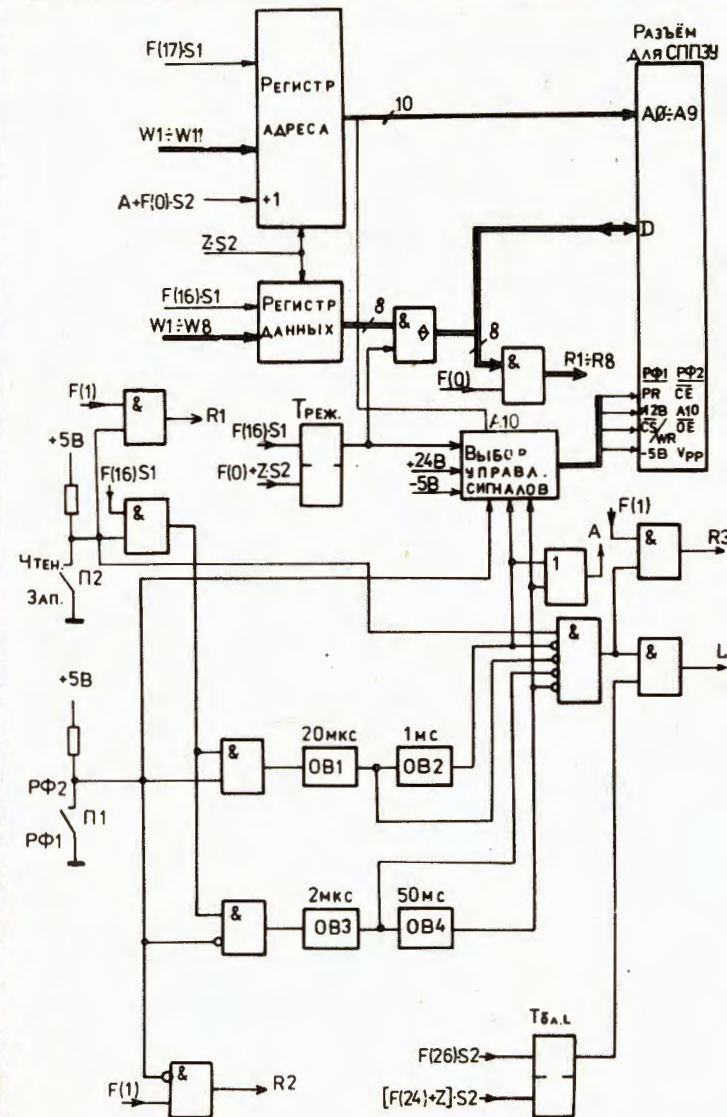


Рис.9. Передняя панель и блок-схема программатора СППЗУ КП 008.

ЛИТЕРАТУРА

1. Журавлев Н.И. и др. ОИЯИ, 10-7332, Дубна, 1973.
2. Журавлев Н.И. и др. ОИЯИ, 10-8114, Дубна, 1974.
3. Журавлев Н.И. и др. ОИЯИ, 10-8754, Дубна, 1975.
4. Журавлев Н.И. и др. ОИЯИ, 10-9479, Дубна, 1976.
5. Антюхов В.А. и др. ОИЯИ, 10-10576, Дубна, 1977.
6. Антюхов В.А. и др. ОИЯИ, 10-11636, Дубна, 1978.
7. Антюхов В.А. и др. ОИЯИ, 10-12912, Дубна, 1979.
8. Антюхов В.А. и др. ОИЯИ, 10-80-650, Дубна, 1980.
9. Вьонг Дао Ви и др. ОИЯИ, 10-81-755, Дубна, 1981.
10. Антюхов В.А. и др. ОИЯИ, 10-82-844, Дубна, 1982.
11. Антюхов В.А. и др. ОИЯИ, 10-83-900, Дубна, 1983.
12. Василев Д. и др. ОИЯИ, P10-84-860, Дубна, 1984.

Рукопись поступила в издательский отдел
20 декабря 1985 года.

Антюхов В.А. и др.

P10-85-922

Цифровые блоки в стандарте КАМАК /выпуск XIII/

Приводятся краткие характеристики и блок-схемы 9 новых блоков в стандарте КАМАК. В состав этих блоков входят: две оперативные памяти, управление инкрементной записью в память, интерфейс дисплея анализатора, цифровые окна, интерфейс НГМД, программатор СППЗУ, преобразователь уровней и разветвитель сигналов.

Работа выполнена в Лаборатории ядерных проблем ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1985

Перевод авторов

Antyukhov V.A. et al.

P10-85-922

Digital CAMAC Modules (Issue XIII)

Data sheets and block diagrams of 9 new CAMAC modules are presented. These consist of two RAM modules, a memory controller for increment operation mode, a display interface for multichannel analyzer, a "digital window" data discriminator, a floppy-disk drive interface, an EPROM programmer, a logic level translator and a fan-out module.

The investigation has been performed at the Laboratory of Nuclear Problems, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1985