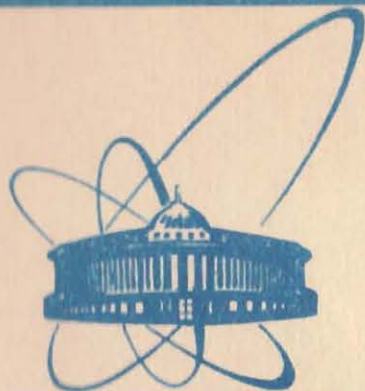


84-860



сообщения
объединенного
института
ядерных
исследований
дубна

P10-84-860

Д.Василев, Ву Чунг Хьеу, Н.И.Журавлев,
С.В.Игнатъев, А.В.Саламатин*, В.Т.Сидоров,
А.Н.Синаев, А.А.Стахин, И.Н.Чурин

ЦИФРОВЫЕ БЛОКИ В СТАНДАРТЕ КАМАК
(Выпуск XII)

* Институт ядерной физики АН УзССР, Ташкент

1984

В настоящей работе публикуются краткие характеристики и блок-схемы XII серии цифровых блоков в стандарте КАМАК, разработанных в Лаборатории ядерных проблем ОИЯИ.

Обозначение каждого блока состоит из двух букв и трех цифр. Первая буква К постоянна для всех блоков и означает, что блок выполнен в стандарте КАМАК. Вторая буква показывает принадлежность блока к определенному классу. Разделение на классы, в основном, соответствует классификации комитета ЭЗОНЕ /см. таблицу/. Цифры означают номер разработки.

Таблица

Код ЛЯП	Код ЭЗОНЕ	Класс блока
КА	16	Аналоговая обработка информации
КВ	13	Вывод цифровых данных
КИ	14	Интерфейсы внешних устройств, индикаторы
КК	2;3	Контроллеры, интерфейсы магистралей, драйверы ветви
КЛ	15	Логическая /цифровая/ обработка информации
КМ	-	Управляющие блоки с микропроцессорами
КП	17	Блоки, не вошедшие в другие группы
КР	12	Параллельный ввод цифровых данных
КС	11	Последовательный ввод цифровых данных
КУ	232;27	Вспомогательные блоки управления
КЭ	-	Интерфейсы ЭВМ

Ниже приводится список блоков, рекомендуемых для использования в новых системах. Римские цифры I-XI означают соответственно номера ранее опубликованных выпусков/1-11/, а цифра XII - настоящий выпуск. Вторая цифра означает номер страницы в соответствующей публикации.

1. КА 001	- преобразователь заряд-код /2x255 каналов/	V-6
2. КА 002	- коммутатор аналоговых сигналов /0÷100 мкА/	V-8
3. КА 003	- коммутатор аналоговых сигналов /-6 В±6 В/	V-10
4. КА 004	- коммутатор аналоговых сигналов /0±127 В/	VI-6
5. КА 007	- преобразователь амплитуда-код /8192 канала/	VIII-4
6. КА 009	- цифро-аналоговый преобразователь /2x10 бит/	X-4
7. КА 010	- преобразователь заряд-код /8x255 каналов/	XI-4
8. KB 002	- выходной регистр /2x16 бит, ТТЛ/	III-4
9. KB 003	- выходной регистр /16 бит, НИМ/	IV-6
10. KB 004	- часы	V-12
11. KB 005	- генератор импульсов /1 Гц±20 МГц/	V-14
12. KB 006	- выходной релейный регистр /2x16 бит/	XI-6
13. KI 001	- индикатор магистрали /16 бит/	I-17
14. KI 006	- вывод информации на цифровой индикатор	IV-12
15. KI 007	- цифровой индикатор	IV-14
16. KI 010	- параллельный интерфейс дисплея ВТ-340	V-18
17. KI 011	- интерфейс графического дисплея	V-20
18. KI 012	- интерфейс перфоратора ПЛ-80, ПЛ-150	V-22
19. KI 013	- интерфейс фотосчитывателя ФС-1501	VI-12
20. KI 015	- регистр ввода-вывода /16 бит, ТТЛ/	VI-16
21. KI 016	- интерфейс многоканальных анализаторов	VII-8
22. KI 018	- вывод информации с проволочных камер	VII-12
23. KI 021	- последовательная межкрейтная связь	VII-18
24. KI 022	- последовательная межкрейтная связь	VII-20
25. KI 023	- интерфейс матричного АЦПУ	VII-22
26. KI 024	- интерфейс матричного АЦПУ с буфером	VII-24
27. KI 025	- последовательный токовый интерфейс	VIII-6
28. KI 026	- индикатор магистрали /24 бита/	VIII-8
29. KI 027	- интерфейс графопостроителя	VIII-10
30. KI 028	- интерфейс анализатора ИЦА-70	VIII-12
31. KI 029	- интерфейс цветного телевизионного монитора	IX-4
32. KI 030	- интерфейс координатного шара	IX-6
33. KI 031	- интерфейс НМЛ ИЗ0Т 5003/5005	IX-8
34. KI 032	- вывод на цифropечатающее устройство МПУ-16	IX-10
35. KI 033	- интерфейс черно-белого телевизора	X-6
36. KI 034	- формирователь полутонового изображения	X-8
37. KI 035	- вывод на цифropечатающее устройство БЗ-15	X-10
38. KI 036	- малогабаритный графический дисплей	XI-7
39. KI 037	- интерфейс перфоленточной станции СМ-6204	XI-8
40. KI 038	- интерфейс дисплея анализатора	XII-4
41. KI 039	- интерфейс КНМЛ РК-1	XII-6
42. KI 040	- интерфейс КНМЛ КРР-800	XII-8
43. KI 041	- последовательный интерфейс для КМ 002	XI-10
44. KI 043	- преобразователь шин ЭВМ	XII-10
45. KK 001	- контроллер с фиксированными программами	I-18
46. KK 003	- проверочный контроллер	I-22
47. KK 004	- универсальный контроллер крейта	III-8
48. KK 005	- контроллер крейта типа А1	V-24
49. KK 006	- управление магистралью для микро-ЭВМ КМ 001	VIII-14
50. KK 007	- интерфейс магистрали	IX-12
51. KK 008	- драйвер ветви	X-12
52. KL 001	- коммутатор логич.импульсов /16 вх., 1 вых./	III-10
53. KL 002	- управляемая задержка /0,5÷63 нс/	III-12

54. KL 003	- коммутатор логич. импульсов /9 вх., 9 вых./	IV-18
55. KL 004	- буферный накопитель /64x16 бит/	V-26
56. KL 006	- буферный накопитель /1Kx16 бит/	VIII-16
57. KL 007	- оперативная память микро-ЭВМ /24Kx8 бит/	VIII-18
58. KL 008	- оперативная память /8Kx16 бит/	XII-12
59. KL 010	- управление последовательной записью в память	X-16
60. KL 011	- коммутатор логич.импульсов /1 вх., 8 вых./	VIII-20
61. KL 013	- управление произвольным доступом к памяти	X-20
62. KL 014	- управление последовательной записью в память	XI-12
63. KL 015	- оперативная память микро-ЭВМ /32Kx16 бит/	X-22
64. KL 016	- стираемая постоянная память /32К байт/	XI-14
65. KL 017	- преобразователь длины слов /24 бита - в 16/	XI-16
66. KL 018	- управление инкрементной записью в память	XII-14
67. KL 020	- оперативная память /4Kx16 бит/	XII-16
68. KL 021	- управление многомерными измерениями	XII-18
69. KL 023	- оперативная память микро-ЭВМ /48Kx8 бит/	XII-20
70. KM 001	- микро-ЭВМ на основе БИС серии КР580	VIII-22
71. KM 002	- микро-ЭВМ на основе БИС серии К581	X-24
72. KP 001	- программатор СППЗУ типа К573РФ1	VI-20
73. KP 002	- контроль напряжений питания крейта	VI-22
74. KP 003	- источник питания /+12 В, 2А/	VII-26
75. KP 004	- программатор ППЗУ типа 74188	XII-22
76. KP 005	- программатор ППЗУ типа К155РЕ3 и К556РТ4	XI-18
77. KP 006	- терминатор ветви КАМАК	XI-20
78. KP 007	- терминатор шины малых и микро-ЭВМ	XI-21
79. KR 002	- регистр констант /16 бит/	II-8
80. KR 005	- входной регистр /2x16 бит, ТТЛ/	II-14
81. KR 007	- входной регистр /16 бит, ТТЛ/	IV-20
82. KR 009	- регистр контрольных слов /16 бит/	V-28
83. KR 010	- регистр констант /8 декад/	VI-23
84. KR 011	- входной регистр /16 бит, 10 нс, НИМ/	VIII-24
85. KS 002	- двоичный счетчик /25 МГц, 2x16 бит/	I-6
86. KS 008	- двоичный счетчик /25 МГц, 8x8 бит/	II-16
87. KS 011	- счетчик-измеритель времени /25 МГц, 16 бит/	III-18
88. KS 013	- установочный счетчик /20 МГц, 10 декад/	III-22
89. KS 014	- десятичный счетчик /25 МГц, 4x8 декад/	III-24
90. KS 015	- реверсивный двоичный счетчик /1 МГц, 16 бит/	IV-24
91. KS 017	- двоичный счетчик /25 МГц, 4x16 бит/	VI-24
92. KS 018	- десятичный счетчик /100 МГц, 12 декад/	VII-28
93. KS 019	- двоичный счетчик /25 МГц, 8x16 бит/	IX-14
94. KS 020	- двоичный счетчик /150 кГц, 16x16 бит/	IX-16
95. KS 021	- двоичный счетчик /200 МГц, 2x32 бит/	IX-18
96. KS 022	- счетчик-интерсиметр /100 МГц, 8 декад/	IX-20
97. KS 023	- двоичный счетчик /80 МГц, 16 бит/	XI-22
98. KU 002	- внешнее управление	II-20
99. KU 004	- грейдер сигналов L для КК 005	III-26
100. KU 006	- грейдер сигналов L для КК 001	IV-28
101. KU 008	- одноадресное чтение	VI-26
102. KU 009	- контрольный сумматор /16 бит/	VIII-26
103. KU 010	- управление режимами анализатора	X-26
104. KЭ 001	- интерфейс ЭВМ СМ-3 и СМ-4 по КПД	IX-22
105. KЭ 002	- интерфейс ЭВМ "Электроника-60" по КПД	IX-24
106. KЭ 003	- интерфейс ЭВМ "Электроника-60" по ПК	IX-26

ИНТЕРФЕЙС КНМЛ РК-1 КИ 039

Ширина блока - 17,2 мм.

Назначение: подключение к магистрали крейта двух кассетных накопителей на магнитной ленте /КНМЛ/ РК-1 производства ПНР.

Выбор КНМЛ производится по шинам W1=W2 командой NA(1)F(17); при W1=1, W2=0 выбирается КНМЛ1, а при W1=0, W2=1 - КНМЛ2.

Коды операции КНМЛ задаются по шинам W3=W1 командой NA(0)F(17):
 000 - стоп /СТП/; 100 - пропуск файла вперед /ПФВ/;
 001 - воспроизведение зоны /ВСВ/; 101 - пропуск зоны назад /ПЗН/;
 010 - запись зоны /ЗПС/; 110 - пропуск файла назад /ПФН/;
 011 - пропуск зоны вперед /ПЗВ/; 111 - перемотка /ПРМ/.

По команде с кодом ЗПС стирается участок ленты длиной 12,5 мм. Состояние регистра статуса считывается по шинам R1-R7 командой NA(0)F(1); наличие "1" в соответствующем разряде означает:

- R1=1 - КНМЛ не готов; R5=1 - сторона А кассеты;
- R2=1 - запрет записи; R6=1 - отсутствие данных на ленте;
- R3=1 - начало ленты; R7=1 - ошибка операции.
- R4=1 - конец ленты;

Узел задания временных интервалов выдает интервалы времени, необходимые для выполнения операций КНМЛ.

Запись данных на ленту и их воспроизведение производятся по байтам, состоящим из 8 последовательных бит; преобразование кодов из параллельных в последовательные и обратно производится регистром данных с помощью схем управления записью и воспроизведением.

Обмен массивами данных осуществляется в режиме ULS.

Сигнал L подается в следующих случаях:

- после стирания 12,5 мм участка ленты или записи байта данных;
- после воспроизведения байта данных;
- после выполнения операций ВСВ, ПЗВ, ПЗН, ПФВ, ПФН или при отсутствии данных на отрезке ленты длиной более 400 мм после начала этих операций /триггер T_{бл.Q} устанавливается в "1"/;
- после окончания перемотки;
- при ошибке операции /триггер T_{бл.Q} устанавливается в "1"/.

Подключение обоих КНМЛ производится через общий разъем РП15-50 с приведенным ниже распределением контактов; при передаче сигналов по скрученным парам с корпусом соединен второй из указанных контактов.

- | | | | | | | | |
|-------|-----------|-------|-----------|-------|-----------|-------|-----------|
| 1,2 | - ДВС; | 12,13 | - ВБР1-2; | 25,26 | - НЗД1; | 38,39 | - НКЛ; |
| 4 | - ЗПР; | 16,17 | - ГТТ; | 27,34 | - НЗД2; | 40,41 | - ВСЛ; |
| 6,5 | - ПРМ; | 18 | - ПКН; | 28,29 | - ВБР2-1; | 42,43 | - ДВН; |
| 7,8 | - ДЗП; | 19,20 | - ЗПС; | 30,31 | - ВБР2-2; | 44,45 | - ДВВ; |
| 10,11 | - ВБР1-1; | 22,23 | - СТК; | 35,36 | - ВСВ; | 49,50 | - корпус. |

Сигнал Z сбрасывает в "0" регистры и триггеры блока.

Блок выполняет следующие команды с магистрали:

- | | |
|---|------|
| NA(0)F(0) - чтение байта данных, сброс T _L , T _{бл.Q} | Q=1* |
| NA(0)F(1) - чтение регистра статуса, сброс T _L , T _{бл.Q} | Q=1 |
| NA(0)F(8) - проверка наличия сигнала L | Q=L |
| NA(0)F(16) - запись байта данных, сброс T _L , T _{бл.Q} | Q=1* |
| NA(0)F(17) - установка операции, сброс T _L , T _{бл.Q} | Q=1 |
| NA(1)F(17) - выбор КНМЛ, инициализация блока | Q=1. |
- Потребляемый ток: 1,45 А по цепи +6 В.

КИ 039
ИНТЕРФ

КНМЛ

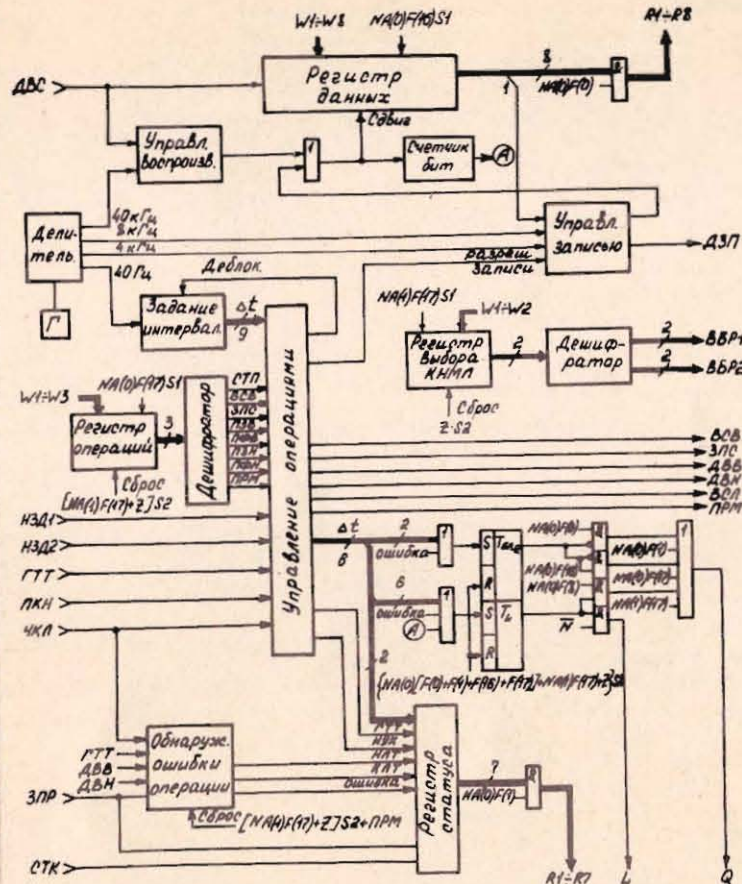


Рис.2. Передняя панель и блок-схема интерфейса КНМЛ РК-1 КИ 039.

* Q=1, если триггер T_{бл.Q} находится в состоянии "0".

ИНТЕРФЕЙС КНМЛ КРР-800 КИ 040

Ширина блока - 17,2 мм.

Назначение: подключение к магистрали крейта двух кассетных накопителей на магнитной ленте /КНМЛ/ КРР-800 производства ЧССР.

Выбор КНМЛ производится по шинам $W1 \neq W2$ командой $NA(1)F(17)$; при $W1=1$, $W2=0$ выбирается КНМЛ1, а при $W1=0$, $W2=1$ - КНМЛ2.

Коды операций КНМЛ задаются по шинам $W3 \neq W1$ командой $NA(0)F(17)$.
 000 - стоп /СТП/; 100 - пропуск файла вперед /ПФВ/;
 001 - воспроизведение зоны /ВСВ/; 101 - пропуск зоны назад /ПЗН/;
 010 - запись зоны /ЗПС/; 110 - пропуск файла назад /ПФН/;
 011 - пропуск зоны вперед /ПЗВ/; 111 - перемотка /ПРМ/.

По команде с кодом ЗПС стирается участок ленты длиной 12,5 мм. Состояние регистра статуса считывается по шинам $R1 \neq R7$ командой $NA(0)F(1)$; наличие "1" в соответствующем разряде означает:

- $R1=1$ - КНМЛ не готов; $R5=1$ - сторона А кассеты;
- $R2=1$ - запрет записи; $R6=1$ - отсутствие данных на ленте;
- $R3=1$ - начало ленты; $R7=1$ - ошибка операции.
- $R4=1$ - конец ленты;

Узел задания временных интервалов выдает интервалы времени, необходимые для выполнения операций КНМЛ.

Запись данных на ленту и их воспроизведение производятся по байтам, состоящим из 8 последовательных бит; преобразование кодов из параллельных в последовательные и обратно производится регистром данных с помощью схем управления записью и воспроизведением.

Обмен массивами данных осуществляется в режиме ULS.

Сигнал L подается в следующих случаях:

- после стирания 12,5 мм участка ленты или записи байта данных;
- после воспроизведения байта данных;
- после выполнения операций ВСВ, ПЗВ, ПЗН, ПФВ, ПФН или при отсутствии данных на отрезке ленты длиной более 400 мм после начала этих операций /триггер $T_{бл.Q}$ устанавливается в "1"/;
- после окончания перемотки;
- при ошибке операции /триггер $T_{бл.Q}$ устанавливается в "1"/.

Подключение КНМЛ производится через отдельные разъемы РП15-23 со следующим назначением контактов:

- 1 - НУС; 6 - ДВС; 12 - ВБР; 20 - 10 кГц;
- 2 - ЗПС; 7 - ГТТ; 14 - ВСЛ; 8,13,18,19 - корпус.
- 3 - ЗПР; 9 - НКЛ; 15 - СТТ;
- 4 - СТК; 10 - ДВН; 16 - СБР;
- 5 - ГОН; 11 - НЗД; 17 - ДЗП;

Сигнал Z сбрасывает в "0" регистры и триггеры блока.

Блок выполняет следующие команды с магистрали:

- $NA(0)F(0)$ - чтение байта данных, сброс T_L , $T_{бл.Q}$ Q=1*
 - $NA(0)F(1)$ - чтение регистра статуса, сброс T_L , $T_{бл.Q}$ Q=1
 - $NA(0)F(8)$ - проверка наличия сигнала L Q=L
 - $NA(0)F(16)$ - запись байта данных, сброс T_L , $T_{бл.Q}$ Q=1*
 - $NA(0)F(17)$ - установка операции, сброс T_L , $T_{бл.Q}$ Q=1
 - $NA(1)F(17)$ - выбор КНМЛ, инициализация блока Q=1.
- Потребляемый ток: 1,5 А по цепи +6 В.

* Q=1, если триггер $T_{бл.Q}$ находится в состоянии "0".

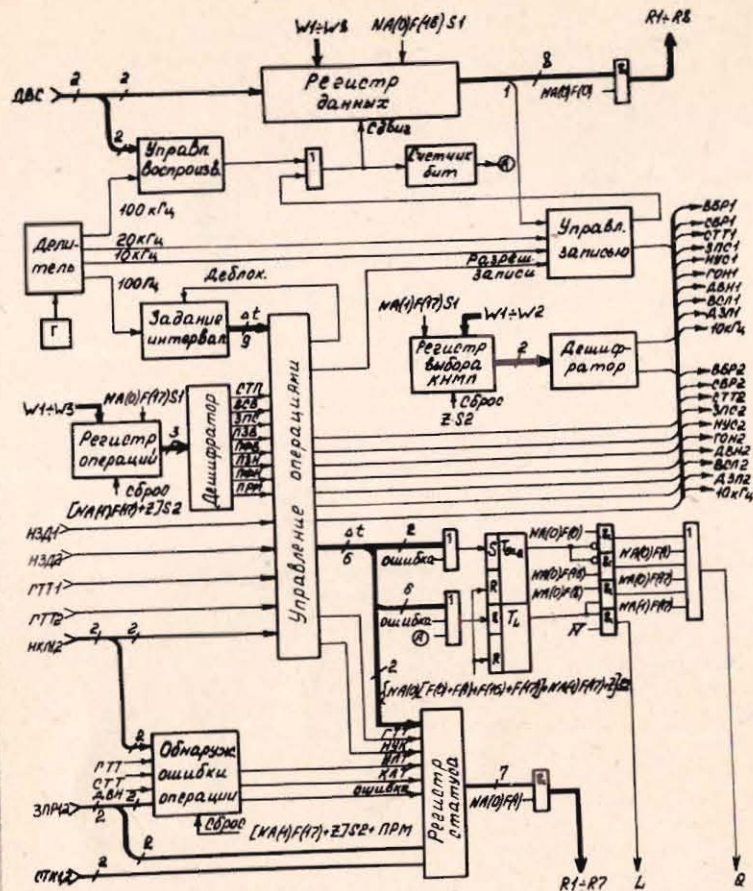


Рис.3. Передняя панель и блок-схема интерфейса КНМЛ КРР-800 КИ 040.

ПРЕОБРАЗОВАТЕЛЬ ШИН ЭВМ КИ 043

Ширина блока - 17,2 мм.

Назначение: преобразование сигналов шины микро-ЭВМ типа "Электроника-60" /шина типа Q/ в сигналы общей шины СМ ЭВМ /шина типа U/.

Процессор и арбитратор шины должны подключаться к шине Q.

Активное устройство может быть подключено к любой шине.

Блок обеспечивает следующие режимы работ:

- пересылка данных по программному каналу между процессором, подключенным к шине Q, и устройством, подключенным к шине U;
- пересылка данных по каналу прямого доступа к памяти /КПД/ между устройством, подключенным к шине U, и ОЗУ, подключенным к шине Q;
- выполнение прерываний процессора, подключенного к шине Q от устройств, подключенных к шине U.

Все сигналы, необходимые для коммутации направления пересылки адреса и данных, вырабатываются коммутатором буферов адреса и данных.

При пересылке данных по программному каналу узел управления выдает сигнал "Шина Q активна", при котором сигналы управления пересылкой шины Q проходят через одноименный буфер на преобразователь сигналов управления пересылкой шина Q - шина U. Полученные в нем сигналы управления пересылкой шины U через одноименный буфер проходят на шину U.

Адрес устройства с линий шины Q ДА00:ДА15 по стробу адреса заносится в регистр адреса и через буфер адреса шины U выдается на линии А00:А15 этой шины.

При записи данные с линий шины Q ДА00:ДА15 через буфер данных шины U поступают на линии D00: D15 этой шины.

При чтении данные с линий шины U D00: D15 через буфер данных шины U и буфер адреса и данных шины Q поступают на линии ДА00:ДА15 шины Q.

Селектор адреса разрешает работу схемы тогда, когда адрес устройства на шине U находится внутри диапазона, заданного в нем перемычками.

Для работы по КПД сигналы шины U, предназначенные для ее захвата, преобразуются с помощью узла управления в соответствующие сигналы шины Q и передаются на шину Q. Одновременно этот узел выдает сигнал "Шина U активна", разрешающий прохождение сигналов управления пересылкой шины U через одноименный буфер на преобразователь сигналов управления пересылкой шина U - шина Q. Полученные в нем сигналы управления пересылкой шины Q через соответствующий буфер проходят на шину Q.

Адрес ОЗУ с линий шины U А00:А15 через буфер адреса шины U и буфер адреса и данных шины Q поступает на линии ДА00:ДА15 этой шины.

При записи данные с линий шины U D00: D15 через буфер данных шины U и буфер адреса и данных шины Q поступают на линии ДА00:ДА15 шины Q.

При чтении данные с линий шины Q ДА00:ДА15 через буфер данных шины U поступают на линии D00: D15 этой шины.

При поступлении запроса на прерывание со стороны шины U узел управления вырабатывает сигналы для выполнения прерывания на шине Q и сигнал "Прерывание", запрещающий работу буферов управления пересылкой. По сигналу "Ввод вектора" вектор прерывания с линий шины U D00: D15 через соответствующие буферы поступает на линии шины Q ДА00:ДА15.

Связь с каждой шиной производится через отдельный разъем РП15-50. Назначение контактов разъема для шины U аналогично блоку КЭ 001, а для шины Q - блоку КЭ 002.

Потребляемый ток: 1,5 А по цепи +6 В.

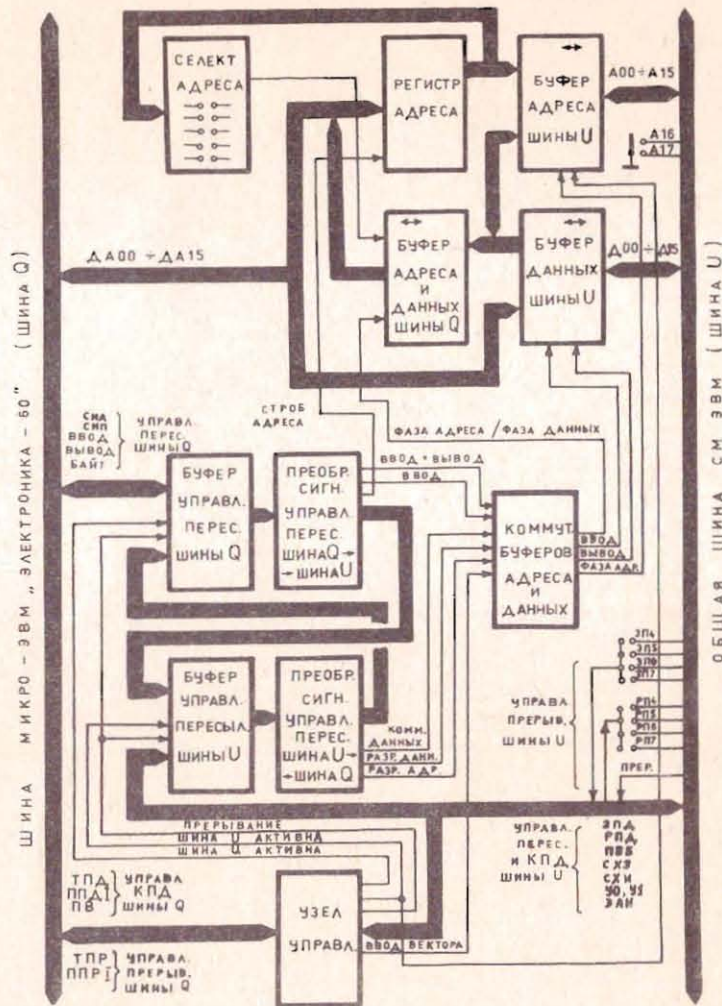
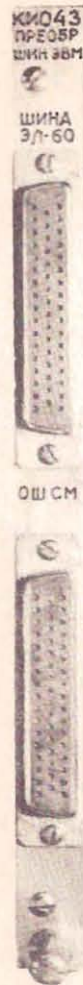


Рис.4. Передняя панель и блок-схема преобразователя шин ЭВМ КИ 043.

ОПЕРАТИВНАЯ ПАМЯТЬ КЛ 008

Ширина блока - 17,2 мм.

Блок содержит 8К 16-разрядных слов ОЗУ динамического типа.

Цикл обращения к памяти составляет 700 нс.

Память выполнена на микросхемах К565РУ1А, имеющих структуру 4Кx1 бит. Они собраны в две группы, содержащие по 4К 16-разрядных слов.

Два блока образуют единую память емкостью 16К 16-разрядных слов.

Связь блока с магистралью осуществляется только по питанию.

Передача адреса, пересылка данных и установка режима работы производятся с помощью отдельного блока управления памятью. В зависимости от его типа память может работать в режимах инкрементной записи, последовательного заполнения или произвольного доступа.

Запросы на операции записи-чтения и регенерации памяти удовлетворяются схемой управления в порядке их поступления.

При операциях записи-чтения адрес ячейки памяти содержит 14 бит.

Бит A13 служит для выбора одного из двух блоков памяти; значение этого бита в блоке задается переключкой "Номер памяти" на плате.

Бит A12 служит для выбора группы в блоке; с помощью дешифратора он образует сигнал выборки микросхем CS0 или CS1.

Биты A0:A11 определяют ячейку памяти в группе, причем биты A0:A5 подаются на адресные входы через схему управления.

Схема управления формирует сигналы "Разрешение цикла" CE и "Разрешение записи" WE.

При операции записи выполняются следующие действия:

- по сигналу "Запись", подаваемому из блока управления памятью, поступающие адрес и данные заносятся в соответствующие регистры;
- при отсутствии цикла регенерации или после его окончания в память подаются сигналы CE и WE;
- по окончании сигнала CE формируется сигнал "Готовность" длительностью 150 нс, подаваемый в блок управления памятью.

При операции чтения выполняются следующие действия:

- по сигналу "Чтение", подаваемому из блока управления памятью, поступающий из него адрес заносится в регистр адреса;
- при отсутствии цикла регенерации или после его окончания в память подается сигнал CE;
- данные из выбранной ячейки памяти заносятся в выходной регистр;
- по окончании сигнала CE формируется сигнал "Готовность".

Регенерация памяти с периодом 2 мс осуществляется схемой управления, которая формирует операции чтения рядов ячеек в обеих группах последовательно по адресным линиям A0:A5; для регенерации всех ячеек требуется 64 операции чтения, т.е. ~40 мкс.

Связь с блоком управления памятью производится через разъем РП15-50 со следующим распределением контактов:

1:14	- адрес;	48	- вход сигнала "Чтение";
15:30	- входы данных;	49	- выход сигнала "Готовность";
31:46	- выходы данных;	50	- корпус.
47	- вход сигнала "Запись";		

Потребляемый ток: 125 мА по цепи +12 В, 850 мА по цепи +6 В и 20 мА по цепи -6 В.

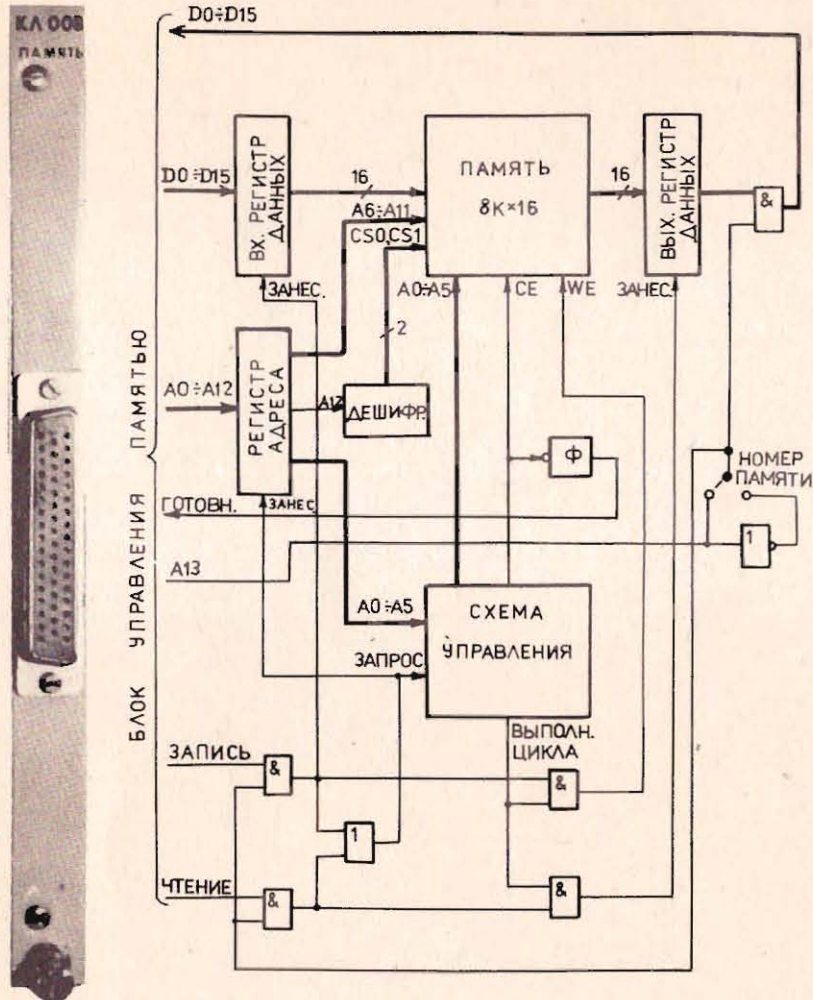


Рис.5. Передняя панель и блок-схема оперативной памяти КЛ 008.

УПРАВЛЕНИЕ ИНКРЕМЕНТНОЙ ЗАПИСЬЮ В ПАМЯТЬ КЛ 018

Ширина блока - 17,2 мм.

Назначение: организация инкрементной записи в память кодов, поступающих от АЦП, а также наблюдения и вывода содержимого памяти.

Поступающие коды данных могут содержать до 12 бит, а память может иметь до 4 участков емкостью по 4К 16-разрядных слов.

Адрес ячейки памяти содержит 14 бит, из них биты A12 и A13 определяют участок памяти, а A0:A11 - ячейку в выбранном участке.

Режимы работы блока: накопление, наблюдение, накопление + наблюдение, вывод в магистраль, очистка памяти, запись с магистрали.

Все режимы, кроме последнего, устанавливаются кнопками или по командам ЭВМ, а последний - только по команде ЭВМ; режим вывода в магистраль может начинаться также по внешнему сигналу "Конец экспозиции".

Режимы накопления и наблюдения индицируются лампочками.

В режиме накопления по сигналу "Вызов" добавляется 1 к содержимому ячейки памяти, адрес которой задается кодом от АЦП; для этого используется регистр адреса 1, регистр данных, триггеры $T_{рег.}$, $T_{чт.}$, $T_{зап.}$.

В режиме наблюдения по сигналу "+1 адреса" добавляется 1 к содержимому регистра адреса 2; по достижении участка памяти, выделенного для наблюдения, эта операция производится сигналами "Запрос" одновременно с выводом содержимого очередной ячейки памяти на шины D0:D15 через регистр данных.

В режиме "Накопление + наблюдение" обе эти операции осуществляются совместно, причем для наблюдения используются интервалы времени, свободные от накопления поступающих данных.

В режиме вывода в магистраль из блока подается сигнал L и по командам F(0) на шины R1:R16 в режиме ULS последовательно выводится содержимое всех ячеек памяти, начиная с нулевой или с адреса, заданного командой F(17); для этого используются регистр адреса, регистр данных, триггеры $T_{св.}$, $T_{чт.}$, T_L , T_Q .

В режиме очистки производится поочередная установка в "0" всех ячеек памяти, для чего используются регистр адреса 2 и триггер $T_{оч.}$.

В режиме записи с магистрали по командам F(16) с шин W1:W16 производится запись данных в последовательные ячейки памяти, начиная с адреса, установленного в регистре адреса 2 командой F(17).

Связь с АЦП производится через разъем РП15-23, с памятью - через разъем РПММ1-50, а с интерфейсом дисплея - через разъем РП15-32; распределение контактов разъемов приведено в описании указанных блоков.

Сигнал Z устанавливает в "0" все регистры и триггеры блока.

Блок выполняет следующие команды с магистрали:

NA(0)F(0) - чтение данных	Q=1
NA(0)F(8) - проверка наличия сигнала L	Q=L
NA(0)F(9) - пуск режима очистки памяти	Q=0
NA(0)F(10) - сброс триггера L	Q=0
NA(0)F(16) - запись в регистр данных	Q=1
NA(0)F(17) - запись в регистр адреса 2	Q=1
NA(0)F(24) - запрет режима "Накопление"	Q=0
NA(1)F(24) - запрет режима "Наблюдение"	Q=0
NA(0)F(26) - установка режима "Накопление"	Q=0
NA(1)F(26) - установка режима "Наблюдение"	Q=0

Потребляемый ток: 1,6 А по цепи +6 В и 60 мА по цепи -6 В.

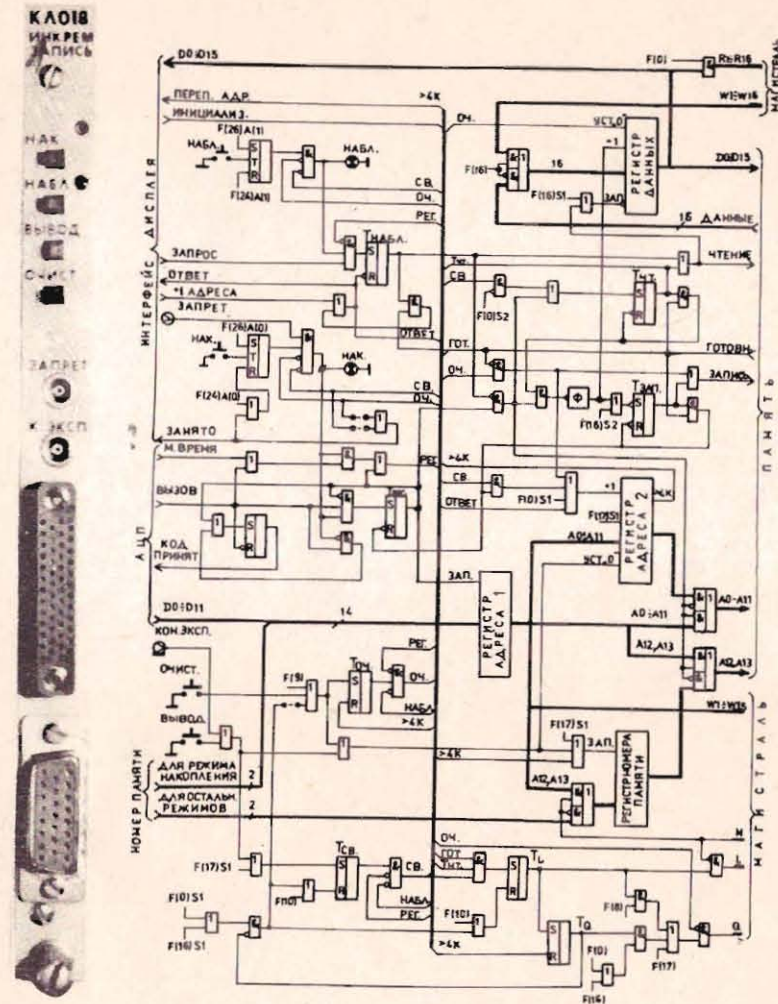


Рис.6. Передняя панель и блок-схема управления инкрементной записью в память КЛ 018.

ОПЕРАТИВНАЯ ПАМЯТЬ КЛ 020

Ширина блока - 17,2 мм.

Блок содержит 4К 16-разрядных слов ОЗУ статического типа.

Цикл обращения к памяти составляет 600 нс.

Память выполнена на микросхемах К565РУ2А, имеющих структуру 1Кх1 бит. Они собраны в 4 группы, каждая из которых содержит 1К 16-разрядных слов.

Четыре блока КЛ 020 могут работать совместно, образуя память емкостью 16К 16-разрядных слов.

Связь блока с магистралью осуществляется только по питанию.

Подача адреса, пересылка информации и установка режима работы производятся с помощью отдельного блока управления памятью.

В зависимости от типа блока управления память может работать в инкрементном режиме, режиме последовательного заполнения или в режиме произвольного доступа.

Адрес ячейки памяти содержит 14 бит.

Старшие биты А12 и А13 служат для выбора одного из 4 блоков памяти. Номер каждого блока устанавливается переключателем на его передней панели и подается на схему сравнения.

Биты А10 и А11 служат для выбора группы памяти в блоке, образуя с помощью дешифратора соответствующие сигналы выбора СЕ0:СЕ3.

Биты А0:А9 определяют ячейку памяти в группе.

При записи информации выполняются следующие действия:

- из блока управления памятью подаются адрес ячейки памяти, данные с входных шин D0:D15 и сигнал "Запись";
- сигнал "Запись" запускает одновибратор 0В, дающий импульс длительностью 450 нс;
- импульс одновибратора поступает на вход "Запись-чтение" схем памяти, образуя строб-импульс записи, по которому данные заносятся в память;
- по спаду импульса одновибратора формируется сигнал "Готовность" длительностью 150 нс, который сообщает о готовности к следующей операции.

При чтении информации выполняются следующие действия:

- из блока управления памятью подаются адрес ячейки памяти и сигнал "Чтение";
- сигнал "Чтение" запускает одновибратор 0В, при этом импульс на вход "Запись-чтение" схем памяти не поступает;
- на выходных шинах D0:D15 появляется считываемая информация;
- по спаду импульса одновибратора формируется сигнал "Готовность".

Связь с блоком управления производится через установленный на передней панели разъем РПММ1-50 со следующим распределением контактов:

- | | |
|-----------------------------|----------------------------------|
| 1:14 - адрес, | 48 - вход сигнала "Чтение", |
| 15:30 - входы данных, | 49 - выход сигнала "Готовность", |
| 31:46 - выходы данных, | 50 - корпус. |
| 47 - вход сигнала "Запись", | |

Потребляемый ток: 2,0 А по цепи +6 В.

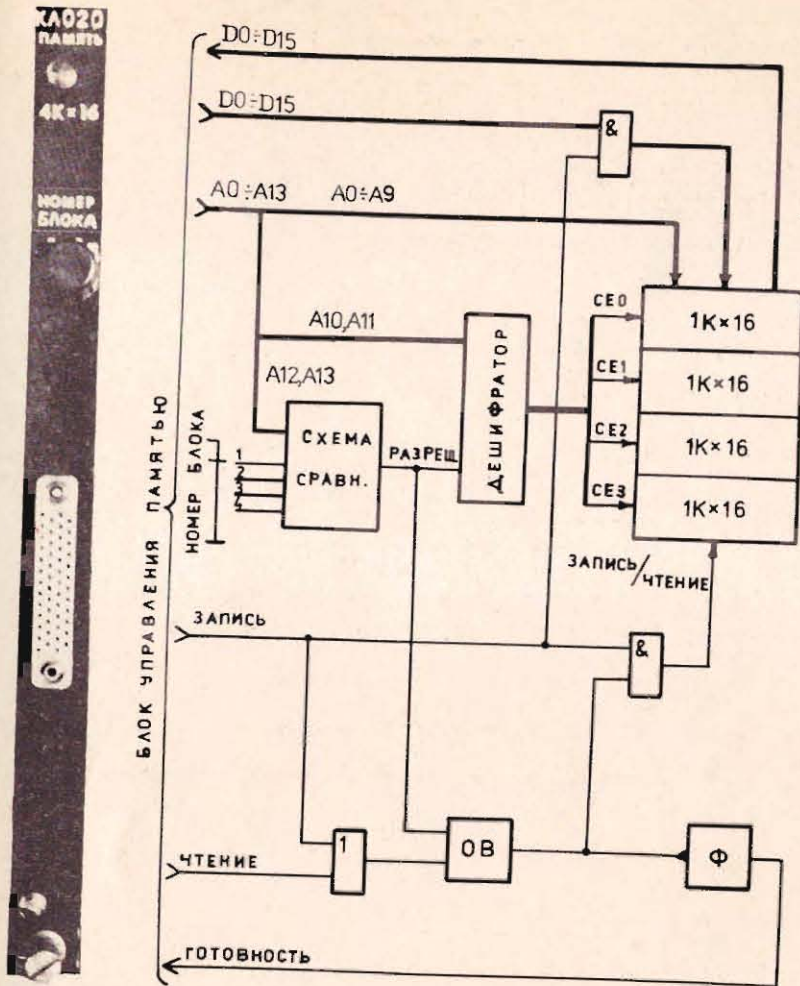


Рис. 7. Передняя панель и блок-схема оперативной памяти КЛ 020.

Ширина блока - 17,2 мм.

Назначение: организация передачи кодов из нескольких АЦП в буферный накопитель и из одного из них - в инкрементную память анализатора.

Переключатель "Число АЦП" устанавливается в положение, соответствующее количеству подключенных АЦП /в пределах от 1 до 8/.

Переключателем "Номер АЦП" выбирается АЦП, данные с которого будут заноситься в инкрементную память анализатора.

Переключатель "Емкость буфера" устанавливается в положение 1К или 4К в соответствии с емкостью подключенного буферного накопителя.

Возможна поочередная работа двух одинаковых буферных накопителей.

По команде Z или сигналу L от накопителя его емкость уменьшается до величины, кратной числу подключенных АЦП, путем записи нулевых слов в начальные ячейки с помощью счетчика нулевых слов и триггера $T_{H.C.}$.

Передача данных в буферный накопитель начинается при поступлении на схему сравнения 1 сигналов "Вызов АЦП" от всех АЦП, после чего:

- добавляется 1 в счетчик номера АЦП и подается сигнал "Внешнее чтение" в очередной АЦП, разрешающий вывод данных из него на шины;
- устанавливается в "1" триггер $T_{Выз.}$, выдающий сигнал "Вызов буфера", по которому данные из АЦП заносятся в буферный накопитель;
- после прихода от буферного накопителя сигнала "Ответ" триггер $T_{Выз.}$ возвращается в "0", и начинается следующий цикл передачи данных.

После передачи данных со всех АЦП счетчик номера АЦП выдает сигнал "Конец передачи", вызывающий сброс всех АЦП.

При передаче данных с выбранного АЦП производится также их занесение в инкрементную память анализатора следующим образом:

- со схемы сравнения 2 подается сигнал "Спектр", означающий, что данные с выбранного АЦП находятся на шинах;
- по спаду сигнала формирователя $\Phi 2$ переходит в "1" триггер $T_{рег.}$, с которого в инкрементную память подается сигнал "Регистрация";
- по сигналу от памяти "Код принят" триггер $T_{рег.}$ переходит в "0".

В этом случае следующий цикл передачи данных начнется только после поступления обоих сигналов - "Ответ" и "Код принят".

При выключенном переключателе "Номер АЦП" данные заносятся только в буферный накопитель.

При выключенном переключателе "Число АЦП" данные подаются только в инкрементную память анализатора, а вместо схем сравнения 1 и 2 работает схема сравнения 3.

Сигнал Z устанавливает в "0" все счетчики и триггеры.

Связь с АЦП и буферным накопителем производится через разъем РП15-50 со следующим распределением контактов:

- | | | |
|-------------------------|-----------------------|--------------------|
| 1:16 - данные; | 26:33 - Вызов из АЦП; | 37 - L1 из буфера; |
| 17 - Код принят; | 34 - Вызов буфера; | 38 - L2 из буфера; |
| 18:25 - Внешнее чтение; | 35,36 - Ответ буфера; | 50 - Корпус. |

Связь с инкрементной памятью анализатора производится через разъем РП15-23 со следующим распределением контактов:

- | | |
|-------------------|------------------|
| 1:16 - Данные; | 18 - Код принят; |
| 17 - Регистрация; | 23 - Корпус. |

Шины данных служат для передачи кодов из АЦП в инкрементную память.

Потребляемый ток: 0,6 А по цепи +6 В.

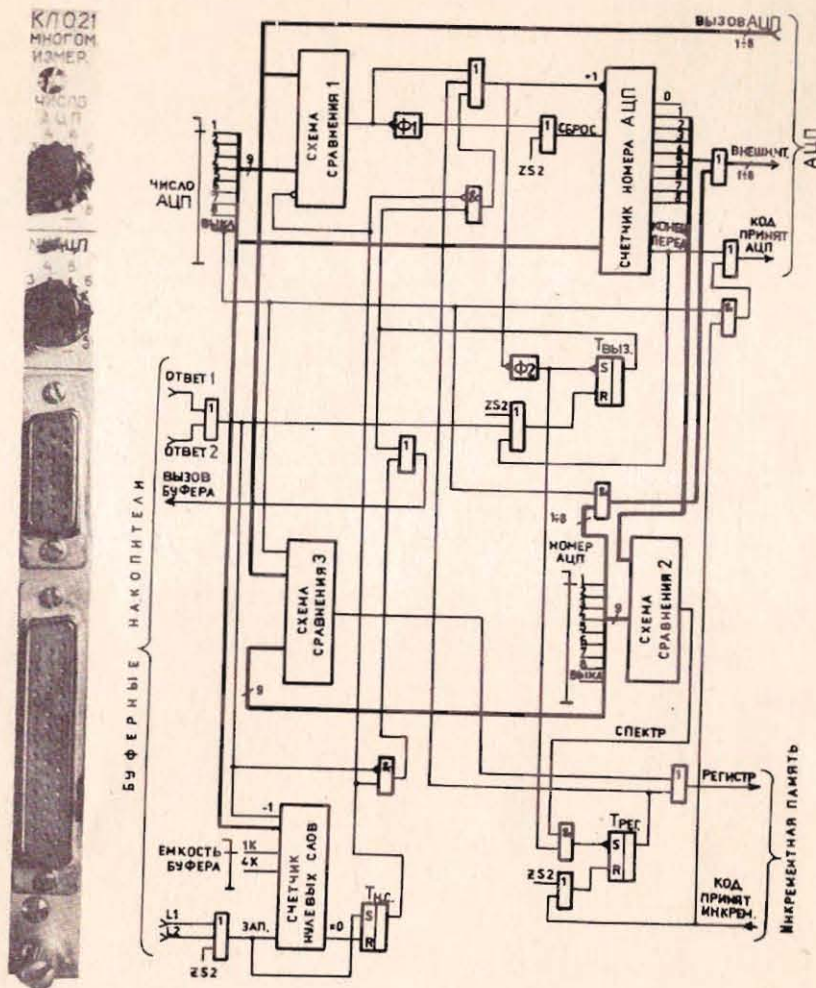


Рис.8. Передняя панель и блок-схема управления многомерными измерениями КЛ 021.

ОПЕРАТИВНАЯ ПАМЯТЬ КЛ 023

Ширина блока - 17,2 мм.

Назначение: работа совместно с микро-ЭВМ КМ 001.

Блок содержит ОЗУ динамического типа емкостью 48К байт, построенное на микросхемах со структурой 16Кх1 бит типа К565РУ3 или К565РУ6.

ОЗУ занимает адресное поле процессора с 4000Н по FFFFH и состоит из трех групп памяти емкостью по 16К байт; любая группа может быть отключена путем снятия перемычки на плате /4000, 8000 или C000/.

Связь блока с магистралью осуществляется только по питанию.

Управление памятью производится по шине процессора микро-ЭВМ, подводимой через разъем РП15-50; на передней панели блока установлены два разъема, одноименные контакты которых соединены между собой. Разводка контактов приведена в сообщении ОИЯИ Р10-12481 за 1979 год.

Запросы на цикл обращения к памяти ЗОБР и цикл регенерации ЗРЕГ удовлетворяются арбитратором цикла в порядке их поступления, при этом на формирователь цикла подается сигнал ОБР или РЕГ.

Этот формирователь в начале исполняемого цикла подает сигнал НЦ, который снимает вызвавший его запрос.

Цикл обращения к памяти при операции записи или чтения производится по сигналу MEMW или MEMR; при его исполнении с формирователя цикла в шину процессора подается сигнал готовности READY*.

Запись и чтение данных осуществляются по байтам.

Адрес выбираемого байта содержит 16 бит /A0÷A15/.

Старшие биты A14 и A15 выбирают группу в памяти с помощью одного из сигналов RAS1÷RAS3, образуемых в формирователе цикла.

Остальные биты подаются на коммутатор адреса и пропускаются через него на адресные входы микросхем памяти в два приема в зависимости от наличия сигнала АД, поступающего от формирователя цикла.

Вначале проходят биты A0÷A6, которые запоминаются в микросхеме памяти по сигналу выбора ряда в группе RAS1÷RAS3.

Затем пропускаются биты A7÷A13, которые запоминаются в микросхеме памяти по сигналу выбора столбца CAS.

При операции записи байт данных, поступивший с шин D0÷D7, заносится в память по сигналу WE; цикл записи длится 1,5 мкс /3 такта микропроцессора/.

При операции чтения считываемый из памяти байт данных по сигналу CD заносится в выходной регистр, с которого подается на шины D0÷D7; цикл чтения длится 1,0 мкс /2 такта микропроцессора/.

Циклы регенерации памяти исполняются с помощью генератора регенерации, дающего импульсы с частотой 64 кГц, и счетчика адреса регенерации.

При операции регенерации сигнал РЕГ от арбитратора цикла пропускает коды с выходов счетчика адреса регенерации через коммутатор адреса на адресные входы микросхем памяти. Формирователь цикла образует операцию чтения, при которой одновременно подаются сигналы RAS1÷RAS3, а остальные сигналы не выдаются.

Вся память регенерируется за 128 циклов, т.е. с периодом 2 мс.

Потребляемый ток /при использовании микросхем К565РУ3А/: 50 мА по цепи +12 В; 0,8 А по цепи +6 В и 0,1 мА по цепи -6 В.

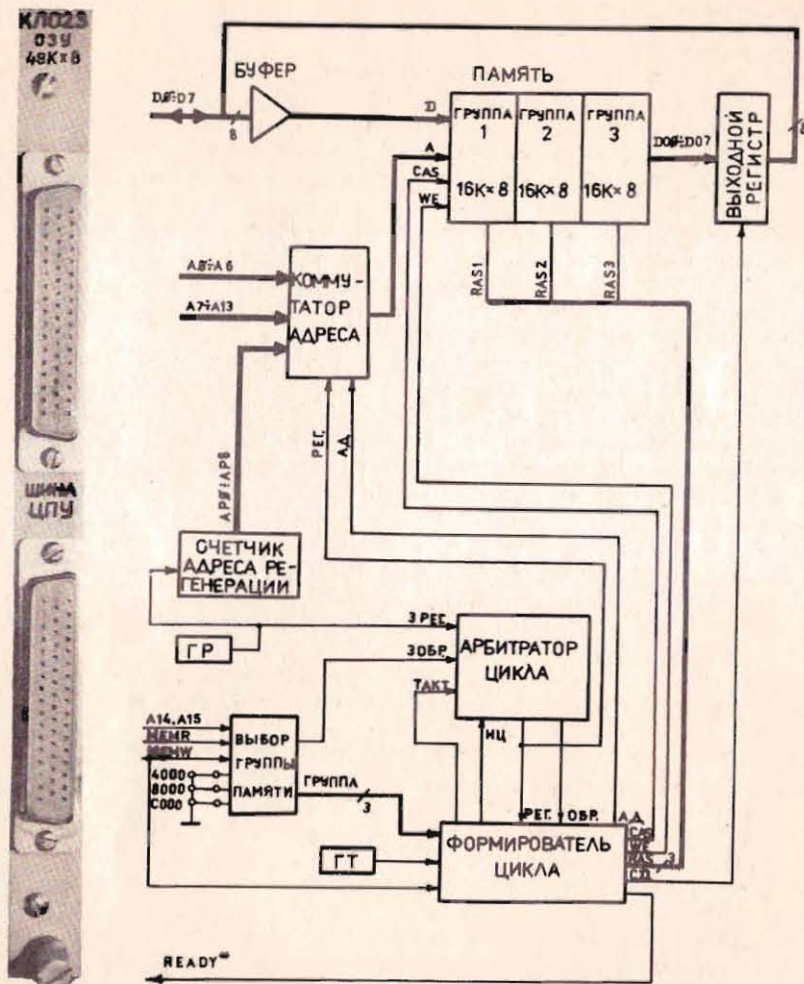


Рис.9. Передняя панель и блок-схема оперативной памяти КЛ 023.

ПРОГРАМАТОР ППЗУ КП 004

Ширина блока - 17,2 мм.

Назначение: запись данных в ППЗУ типа 74188, которое имеет емкость 32x8 бит и программируется путем пережигания перемычек.

Все ячейки незапрограммированного ППЗУ находятся в состоянии "0".

На передней панели блока имеются две панельки, в одну из которых ППЗУ вставляется при программировании, в другую - при чтении записанной информации.

Программирование производится последовательно по одному биту.

Программируемый бит выбирается 5-разрядным регистром адреса слова и 3-разрядным регистром данных /адреса бита в слове/.

Цикл программирования производится по команде F(16) при W9=0 и следующих значениях остальных шин записи:

W1:W5 - адрес слова, в котором находится программируемый бит;

W6:W8 - адрес программируемого бита в регистре данных.

В цикле программирования выполняются следующие операции:

- с помощью дешифратора и буферных схем на выход D0 программируемого бита ППЗУ подается напряжение - 0,7 В, остальные выходы D0 удерживаются в состоянии высокого импеданса;
- триггер цикла T_ц устанавливается в "1", в результате чего напряжение на входе питания ППЗУ V_{cc} увеличивается с +5 В до +12 В;
- после задержки 10 мкс формируется импульс разрешения выборки V, имеющий длительность 700 мс;
- через 10 мс после окончания импульса разрешения выборки сбрасывается триггер T_ц.

При цикле чтения содержимого ППЗУ выполняются следующие операции:

- по команде F(16) при W9=1 по шинам записи W1:W5 подается адрес слова ППЗУ;
 - по команде F(0) на шины R1:R8 выводится прочитанное слово.
- При нахождении триггера цикла T_ц в "0" в магистраль подается сигнал L; он блокируется командой F(24) и разблокируется командой F(26). По сигналу Z сбрасывается триггер цикла T_ц и устанавливается в "1" триггер T_{бл.L}.

Блок выполняет следующие команды с магистрали:

NA(0)F(0) - чтение слова из ППЗУ	Q=1
NA(0)F(8) - проверка состояния источника сигнала L	Q=L
NA(0)F(16) - запись в регистры адреса и данных*	Q=1
NA(0)F(24) - блокировка сигнала L	Q=0
NA(0)F(26) - разблокировка сигнала L	Q=0

Потребляемый ток: 0,1 А по цепи +12 В, 0,5 А по цепи +6 В и 0,1 А по цепи -6 В.

КП004

ПРОГР
ППЗУ

ЗАПИСЬ

ЧТЕНИЕ

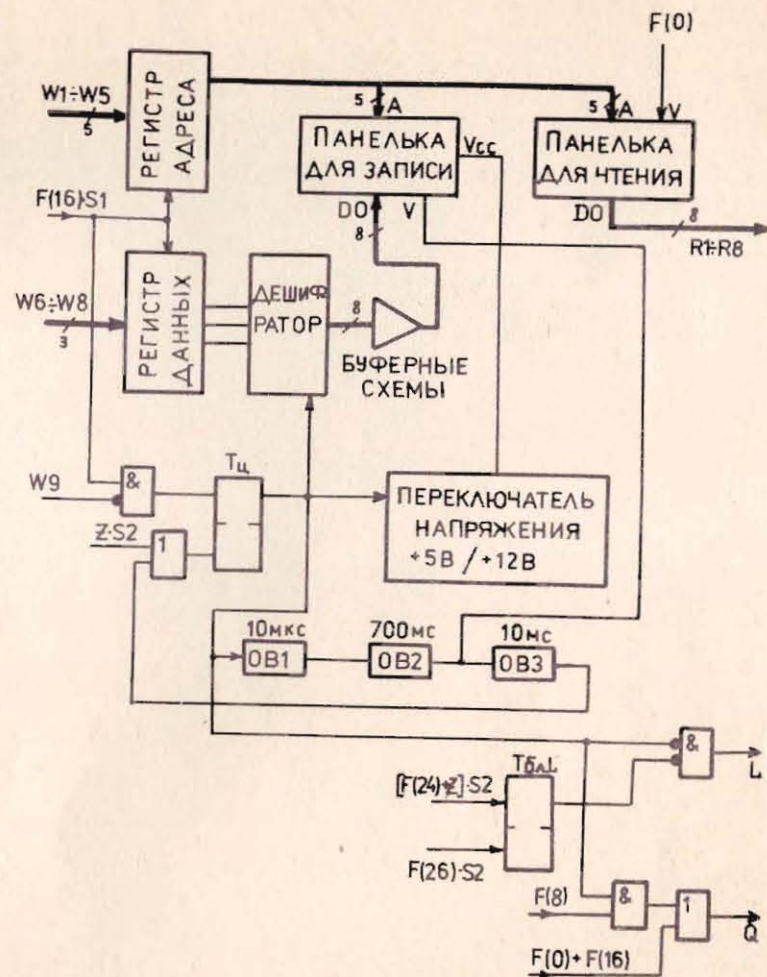


Рис. 10. Передняя панель и блок-схема программатора ППЗУ КП 004.

* При W9=0 производится также запуск цикла программирования.

ЛИТЕРАТУРА

1. Журавлев Н.И. и др. ОИЯИ, 10-7332, Дубна, 1973.
2. Журавлев Н.И. и др. ОИЯИ, 10-8114, Дубна, 1974.
3. Журавлев Н.И. и др. ОИЯИ, 10-8754, Дубна, 1975.
4. Журавлев Н.И. и др. ОИЯИ, 10-9479, Дубна, 1976.
5. Антюхов В.А. и др. ОИЯИ, 10-10576, Дубна, 1977.
6. Антюхов В.А. и др. ОИЯИ, 10-11636, Дубна, 1978.
7. Антюхов В.А. и др. ОИЯИ, 10-12912, Дубна, 1979.
8. Антюхов В.А. и др. ОИЯИ, 10-80-650, Дубна, 1980.
9. Вьонг Дао Ви и др. ОИЯИ, 10-81-755, Дубна, 1981.
10. Антюхов В.А. и др. ОИЯИ, 10-82-844, Дубна, 1982.
11. Антюхов В.А. и др. ОИЯИ, 10-83-900, Дубна, 1983.

Рукопись поступила в издательский отдел
28 декабря 1984 года.

Василев Д. и др. P10-84-860
Цифровые блоки в стандарте КАМАК /выпуск XII/

Приводятся краткие характеристики и блок-схемы 10 новых блоков в стандарте КАМАК. В состав этих блоков входят: интерфейс дисплея анализатора, 2 интерфейса КИМЦ, преобразователь шин ЭВМ, 3 оперативных памяти, блок управления инкрементной записью в память, блок управления многомерными измерениями и программатор ПЗУ.

Работа выполнена в Лаборатории ядерных проблем ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1984

Перевод О.С.Виноградовой

Vasilev D, et al. P10-84-860
Digital CAMAC Modules (Issue XII)

Data sheets and block diagrams of 10 new CAMAC modules are presented. These consist of an interface for a multichannel analyzer display, 2 interfaces for a digital cassette recorders, a "Q-bus to U-bus" converter, 3 RAM modules, a control module for multichannel analyzer memory, a control module for multi-dimensional measurements and a PROM programmer.

The investigation has been performed at the Laboratory of Nuclear Problems, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1984