

СООБЩЕНИЯ  
ОБЪЕДИНЕННОГО  
ИНСТИТУТА  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ  
ДУБНА

4324/83

22/8-83

P10-83-383

А.Б.Иванов, С.П.Черненко, Я.Шкваржил

АППАРАТУРА КОДИРОВАНИЯ  
И ЦИФРОВОЙ ОБРАБОТКИ ДАННЫХ  
С ПРОПОРЦИОНАЛЬНЫХ КАМЕР  
С ЛИНИЯМИ ЗАДЕРЖКИ

1983

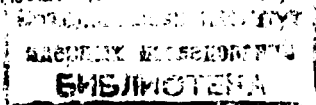
## ВВЕДЕНИЕ

Съем данных с многопроводочных пропорциональных камер /МПК/ с помощью ЛЗ требует малого числа каналов регистрации. Однако одновременное достижения при этом хорошего пространственного разрешения и приемлемого быстродействия может быть реализовано только на основе электронной аппаратуры, имеющей высокие скорости обработки данных и точность. Для решения указанной задачи нами разработаны время-цифровой преобразователь /ВЦП/, управляемый генератор тактовой частоты, разравнивающая память и арифметическо-логическое устройство.

### 1. ВРЕМЯ-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

Существуют различные способы построения ВЦП наносекундного диапазона. Широко используются методы прямого счета<sup>/1/</sup>, нониусный<sup>/2/</sup>, интерполяции периода тактовой частоты<sup>/3/</sup>, преобразования Т-А-Т<sup>/4/</sup>. Наиболее простым является метод прямого счета, т.е. заполнения измеряемого интервала поступающими на счетчик импульсами тактовой серии  $T_0$ . Методу присущи нулевое мертвое время и высокая стабильность параметров, однако достижимая при этом точность ограничена предельной частотой переключения счетных триггеров /для серии К500  $f_{\max} \approx 150$  МГц/. Другой цифровой метод - нониусный - хотя и позволяет получать высокое разрешение /суб-наносекундный диапазон/, является сравнительно сложным, требует тщательной регулировки двух опорных генераторов высокой стабильности. Методам, связанным с преобразованием Т-А-Т /увеличение масштаба времени/, свойственны недостатки аналоговых систем /температурная нестабильность, нелинейность/, а также крайне нежелательные для рассматриваемого применения значительное увеличение мертвого времени /в случае растяжки временного интервала между импульсами "старт" или "стоп" и фазой периода тактовой частоты<sup>/5/</sup> увеличение мертвого времени незначительно/.

Исходя из сказанного нами выбран, как наиболее оптимальный для решения поставленной задачи, способ интерполяции периода опорной частоты посредством формирования времязадающих коротких временных интервалов  $\Delta t = T_0/n$  на радиочастотных кабелях задержки. Этот метод обеспечивает точность, соответствующую временному разрешению используемых схем совпадений /для серии К500 - не хуже 2 нс/, высокую стабильность параметров и пренебрежимо малое мертвое время /равное периоду опорной частоты/, т.е. достаточно



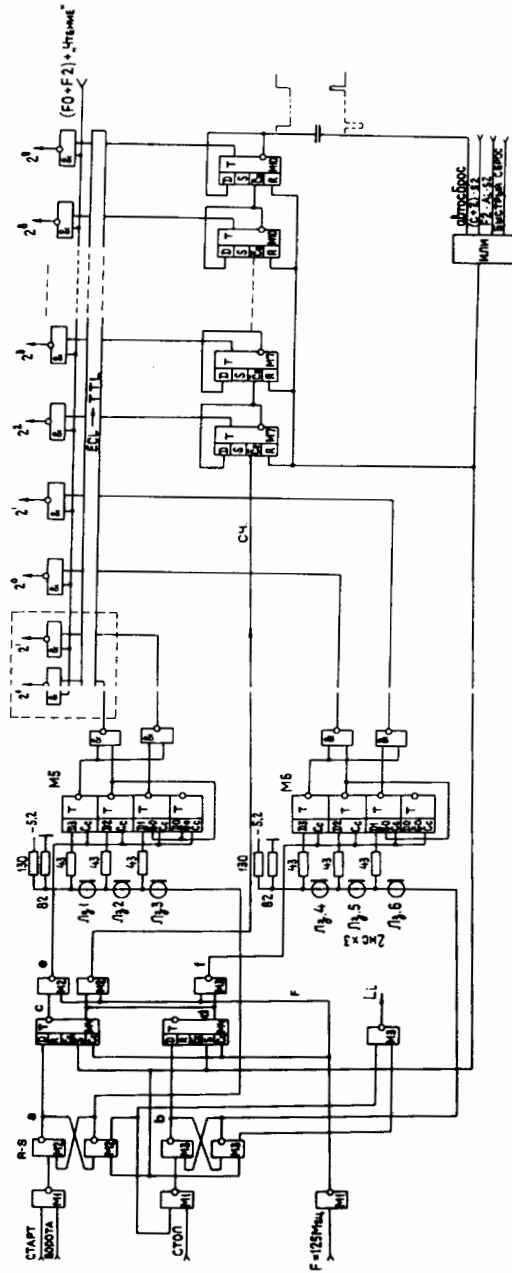


Рис. 1. Принципиальная схема ВЦП /показан один из двух каналов/.

полно отвечает выдвинутым требованиям. Слабые стороны такого подхода - отсутствие плавной регулировки масштаба преобразования и необходимость индивидуальной регулировки ширины канала - в случае малоканальной аппаратуры не играют принципиальной роли /и сказываются только на этапе настройки/.

Разработанный ВЦП /тип Р-304/ содержит 2 измерительных канала на одной плате КАМАК. Принципиальная схема одного из каналов показана на рис.1. Принцип работы схемы, как известно, сводится к устранению основного недостатка метода прямого счёта - отсутствию информации о моменте прихода импульсов "старт" и "стоп" относительно фазы тактовой частоты и возникающей в свя-

зи с этим ошибки измерения временных интервалов  $\sigma = \sqrt{\sigma_{\text{старт}}^2 + \sigma_{\text{стоп}}^2} = \frac{T_0}{\sqrt{6}}$  /треугольное распределение с шириной на полувысоте  $T_0$  /.

В методе интерполяции период  $T_0$  разбивается на более мелкие шаги  $\Delta t$ , с помощью которых измеряются указанные выше /не определенные в методе прямого счёта/ интервалы времени.

Каналы блока Р-304 имеют индивидуальные входы сигналов "старт", "стоп", "такт", что необходимо для приема сигналов с двух концов ЛЗ. Кодировочная часть блока выполнена на ЭСЛ микросхемах К500 /МС 10.000/. В соответствии с этим минимальный шаг интерполяции выбран равным  $\Delta t = 2$  нс. Число шагов интерполяции  $n$  определяется на основе значения периода опорной частоты  $f_0 = 125$  МГц /выбранной близкой к максимальной в целях сокращения элементов интерполятора/:  $n = T_0 / \Delta t = 8$  нс: 2 нс = 4.

В качестве элементов интерполятора используется "триггер-защелка" типа К500ТМ133 /МС 10.133/, содержащий 4 триггера в корпусе /схемы М5 и М6 на рис.1/. Задержка  $\Delta t = 2$  нс формируется на отрезках радиочастотного кабеля / $Z_0 = 50$  Ом/. Интерполяция производится в каждом из двух измерительных каналов блока для обоих сигналов /"старт" и "стоп"/. Фиксация моментов прихода этих сигналов относительно фазы  $F_0$  производится D-триггерами Т1 и Т2 /К500 ТМ131/. Частота  $F_0$  подается на 8-разрядный счетчик импульсов. Работа схемы поясняется временной диаграммой /рис.2/.

Измеренный интервал времени вычисляется по формуле

$$T_{\text{изм}} = N_C \times 8 \text{ нс} + (N_{M5} - N_{M6}) \times 2 \text{ нс}, \quad /1/$$

где  $N_C$ ,  $N_{M5}$ ,  $N_{M6}$  - соответствующие коды в счетчике и регистрах М5, М6.

При использовании управляемого генератора 2Г-303, фаза серии тактовых импульсов с которого синхронизована с сигналом "старт", значение  $N_{M5}$  постоянно /или равно 0/. Для этого случая

$$T_{\text{изм}} = N_C \times 8 \text{ нс} - N_{M6} \times 2 \text{ нс}. \quad /2/$$

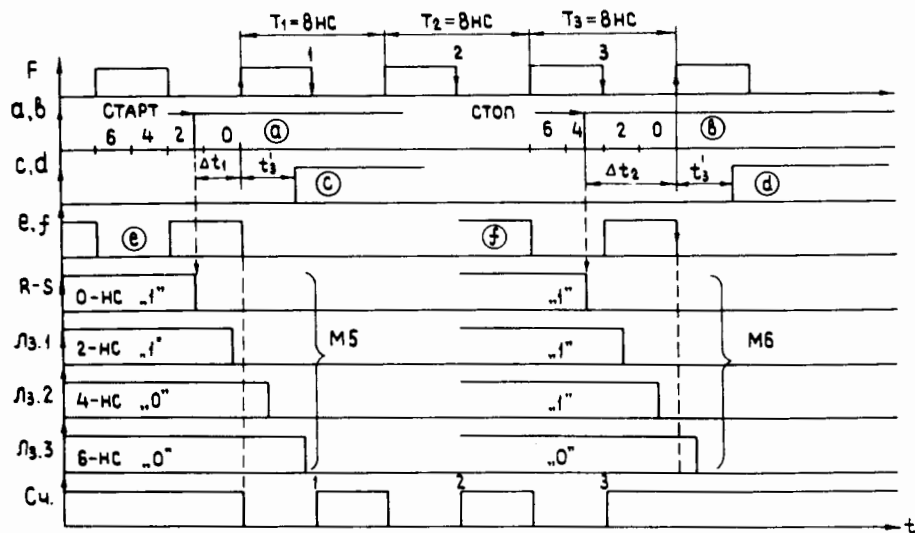


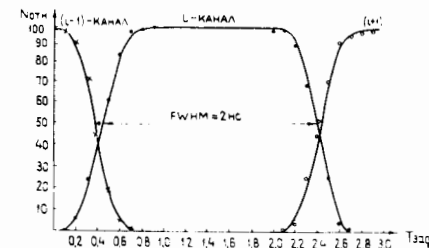
Рис.2. Временная диаграмма работы ВЦП. Закодированный интервал составляет  $3 \times 8 \text{ нс} + /2-3/x2 \text{ нс} = 22 \text{ нс}$ .

Для облегчения дальнейшей работы с зарегистрированным кодом в схеме обеспечивается а/ аппаратное преобразование позиционного кода  $\dot{M}_5$  в двоичный и б/ возможность его вывода в дополнительном коде /что заменяет операцию вычитания/. Таким образом, на выход измерительного канала поступает при чтении 10-разрядный двоичный код с ценой канала 2 нс.

Переполнение счетчика сопровождается генерацией сигнала "автосброс", приводящего канал в исходное состояние. Сигнал "старт" стробируется внешним сигналом "ворота", сигнал "стоп" может попасть в схему только после прихода сигнала "старт". Наличие обоих сигналов приводит к генерации внутреннего сигнала запроса  $L_i$  ( $i=1,2$ ). Сигнал запроса блока L /генерируемый на магистраль КАМАК и заднюю панель блока/ образуется как  $L = L_1 + L_2$ , т.е. равен "1" при наличии информации в обоих каналах блока /для двухкоординатного детектора событие имеет смысл, если закодированы обе его координаты/. Вывод сигнала L на заднюю панель блока используется временным процессором для быстрой предварительной обработки информации. Чтение кодов производится по командам КАМАК ( $F0 + F2$ ) и сигналу "чтение" с передней панели.

Настройка ширины канала производилась на линии с ЭВМ ЕС-1010 путем тщательного подбора отрезков кабельной задержки. Полученная дифференциальная линейность составляет ~1%. Этот результат полностью удовлетворяет требованиям широкого круга задач. Точность измерения интервалов времени схемой характеризуется профилем канала, измеренным при введении в канал импульсов

Рис.3. Зависимость, характеризующая точность ВЦП.  $N_{отн}$  — счет в канале за определенное время в зависимости от вводимой в тракт сигналов "стоп" задержки  $T_{зад}$ . с шагом 50 пс /в измерениях использовался управляемый генератор/.



"стоп" регулируемой калиброванной задержки и при изменении ее с шагом 50 пс. Полученная зависимость /форма канала/ приведена на рис.3 /ввиду идентичности всех каналов показан только один/. Измерения проводились с управляемым генератором 2Г-303 /см. далее/. Следует отметить близость полученного распределения к прямоугольному /крутые фронты/, что обеспечивает малую среднеквадратичную ошибку измерений  $\sigma = 0,6 \text{ нс}$ . Данное значение  $\sigma$  следует также и из результатов длительной эксплуатации блока <sup>1/6</sup>.

#### Основные параметры блока:

число независимых каналов измерения	- 2
шаг дискретизации	- 2 нс / $\sigma \approx 6 \text{ нс}$ /
емкость канала	- $2^{10} - 1$
максимальный измеряемый интервал времени	- 2 мкс
сигналы на передней панели	- "старт", "стоп", "тактовая частота", "быстрый сброс", "чтение", "ворота".

#### 2. ГЕНЕРАТОР ТАКТОВОЙ ЧАСТОТЫ

Для обеспечения требуемых точности кодирования интервалов времени в методе прямого счета и однородности ширины канала в методе интерполяции генератор тактовой частоты должен иметь стабильность не хуже 0,1%. Такое значение параметра удовлетворяет требованиям относительной точности измерений координат и однородности измерения интенсивностей, которые возникают во многих задачах. В разработанных для этой цели модулях тактовая частота выделяется с помощью помещенного в цепь положительной обратной связи LC-контур. Стабилизация частоты производится кварцевым резонатором 25 МГц, работающим на 5-й гармонике /используется кристалл АТ среза, дающий нечетные гармоники/. Блоки выполнены на интегральных микросхемах серии К500.

### 3. РАЗРАВНИВАЮЩАЯ ПАМЯТЬ

Разработанная промежуточная память разравнивающего типа РП-201 предназначена для устранения просчетов при накоплении цифровой информации с регистрирующей электроники в ЗУ. Устройства накопления данных - массовая память или ОЗУ управляющей ЭВМ - характеризуется постоянной величиной мертвого времени  $T_{з\text{у}}$ , поэтому вероятность потери событий можно оценить по формуле

$$n_{з\text{у}} = \frac{n_{\text{вх}}}{1 + n_{\text{вх}} \cdot T_{з\text{у}}}$$

. Задача разравнивающей памяти - регуляризовать поток статистической информации. В пределе, при периодическом характере входной информации, для ЗУ с постоянным мертвым временем потерь не будет вообще, если частота входных событий не превышает  $T_{з\text{у}}^{-1}$ .

Блок-схема устройства РП-201 приведена на рис.5. Основным узлом схемы, полностью выполненной на ТТЛ микросхемах, является запоминающий буфер емкостью 16 слов x 32 разряда /микросхемы МН7489 или К155РУ2/. Блок представляет собой память типа LIFO /последним вошел, первым вышел/. Такое решение целесообразно для запоминающих устройств с произвольной адресацией /каковыми являются схемы К155РУ2/, т.к. при этом требуется всего один адресный счетчик с реверсивным входом.

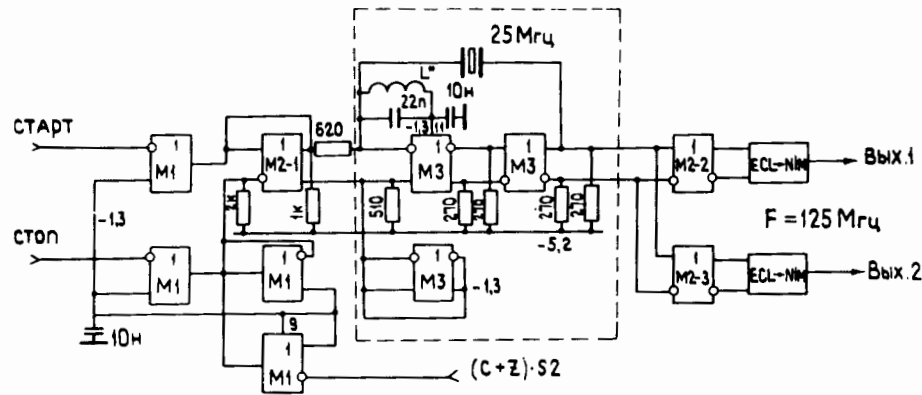


Рис.4. Принципиальная схема управляемого генератора тактовой серии 125 МГц. Микросхемы: М1 - К5001ЛП115, М2, М3 - К5001ЛП116.

На принципиальной схеме генератора, приведенной на рис.4, пунктиром выделен собственно генератор тактовой частоты  $F = 125$  МГц. Элементы LC-контура выбираются из условия  $1/F = \sqrt{LC}$ ; необходимый коэффициент усиления выделяемой контуром гармоники достигается применением двух приемников с линии /К500ЛП116/.

Дополнение генератора схемой управления - триггер R-S, реализованный на приемнике с линией М2-1 /рис.4/, - позволяет сфазировать период опорной частоты с моментом появления стартового сигнала. Остановка генератора производится сигналом "стоп" или сигналами сброса  $(C+Z) \cdot S2$ . Такое решение дает, как известно, улучшение точности кодирования /уменьшение  $\sigma$  / в  $\sqrt{2}$  раз. Это обстоятельство весьма важно для многих приложений, когда точность кодирования не может быть увеличена путем увеличения числа элементов дискретизации измеряемых координат либо по причине ограниченности объема ЗУ, либо вследствие необходимости обеспечения требуемого быстродействия. Другим весьма полезным следствием применения управляемого генератора в сочетании с методом интерполяции является отсутствие необходимости кодирования интервала  $\Delta t_1$  /см. рис.2/, что упрощает схему ВЦП и существенно облегчает дальнейшую обработку информации.

По указанным схемам созданы два типа генераторов: Г-302 и 2Г-303. Модуль Г-302 генерирует на 12 выходов непрерывную тактовую частоту 125 МГц. Модуль 2Г-303 содержит два управляемых канала генерации с отдельными сигналами "старт" и "стоп". Задержка появления тактовой серии -15 нс. Стабильность частоты в диапазоне температур  $20 \pm 50^\circ\text{C}$  не хуже 0,05%. Модули выполнены в стандарте КАМАК, занимают одну нормальную станцию в крейте, используют напряжение питания  $\pm 6$  В.

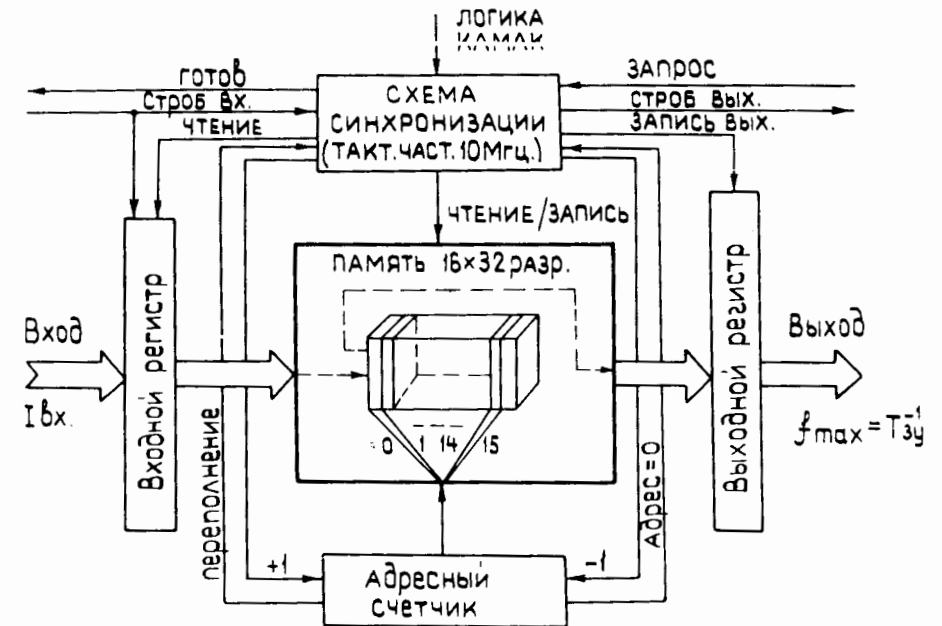


Рис.5. Структурная схема разравнивающей памяти (LIFO).

Другой особенностью схемы является наличие входного и выходного регистров данных, реализованных на триггерах-защелках МН7475. Указанные регистры позволяют обеспечить независимость входа и выхода блока РП-201 от буфера памяти, цикл работы которого состоит из двух тактов: /1/ установки адреса и /2/ чтения /записи/ данных. Такое построение схемы позволяет получить быстрое действие устройства, соответствующее времени записи информации в триггер-защелку /~50 нс/.

Работа блока производится согласно указанному принципу построения. Запись информации во входной регистр производится при наличии сигнала "готов", означающего, что в памяти есть свободные ячейки. После окончания записи данных, осуществляемой сигналом стробирования "строб.вх.", источник информации может приступить к регистрации следующего события. Событие из входного регистра переносится в буферную память во время цикла записи, после чего содержимое счетчика /синхронный 4-разрядный двоичный счетчик ИЕ7 или МН74193/ увеличивается на 1. Если память при этом не переполняется /т.е. есть еще свободный адрес/, то блок вновь генерирует сигнал "готов".

Выборка данных приемником информации /например, основным ЗУ/ производится из выходного регистра блока. Информация в указанный регистр заносится во время циклов чтения буферной памяти, чередующихся с циклами записи; при этом из асинхронного счетчика предварительно вычитается 1. Перезапись слова в выходной регистр осуществляется, если а/ такое слово есть в памяти и б/ выходной регистр свободен. Синхронизация режимов записи и чтения буфера памяти с соответствующими режимами датчика и приемника данных выполняется схемой синхронизации, работающей на тактовой частоте 10 МГц. Данные считываются либо по быстрой магистрали на передней панели блока, либо по магистрали КАМАК.

В предельно возможных случаях запись в буферную память ведется до полного ее заполнения и запрета генерации сигнала "готов" или, наоборот, до считывания из блока последнего накопленного слова, что приводит к блокированию выработки стробирующего выходного импульса "строб.вых." в ответ на сигнал "запрос" от приемника. В конкретном эксперименте устанавливается динамическое равновесие между поступающим и выходящим потоками данных, определяющее степень заполнения /вероятностную/ буфера и зависящее от величины параметра  $I_{ВХ} \cdot T_{ЗУ}$ . В теории множеств рассматриваемой ситуации соответствует система, с ограниченной очередью и одним обслуживающим аппаратом, поэтому для оценки среднего числа событий в буфере М /средняя длина очереди/ можно применять следующую формулу:

$$M = \sum_{k=2}^{18} \frac{(k-1) \cdot 18!}{(18-k)!} (I_{ВХ} \cdot T_{ЗУ})^k \cdot P_0 \quad /3/$$

где  $P_0$  - вероятность того, что все ячейки памяти свободны; ем-

кость блока принята равной 18 событий с учетом наличия входного и выходного регистров.

Определенная избыточность емкости буфера обусловлена организацией базового элемента - интегральной микросхемы К155РУ2 /16 слов x 4 разряда/, что поэтому же не привело к усложнению схемы и обеспечило ей известную компактность /устройство реализовано на одной плате КАМАК/. Большая емкость блока сочетается с высоким быстродействием - более 1 МГц, что перекрывает возможности МПК и больших ЗУ.

#### Основные параметры разравнивающей памяти типа РП-201

тип	- асинхронный
элементная база	- ТТЛ интегральные схемы
разрядность входного слова	- 32 /максимально/
емкость блока	- /16+2/ событий
быстродействие	- >1 МГц.

#### 4. АРИФМЕТИЧЕСКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО /АЛУ/

В процессе накопления информации в ЗУ часто требуется произвести предварительную обработку цифровых данных: сложение и вычитание входных данных или входных данных и констант, сжатие информации, сравнение входных чисел между собой или с константами и т.д. Такие операции позволяют, например, привести данные к одному началу координат, забраковать информацию по какому-либо критерию, разместить в ЗУ несколько /сжатых/ кадров, вычислить угол вылета заряженной частицы из образца и т.д.

В случае больших загрузок, когда прием информации ведется по инкрементному каналу или каналу прямого доступа в ЭВМ, указанные действия должны производиться аппаратным способом. Такой подход может быть весьма полезен и при использовании автономной массовой памяти, т.к. процессор при этом освобождается от рутинных операций и может заниматься задачами более высокого уровня. В последнем случае аппаратное выполнение перечисленных действий обеспечивает значительно более высокое быстродействие, чем процессор управляющей ЭВМ, и позволяет максимально использовать предельную скорость записи ЗУ.

При разработке предназначенного для выполнения вышеперечисленных задач АЛУ ставилось целью получить относительно простое и надежное устройство с быстродействием 5-10 МГц /т.е. в 10-20 раз превосходящее по этому параметру современные малые ЭВМ/, способное обрабатывать поступающую на вход координатную информацию с одной или двух координатных МПК. Должна быть обеспечена возможность передачи данных по быстрой магистрали /на передней панели/. С учетом работы блока в системах, имеющих управляющую

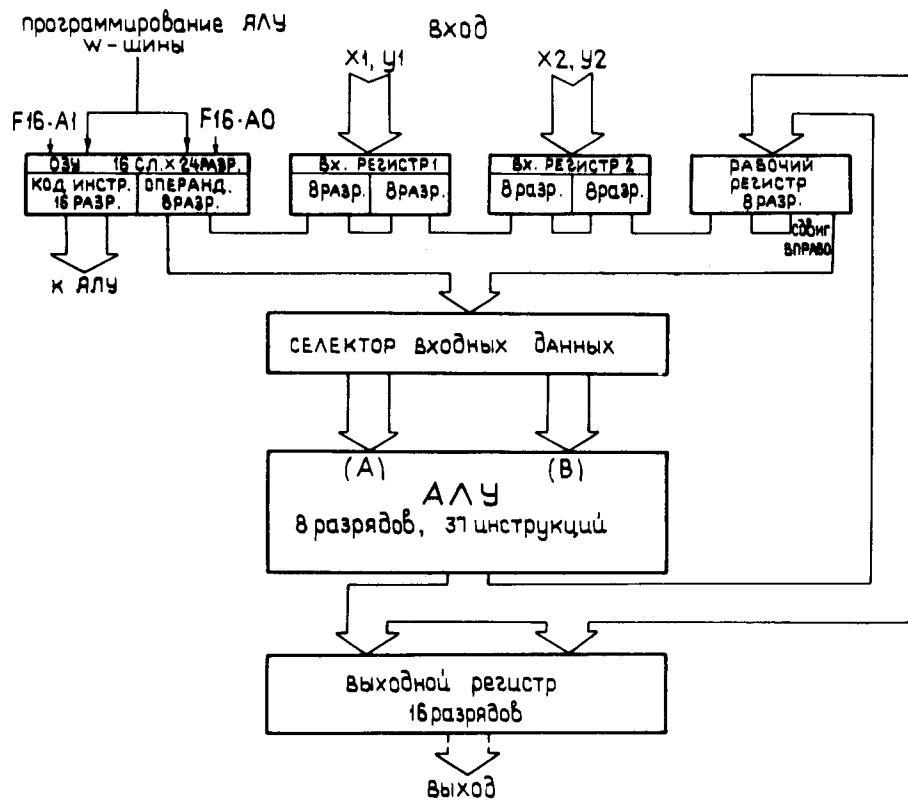


Рис.6. Структурная схема арифметико-логического устройства.

мини- или микро-ЭВМ, блок целесообразно осуществить перепрограммируемым по магистрали КАМАК, что существенно упрощает схему и дает известную гибкость модификации алгоритмов обработки.

Созданное арифметико-логическое устройство типа АЛУ-201 выполнено на микросхемах ТТЛ на одной плате КАМАК. Блок-схема АЛУ-201 и схема синхронизации обмена приведены на рис.6 и 7.

Работа блока начинается с программирования ОЗУ АЛУ, выполненного на микросхемах быстрой перепрограммируемой памяти с произвольной адресацией типа К155РУ2/МН7489/. ОЗУ имеет емкость 16 слов x 24 разряда /16 разрядов - код инструкции, 8 разрядов - операнд/. После занесения последней команды /максимальное число команд - 16/ блок генерирует сигнал запроса "запр.вх." о готовности к приему данных. После приема данных /4 байта/ во входные регистры 1 и 2 в схеме запускается генератор тактовых импульсов /5 МГц/, в каждом цикле которого из ОЗУ последовательно вызываются и исполняются ранее запрограммированные ин-

Рис.7. Схема синхронизации АЛУ.

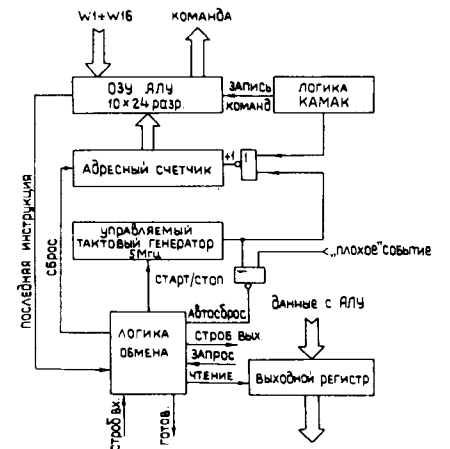


Рис.8. Формат инструкции АЛУ.

разряд	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
назначение	Код инструкции			Адреса входных данных		Адреса записи результата		Код операции сравнения		Статусные сигналы		Управляющие сигналы		Последняя инструкция		

струкции. Обрабатываемые данные /два байта/ поступают на 8-разрядные входы "А" и "В" двух арифметико-логических схем типа К155ИД3 /МН74181/ - базового элемента блока. АЛУ способна производить 37 типов операций: 16 арифметических, 16 логических и 5 операций сравнения.

Разряды инструкции имеют следующее назначение: 0÷3 - код арифметико-логической операции, 4÷5 и 6÷7 - адреса обрабатываемых байтов, 8÷9 - адрес регистра записи результата, 10÷12 - код операций сравнения, 13÷14 - статусные сигналы АЛУ, 15 - признак последней инструкции /рис.8/. Быстродействие достигается, таким образом, благодаря малому времени исполнения команды /200 нс/ и многоадресности инструкции.

На основе значений статусных сигналов  $A = B$ ,  $C_n$ ,  $C_{n+4}$  /выход сигнала переноса/ производится выполнение операций сравнения. Алгоритм операций строится с учетом того, что совпадение значения текущего кода операции сравнения с решением АЛУ приводит к генерации в схеме сигнала "автосброс", прерывающего процедуру обработки и приводящего блок в исходное состояние, т.е. состояние готовности к приему новых данных. В случае нормального окончания работы схема ждет сигнала запроса "запр.вых." о готовности приемника информации к считыванию данных из АЛУ. При наличии сигнала "запр.вых." осуществляется вывод данных с выходного регистра, сопровождаемый импульсом записи "строб.вых.", после чего схема приводится в состояние готовности к приему очередного события. Возможно также считывание информации по шинам R магистрали КАМАК. Синхронизация передачи информации базируется при этом на генерации сигнала L после нормального завершения цикла обработки данных. Считывание производится по командам F0 и F2.



## ЗАКЛЮЧЕНИЕ

Разработанная система блоков цифрового кодирования и обработки информации обладает хорошей точностью  $\sigma = 0,6$  нс/, нулевым мертвым временем и высокой предельной скоростью обработки данных  $/10^6 \text{ с}^{-1}$  /, что позволяет эффективно использовать указанную аппаратуру для реализации ряда высокопроизводительных координатных детекторов на основе МПК.

Авторы благодарят Ю.В.Заневского за полезные обсуждения и интерес к работе.

## ЛИТЕРАТУРА

1. Ковтун А.К., Шкуро А.Н. ПТЭ, 1973, № 1, с.7.
2. Басиладзе С.Г. и др. ОИЯИ, 13-7608, Дубна, 1973.
3. Verweij H. IEEE Trans.Nucl.Sci., 1975, vol.NS-22, No.1, p.437.
4. Басиладзе С.Г., Тлачала В. ОИЯИ, 13-8609, Дубна, 1975.
5. Аульченко В.М. ПТЭ, 1977, № 1, с.79.
6. Заневский Ю.В. и др. ОИЯИ, P13-83-121, Дубна, 1983.
7. Анисимов Ю.С. и др. Кристаллография, 1981, т.26, вып.6, с.1305.
8. Chernenko S.P. et al. Nucl.Instr. and Meth., 1981, vol.186, p.545.

Рукопись поступила в издательский отдел  
7 июня 1983 года.

Иванов А.Б., Черненко С.П., Шкваржил Я.

P10-83-383

Аппаратура кодирования и цифровой обработки данных  
с пропорциональных камер с линиями задержки

В работе описывается выполненная в стандарте КАМАК система быстродействующих блоков регистрации и обработки координатной информации с многопроволочных пропорциональных камер /МПК/, использующих линии задержки. Система включает в себя: время-цифровой преобразователь, управляемый генератор тактовой частоты, разравнивающую память и арифметическо-логическое устройство. Основные параметры аппаратуры: эффективная точность измерений временных интервалов - 1 нс (FWHM), быстродействие  $\sim 10^6 \text{ с}^{-1}$ , мертвое время и интегральная нелинейность практически равны нулю, неоднородность ширины канала  $\leq 1\%$ .

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1983

Ivanov A.B., Chernenko S.P., Škvařil J.

P10-83-383

Apparatus for Readout and Digital Processing of Data  
from MWPC with Delay Lines

A CAMAC system of fast modules for readout and processing coordinate data from multiwire proportional chambers (MWPC) with delay lines is described. The system consists of: time-to-digital converter, controlled clock pulse generator, derandomizer and arithmetic-logical unit. The main parameters of apparatus are: effective time measurement accuracy - 1 ns (FWHM), operating rate  $\sim 10^6 \text{ s}^{-1}$ , dead time and integral nonlinearity practically equals zero, nonuniformity of channel width  $\leq 1\%$ .

The investigation has been performed at the Laboratory of High Energies, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1983

Перевод О.С.Виноградовой