

сообщения
Объединенного
Института
Ядерных
Исследований
Дубна

4604/2-81

2/9-81

P10-81-347

+

В.Н.Замрий, А.Е.Туфанов

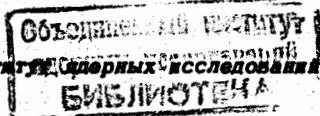
СПЕЦИАЛИЗИРОВАННЫЙ ПРОЦЕССОР
ДЛЯ НОРМИРОВКИ ИЗМЕРЯЕМЫХ СИГНАЛОВ

1981

При измерении параметров реального процесса физической установки часто необходимо выполнять нормировку измеряемых сигналов в реальном масштабе времени. Так, при измерении положения центра тяжести пучка электронов ускорителя нормировка каждой пары измеряемых сигналов $(X_1, X_2; Y_1, Y_2)$ магнитоиндукционных датчиков, соответствующая вычислению функции вида $H = (X_1 - X_2) : (X_1 + X_2)$, позволяет исключить зависимость результата от изменений тока пучка, вдвое сократить количество регистрируемых данных.

В измерительно-информационной системе, работающей в реальном масштабе времени /СРВ/, продолжительность вычисления функции нормировки процессором, например, микро-ЭВМ, ограничена максимально допустимой задержкой измерения и регистрации поступающих данных. Необходимое повышение пропускной способности измерительного канала СРВ на 1-2 порядка требует соответствующего повышения быстродействия процессора, применения быстрого специализированного процессора нормировки /СПН/, с длительностью выполнения операции деления до $10 \text{ мкс}^{1/}$. Такие длинные операции нормировки, как деление, умножение, в программно-управляемой СРВ должны выполняться с относительно высокой скоростью, что реализуемо на микропрограммном уровне. Эта задача нередко решается путем создания узкоспециализированных, непрограммируемых устройств для вычисления заданной операции, функции.

Рассматриваемый процессор СПН, имеющий разрядность 12 бит, время деления, умножения $\sim 6 \text{ мкс}$, количество микросхем - 60, выполненный в виде модуля КАМАК, позволяет относительно быстро вычислять функции нормировки с программируемыми последовательностями арифметических и логических операций, с учетом корректирующих поправок. СПН работает совместно с контроллером крота КАМАК стандартного исполнения /КК/: принимает данные и команды, выполняет соответствующие операции и выдает результаты, причем операция, которая может быть микропрограммой, выполняется как одна команда. Короткая операция СПН, например, вычитание, сложение, выполняется во время команды КАМАК. Длинная операция /деление, умножение/ инициируется командой. После выполнения этой операции в СПН устанавливается сигнал "Запрос на внимание", и КК может переходить к чтению результата. Асинхронная связь СПН и КК допускает параллельное их использование, достаточную гибкость при выполнении задач нормировки.



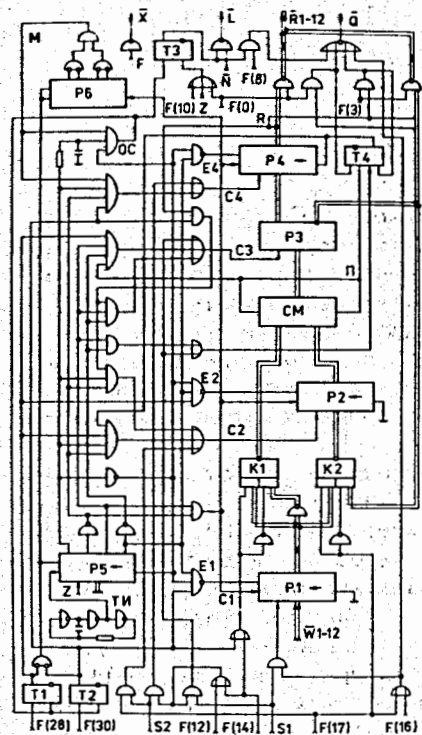


Рис.1. Структурно-логическая схема АЛУ.

СПН состоит из арифметико-логического устройства /АЛУ/, устройства управления /УУ/ и устройства связи с магистралью крейта КАМАК /УС/, построенных на средних интегральных микросхемах среднего быстродействия / ТТЛ, серия 155/. Структурная схема АЛУ /рис.1/ содержит комбинационный сумматор СМ /типа ИМЗ/; Д-триггер Т4 для хранения сигнала циклического переноса П; универсальные сдвигающие регистры Р1, Р2, Р4 /ИР1/; регистры на Д-триггерах с прямым и инверсным выходами Р3 /ТМ7/; коммутаторы К1, К2 с инверсным выходом /ЛР1/ и инвертор кода числа. Командно-управляемые коммутаторы, сигналы разрешения сдвига (Е1, Е2, Е4), импульсы синхронизации сдвига /С1/ и логически управляемой записи /С2,

С3, С4/ обеспечивают совмещенное использование регистров и СМ при выполнении операций СПН.

Операция сложения выполняется при поступлении сигнала команды, разрешающего передачу кода Р1 через К1. Сумма кодов Р2 и Р1 с возможным признаком переполнения /значение старшего разряда суммы $R=1, \Pi=1$ / записывается в Р3, Т4 и затем в Р4, по С3 и С4, при поступлении первого и второго стробов команды. Вычитание чисел осуществляется суммированием кода Р2 и обратного кода Р1, поступающего через инвертор и К1, с учетом циклического переноса. Результат вычитания с возможным признаком отрицательного знака ($R=1, \Pi=0$) аналогично записывается при поступлении стробов команды.

Операция деления инициируется сигналом команды, включающим УУ. Схема реализует относительно быстрый вариант известного алгоритма деления со сдвигом делимого и частного влево, без восстановления остатка. Последовательность сигналов управления поступает в соответствии с временными диаграммами /рис.2/. В течение одного цикла деления выполняется сдвиг Р2 и Р4, по С1, Е2 и Е4, при этом в Р4 вдвигается код Т4, затем - вычитание.

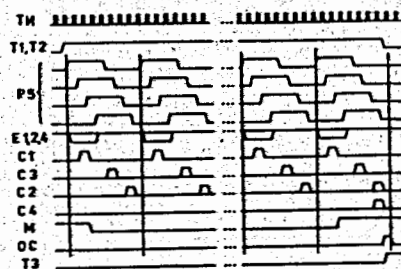


Рис.2. Временные диаграммы.

Разность записывается в Р3, если знак положителен ($\Pi=1$), либо не записывается, если знак отрицателен ($\Pi=0$), поэтому восстановление остатка не требуется. Одновременно значение переноса П записывается в Т4. Значение разности передается через К2 в Р2, по С2, если Т4 хранит значение $\Pi=1$. В первом цикле из Р2 выдвигается старший разряд /знаковый/ делимого, поэтому он не учитывается, а в Р4 вдвигается код Т4, который может хранить знак частного /делимого/. В последнем цикле после сдвига в Р4 образуется код частного.

Операция умножения аналогично инициируется командой. Схема реализует вариант известного алгоритма умножения со сдвигом множимого вправо, множителя - влево. Направление сдвига регистров Р1, Р4 одинаково, так как младшие разряды Р1 находятся слева. Используются в основном те же временные диаграммы /рис.2/. В течение одного цикла умножения выполняется сдвиг Р1 и Р4, по С1, Е1 и Е4, и сложение. Сумма записывается в Р3 и затем в Р2, если старший разряд регистра Р4 имеет значение "1" ($R=1$). В первом цикле из Р4 выдвигается старший разряд /знаковый/ множителя, поэтому он не учитывается. В последнем цикле сумма не записывается ($R=0$), а произведение переписывается из Р3 в Р4, по С4.

Разрядность АЛУ устанавливается 12 бит, если сигнал датчика преобразован в число с разрядностью до 10 бит. При этом предполагается, что сумма кодов имеет до 11 значащих разрядов и 1 разряд знаковый, делимое меньше делителя и частное меньше делимого. Делимое Н представляет собой разность, а делитель - сумму тех же чисел, следовательно, частное есть дробь, числитель и знаменатель которой можно рассматривать как дробные числа, умноженные на масштабный коэффициент, а вычисление вести, как с дробными числами с фиксированной запятой. Методическая ошибка для примененного алгоритма деления алгебраических сумм не превышает значения 3 младших разрядов, а диапазон изменения результата - ± 256 , что допустимо для большинства применений. Умножение, введенное в основном для масштабирования, выполняется с числами, произведение которых не превышает установленной разрядности. Если разрядность преобразования сигнала больше, и необходимо расширить диапазон, уменьшить погрешность результата, тогда разрядность АЛУ расширяется с 12 до 16. Соответственно возрастает количество используемых микросхем с 32 до 42.

Схема управления УУ /см. рис.1/ содержит регистр P5, на вход синхронизации сдвига которого поступают тактовые импульсы ТИ из встроенного генератора, логическую схему формирования сигналов цикла, счетчик циклов P6 и управляющие триггеры T1, T2. Сигнал команды, иницирующей деление /умножение/, включает T1 /T2/ и тем самым снимает блокировку P5 и P6. Начинается циклический сдвиг P5 с инверсией сигнала старшего разряда и формирование сигналов цикла деления /умножения/ /см. рис.2/. Период следования ТИ /60-80 нс/ определяет длительности и относительные задержки сигналов минимального цикла, а также время выполнения 12 циклов - 6 мкс и 16 циклов - до 10 мкс. В последнем цикле, после отсчета С1 и возвращения P6 в исходное состояние, поступает разрешающий сигнал M, и импульс остановки ОС выключает T1 /T2/. При выполнении сложения и вычитания УУ повторяет цикл командной операции. Всего в УУ использовано 10 микросхем.

Устройство связи УС дешифрирует следующие команды КАМАК:

- N, A(0), F(0) - чтение регистра P4 / Q = 1, если R = 0 /;
- N, A(0), F(3) - чтение обратного кода регистра P3 / Q = 1, если R = 1 /;
- N, A(0), F(8) - проверка запроса / Q = 1, если L = 1 /;
- N, A(0), F(10) - сброс запроса (Q = 0);
- N, A(0), F(12) - вычитание (Q = 0);
- N, A(0), F(14) - сложение (Q = 0);
- N, A(0), F(16) - перезапись регистра P1 (Q = 1);
- N, A(0), F(17) - перезапись регистра P2 (Q = 1);
- N, A(0), F(28) - деление (Q = 0);
- N, A(0), F(30) - умножение (Q = 0);

Z - начальная установка, сброс запроса.

Использование кодов функций, назначение которых не регламентировано, и отдельного дешифратора для арифметических операций при фиксированном субадресе A(0) позволило упростить схему дешифрации /до 6 микросхем/.

Число из магистрали КАМАК обратным кодом записывается в P1 по первому стробу (F(16) + F(17)) · S1, а в P2 - по F(17) · S2. Код P4 и обратный код P3 передаются в магистраль по F(0) и F(3), причем значение старшего разряда P4 (R=1) может быть в КК воспринято как признак переполнения разрядов суммы или отрицательного знака разности. Во время выполнения операции чтения таким же образом расшифровывается значение ответного сигнала Q = 0, а также записывается в T4 признак "0", если F(0) · Q = 1, или "1", если F(3) · Q = 1, для последующей записи в P4. Сигнал запроса L, поступающий с триггера T3, включаемого по окончании длинной операции импульсом ОС и выключаемого по F(10), F(0), а также команда F(8) применяются для организации взаимодействия СПН и КК. В схеме УС использовано до 18 /20/ микросхем.

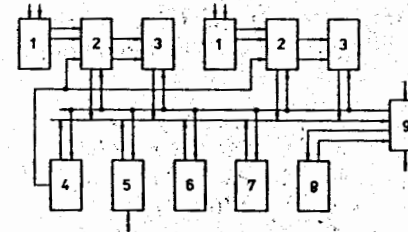


Рис.3. Организация измерения, нормировки и регистрации.

Проведенная минимизация структуры и логической схемы СПН, совмещение функций основных узлов АЛУ и УУ, при некотором его расширении, позволили уменьшить количество микросхем до 60 для 12-разрядной схемы /до 72 - для 16-разрядной/ и выполнить СПН в виде минимального модуля 1М.

Логические возможности СПН расширяются программированием последовательностей операций. Например, последовательности операций перезаписи кодов P1, P2 в P3, P4 с использованием F(14), F(12) применяются с целью занесения множителя, инверсии, чтения прямого и обратного кодов P1, P2. Последовательность операций нормировки N включает: F(17) - запись X1; F(16) - запись X2; F(14) - сложение; F(0) - чтение суммы; F(12) - вычитание; F(0) - чтение разности с проверкой Q и, если Q = 0, F(3) - чтение обратного кода; F(17) - запись разности; F(16) - запись суммы; F(28) - деление; F(8) - проверка запроса и, если Q = 1, F(0) - чтение частного. Время вычисления функции N при минимальном цикле КАМАК - до 20 мкс.

Включение СПН в состав системы, управляемой программируемым КК^{2,3/}, расширяет ее возможности в сторону арифметической обработки. При этом СПН в сочетании с КК можно рассматривать как процессор для несложных вычислений /калькулятор/ за сравнительно короткое время. В рамках стандартных возможностей крейта КАМАК осуществимы оперативный обмен между СПН и источниками - потребителями информации, связь с совместно работающим основным процессором системы. Последнее позволяет повысить эффективность использования процессора, пропускную способность измерительного канала СРВ. Так, для системы на основе КК с микропроцессором, микро-ЭВМ^{4,5/} длительность выполнения нормировки с делением чисел / $4 \cdot 10^2 - 10^3$ мкс/ существенно уменьшается при подключении СПН.

Организация последовательного опроса и измерения сигналов / X1, X2 /, ввода, нормировки и регистрации значения параметров иллюстрируется рис.3, где 1 - модуль нормализаторов; 2 - мультиплексор аналоговых сигналов /МАС/; 3 - регистр числа, аналого-цифровой преобразователь /АЦП/; 4 - генератор импульсов опроса; 5 - интерфейс связи; 6 - СПН; 7 - регистр результата; РР, память ОЗУ; 8 - модуль запоминания программы /ПЗУ/; 9 - программируемый КК. Программа последовательного ввода, нормировки и регистрации включает также операции КК, связанные

с проверкой запроса АЦП и чтением регистров X1 и X2, а также с перезаписью результатов в регистр PP, ОЗУ. Работа программы иллюстрируется ниже:

4, 0, 8 /L =1?/; В; 4, 0, 0 /X1→KK/; 0, 17 /KK→P2/;
8, 0, 0 /X2→KK/; 1, 0, 16 /KK→P1/; 1, 0, 14 /P2 + P1→P4/;
1, 0, 0 /P4→KK/; 9, 0, 16 /KK→PP/; 1, 0, 12 /P2 - P1→P3, P4/;
1, 0, 0 /P4→KK/; 1, 0, 3 /P3→KK/; 1, 0, 17 /KK→P2/;
9, 0, 0 /PP→KK/; 1, 0, 16 /KK→P1/; 1, 0, 28 /P2: P1→P4/;
1, 0, 8 /L =1?/; В; 1, 0, 0 /P4→KK/; 9, 0, 16 /KK→PP/;

где для команд N, A(0), F /даны с пояснением/ указан номер станции N=1 для СПН, N=4 и N=8 для регистров X1 /АЦП1/ и X2 /АЦП2/ N=9 для регистра PP. После окончания опроса входного сигнала МАС и преобразования АЦП1 устанавливается запрос L=1, инициирующий работу программы /программа может находиться в состоянии ожидания этого запроса после завершения обработки предшествующих двух сигналов/. После каждой проверки наличия запроса АЦП или СПН выполняется возврат /В/ к той же команде проверки, если Q=L=0, либо - переход к команде чтения, если Q=L=1. После чтения разности выполняется команда чтения обратного кода, если Q=0, либо пропуск этой команды, если Q=1. Время исполнения программы, реализуемой КК с длительностью цикла командной операции 1,6 мкс ³, составляет 40 мкс. Это позволяет, с учетом времени работы МАС и АЦП, организовать опрос, измерение, ввод, нормировку и регистрацию ~100 параметров за 10 мс. Сокращение времени генерации команд КК является резервом дальнейшего повышения пропускной способности измерительного канала СРВ.

ЛИТЕРАТУРА

1. Журавлев В.В., Замрий В.Н. В кн.: X Международный симпозиум по ядерной электронике. 10-16 апреля, 1980 г., Дрезден, ГДР. ZfK-413, Rossendorf, 1980, с.6.
2. Барабаш И.П. и др. ОИЯИ, 11-8522, Дубна, 1975.
3. Замрий В.Н. ОИЯИ, 11-12041, Дубна, 1978.
4. Елизаров О.И. и др. ОИЯИ, Д13-11182, Дубна, 1978.
5. Сидоров В.Т. и др. ОИЯИ, P10-12481, Дубна, 1979.

Рукопись поступила в издательский отдел
26 мая 1981 года.