

с 344.3g
Ш-363

ИЯЭ, 1268, ч 3, 31/VIII-67
с. 80-83.

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна

P10 - 3366



ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОЦЕССОВ

Б. Шебештьен, А. Марков

ДВОИЧНО-ПЯТЕРИЧНАЯ
ДИФФЕРЕНЦИАЛЬНАЯ СЧЕТНАЯ СХЕМА

1967.

P10 - 3366

Б. Шебештьен, А. Марков

ДВОИЧНО-ПЯТЕРИЧНАЯ
ДИФФЕРЕНЦИАЛЬНАЯ СЧЕТНАЯ СХЕМА

Направлено в ПТЭ



5185/1 мр.

В течение последних лет наряду с простыми счётными системами все чаще находят применение в цифровой технике реверсивные^{/1,2,3/} и дифференциальные схемы^{/4,5,6/}. Простая счётная схема имеет один вход, она суммирует число поступающих импульсов.

Реверсивные счётные схемы тоже имеют один вход, но обладают двухсторонним действием. В одном случае (счёт в прямом направлении; или счёт вперед) они регистрируют число поступающих импульсов так же, как и простые пересчётные схемы. Во втором случае (счёт в обратном направлении, или счёт назад) число поступающих импульсов вычитается из числа импульсов, ранее накопленных в счётчике. В результате получается разность чисел импульсов, поступивших на вход схемы в этих двух случаях. Выбор соответствующего счёта (в прямом или обратном направлениях) осуществляется внешним управлением.

Дифференциальная счётная схема имеет два отдельных входа. Число импульсов, поступающих на один из входов схемы, считается в прямом направлении; число импульсов, поступающих на второй вход, считается в обратном направлении. Схема регистрирует их разность.

Первые дифференциальные счётные схемы были построены по принципу кольцевых счётчиков^{/5,6/}, но потом были использованы схемы с «стабильными состояниями»^{/7/}. При увеличении числа разрядов надёжность кольцевых схем резко снижается, а схемы с «стабильными состояниями» становятся экономически невыгодными.

В последнее время все чаще применяют двойно-пятеричные счётные схемы, которые составлены из отдельных схем с двумя и пятью устойчивыми

состояниями^{13/}. Эти схемы экономически более выгодны. Они, в отличие, например, от двоично-десятичных систем, не содержат схемы ворот или цепей обратной связи. Кроме того, при помощи сравнительно простых дешифраторов можно подключить к ним современные цифровые индикаторы.

Ниже дано описание двоично-пятеричной дифференциальной счётной схемы.

1. Л о г и ч е с к а я с т р у к т у р а с ч ё т н о й с х е м ы. Логическая структура счётчика показана на рис. 1. В соответствии с выбранной системой счёта схема состоит из двоичного триггера и из многофазного триггера, обладающего пятью устойчивыми состояниями. Двоичный триггер по существу не отличается от классического.

Основным элементом схемы является ячейка НЕ-И (рис. 2). На выходе ячейки появляется логический "0", когда на всех входах схемы И, подключенной к базе транзистора, появляется одновременно логическое состояние "1". Логическое состояние ячейки "0" идентично уровню напряжения на выходе, равному 0, а логическое состояние "1" - уровню напряжения U . Состояние транзисторов, находящихся в насыщении, считается "0", а состояние закрытых транзисторов - "1".

Пятеричная схема составлена из пяти идентичных ячеек НЕ-И. Четыре диода, содержащиеся в каждой из ячеек НЕ-И, подключаются соответственно к коллекторам транзисторов остальных четырех ячеек, как показано на рис. 3. Результатом этого включения является схема, в которой один транзистор проводит, а четыре - нет, следовательно, один транзистор находится в состоянии "0", а остальные - в состоянии "1".

К о п и с ы в а е м о й п я т е р и ч н о й с х е м е принадлежат еще две независимые друг от друга цепи, передающие импульсы "вперед" и "назад" соответственно; их входные шины обозначены на рис. 1 буквами "в" и "н". Импульсы, поступающие на шину "в", действуют таким образом, что логическое состояние "0" по пятеричной системе перемещается в прямом направлении, а импульсы, поступающие на шину "н", перемещают состояние "0" в обратном направлении.

Дифференциальные пересчётные схемы, составленные из элементарных ячеек НЕ-И, известны^{17/}. Принимая во внимание то, что число диодов, применяемых в каждой ячейке, равно $n-1$ (n - число ячеек), можно видеть, что число диодов в схеме, имеющей n состояний, равно $n(n-1)$.

Следовательно, для пятеричной схемы необходимо 20 диодов, а для десятичной схемы - 90 диодов. Построение десятичной схемы по этому принципу экономически невыгодно. С ростом стабильных состояний также уменьшаются быстродействие схемы и ее стабильность. Поэтому нами была выбрана двоично-пятеричная система. Двоичная схема подключается к пятеричной через цепи задержки "э" и логические схемы И (I_1 и I_2), а входы В и Н подключаются к пересчётной схеме через логическую цепь ИЛИ, как показано на рис. 1.

2. П р и н ц и п а л ь н а я с х е м а. Принципиальная схема счётчика показана на рис. 3. На этом рисунке повторяющиеся элементы обозначены только один раз. Входом схемы является двоичный триггер с логическими воротами на транзисторах $T_1 - T_4$. Логический клапан ИЛИ выполнен на диодах D_1 и D_2 , а клапан И - на диодах D_3 и D_4 . L и C_1 являются элементами цепи задержки, которые обозначены на рис. 1 буквой "э". Время задержки равно 1,5 мксек.

Входы пятеричной схемы подключены к выходам схем И при помощи цепей, передающих импульсы "вперед" и "назад". Цепь, передающая импульсы "вперед", выполнена на диодах D_{13} , а цепь, передающая импульсы "назад" на диодах D_{12} . Из всех диодов в цепях передачи импульсов проводят только те два, которые через соответствующие резисторы подключаются к транзистору, находящемуся в состоянии "0". Остальные диоды заперты. Сигналы, появляющиеся на шинах "в" и "н", поступают на базу тех транзисторов, входные диоды которых открыты.

Двоичный триггер перебрасывается каждым из сигналов, поступающих на входы В и Н. Через логические ворота к пятеричной схеме проходит каждый второй сигнал. С помощью логических таблиц 1а и 1б можно проследить работу счётной схемы.

Транзисторы триггерных схем работают на границе насыщения, рассчитанной по минимальному коэффициенту усиления схемы с общим эмиттером.

В пересчётной схеме использован газовый цифровой индикатор типа ИН-2 (рис. 4). Анод индикатора находится под напряжением + 100 в, а катоды-цифры подключены к выходам дешифратора счётчика.

Информация пересчётной схемы, получаемая в двоично-пятеричном коде, преобразуется с помощью дешифратора в десятичный код. На одном из выходов дешифратора всегда находится логическая 1, а на остальных - логический 0. Логика дешифратора построена на резисторах. Его схема показана на рис. 5.

Входы $I_1 - I_7$ подключаются к соответствующим точкам декады (см. рис.3). Входы дешифратора обозначены на рис. 5 цифрами 0,1.....9. Эти точки соответствуют аналогичным электродам цифрового индикатора. Логическая связь между входными и выходными точками показана на табл. 2

Мертвое время схемы, полученное по методу двойных импульсов, составляет 4 мксек. Счётчик был проверен в температурном диапазоне от + 20 до + 50°С. В этом диапазоне схема работает надежно, изменение напряжения питания на $\pm 10\%$ также не нарушает нормальной работы схемы. Счётная схема работает от импульсов с амплитудой 3,6 - 6 в и длительностью 0,2 - 1 мксек. Свойства пятеричной схемы были проверены отдельно: ее мертвое время составляет 8 мксек при входных импульсах с амплитудой 4 в и длительностью 0,5 мксек.

3. Д о п о л н и т е л ь н ы е з а м е ч а н и я. Преимуществом предложенной схемы является то, что из нее нетрудно получить простую или реверсивную счётную схему. На рис. 6 показано, как можно получить с помощью двух дополнительных схем И (I_3, I_4) реверсивную счётную схему без изменения основной схемы. В_р и Н_р являются управляющими входами счётчика. Если на входе В_р появляется логическая 1 и одновременно на входе Н_р - логический 0, то схема считает в прямом направлении. При изменении логических уровней на управляющих входах на обратные схема работает в режиме "назад".

Еще более простым образом можно изменить исходную схему на реверсивную некоторым изменением основной схемы, как показано на рис. 7. Ворота ИЛИ (см. рис. 1) отсутствуют, входом сигналов служит пересчётный вход ПВ двоичного триггера, а входы логических схем I_1, I_2 становятся управляющими. Цепочки задержки заменены дифференцирующими цепочками Д. Кроме этого, выходы двоичного триггера, связанные с соответствующими логическими схемами I_1 и I_2 , надо поменять местами.

На рис. 8 приведена блок-схема простой счётной схемы. Естественно, что в этом случае из-за отсутствия режима "назад" и соответствующая цепь передачи импульсов отсутствует.

Авторы выражают свою благодарность С.М.Коренченко и А.Н.Синаеву за внимание к работе.

Л и т е р а т у р а

1. И.Ф.Колпаков. ПТЭ, №6, 61, 1961.
2. Schurig, E. Patentschrift 1136375. Bundesrepublik Deutschland, 1961, 11, April.
3. E. Schurig, Elektronik N5, 135 (1962).
4. F.A. Fishmann, Elektronik Engineering 29, 546 (1957).
5. M. Kalthoff, Elektronische Rundschau N6, 240 (1960).
6. Б.Шебештьен. Препринт ОИЯИ, N 1413, Дубна, 1963.
7. J.J. Kliakowski, Electronic Industries May, p.110 (1963).

Рукопись поступила в издательский отдел
1 июня 1967 года.

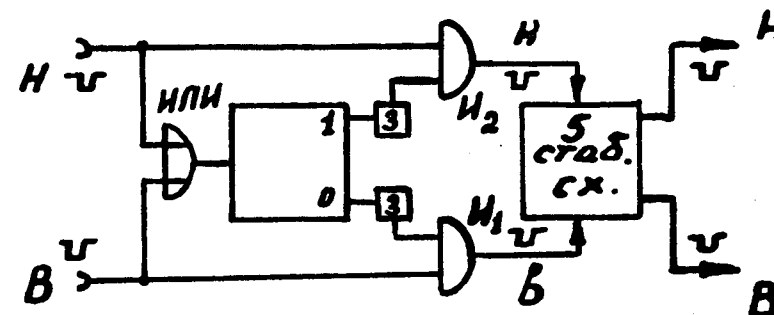


Рис. 1. Логическая схема дифференциальной счётной схемы.

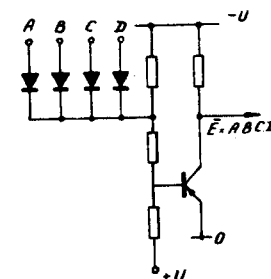


Рис. 2. Логический элемент И-НЕТ пятеричной схемы.

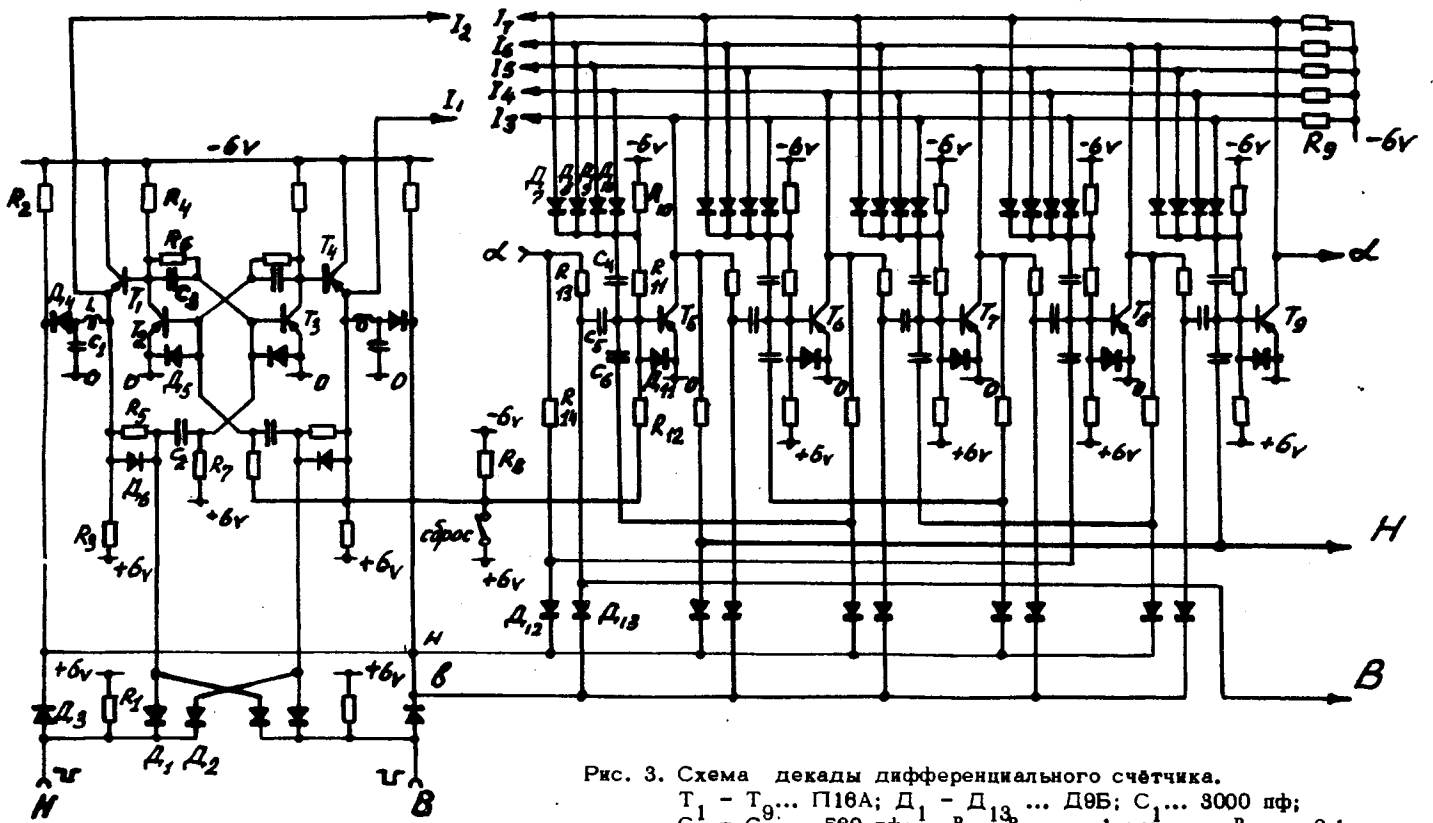


Рис. 3. Схема декады дифференциального счётчика.

$T_1 - T_9 \dots$ П16А; $D_1 - D_{13} \dots$ Д9Б; $C_1 \dots$ 3000 пф;
 $C_2 - C_9 \dots$ 580 пф; $R_1 - R_4 \dots$ 1 ком; $R_5 \dots$ 9,1 ком;
 $R_6 \dots$ 11 ком; $R_7 \dots$ 27 ком; $R_8 - R_9 \dots$ 3,3 ком;
 $R_{10} - R_{11} \dots$ 6,2 ком; $R_{12} \dots$ 27 ком; $R_{13} - R_{14} \dots$ 9,1 ком.

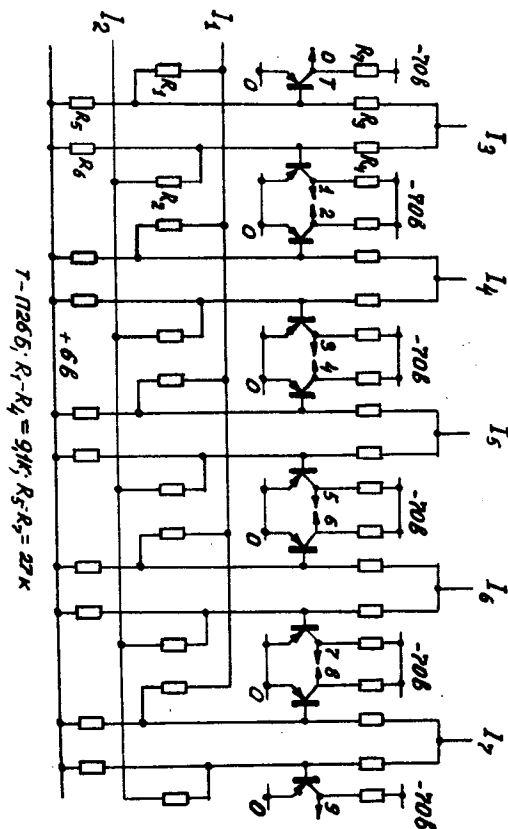


Рис. 5. Дешифратор цифрового индикатора. $T \dots$ П265; $R_1 - R_4 \dots$ 9,1 ком; $R_5 - R_7 \dots$ 27 ком.

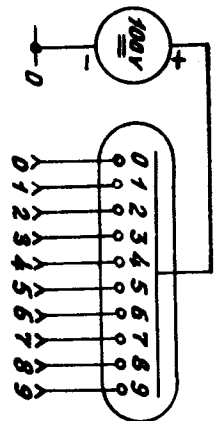


Рис. 4. Схема газовой цифровой лампы.

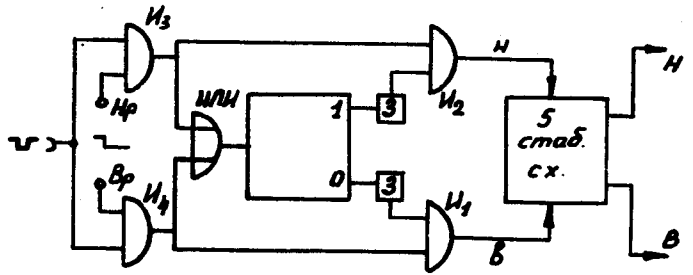


Рис. 6. Реверсивная счётная схема, получаемая дополнением дифференциального счётчика.

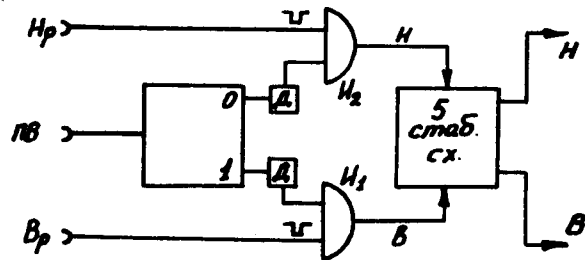


Рис. 7. Реверсивная счётная схема, получаемая модификацией дифференциальной схемы.

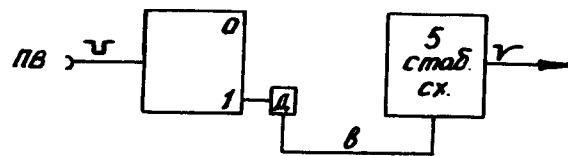


Рис. 8. Простая счётная схема, получаемая модификацией дифференциального счётчика.

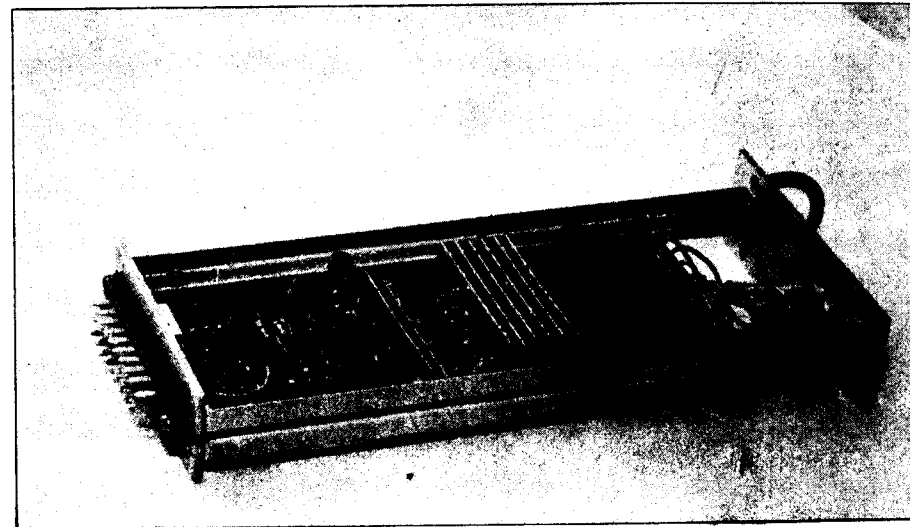


Рис. 9. Общий вид счётной декады.

Таблица 1

Входной сигнал		Состояние двоичного триггера		Состояние пятеричной схемы					Десят. код на выходе дешифратора.	Выходной сигнал	
Е	Н	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇		Е	Н
1	0	0	1	0	1	1	1	1	0	1	0
1	0	1	0	0	1	1	1	1	1	0	0
1	0	0	1	1	0	1	1	1	2	0	0
1	0	1	0	1	0	1	1	1	3	0	0
1	0	0	1	1	1	0	1	1	4	0	0
1	0	1	0	1	1	0	1	1	5	0	0
1	0	0	1	1	1	1	0	1	6	0	0
1	0	1	0	1	1	1	0	1	7	0	0
1	0	0	1	1	1	1	1	0	8	0	0
1	0	1	0	1	1	1	1	0	9	0	0
0	1	0	1	0	1	1	1	1	0	0	0
0	1	1	0	1	1	1	1	0	9	0	1
0	1	0	1	1	1	1	1	0	8	0	0
0	1	1	0	1	1	1	0	1	7	0	0
0	1	0	1	1	1	1	0	1	6	0	0
0	1	1	0	1	1	0	1	1	5	0	0
0	1	0	1	1	1	0	1	1	4	0	0
0	1	1	0	1	0	1	1	1	3	0	0
0	1	0	1	1	0	1	1	1	2	0	0
0	1	1	0	0	1	1	1	1	1	0	0

Таблица 2

I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	0	1	2	3	4	5	6	7	8	9
0	1	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0
1	0	0	1	1	1	1	1	0	1	0	0	0	0	0	0	0
0	1	1	0	1	1	1	1	0	0	1	0	0	0	0	0	0
1	0	1	0	1	1	1	1	0	0	0	1	0	0	0	0	0
0	1	1	1	0	1	1	1	0	0	0	0	1	0	0	0	0
1	0	1	1	0	1	1	1	0	0	0	0	0	1	0	0	0
0	1	1	1	1	0	1	1	0	0	0	0	0	0	1	0	0
1	0	1	1	1	1	0	1	0	0	0	0	0	0	0	1	0
0	1	1	1	1	1	0	1	0	0	0	0	0	0	0	0	1
1	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	1