

12481

4946/2-79



сообщения
объединенного
института
ядерных
исследований
Дубна

Ц8482

C-347

3/12-79

P10 - 12481

В.Т.Сидоров, А.Н.Синаев, И.Н.Чурин

КМ001 №24

КК008 №25

УПРАВЛЯЮЩАЯ СИСТЕМА В СТАНДАРТЕ КАМАК
НА ОСНОВЕ КОНТРОЛЛЕРА С МИКРО-ЭВМ

1979

P10 - 12481

В.Т.Сидоров, А.Н.Синаев, И.Н.Чурин

УПРАВЛЯЮЩАЯ СИСТЕМА В СТАНДАРТЕ КАМАК
НА ОСНОВЕ КОНТРОЛЛЕРА С МИКРО-ЭВМ

Объединенный институт
ядерных исследований
БИБЛИОТЕКА

Сидоров В.Т., Синаев А.Н., Чурин И.Н.

P10 - 12481

Управляющая система в стандарте КАМАК на основе контроллера с микро-ЭВМ

Описана автономная система для регистрации и первичной обработки информации, которая состоит из каркаса КАМАК, управляемого интеллектуальным контроллером. В систему входят интерфейсы устройств ввода-вывода и связи с исполнительными каркасами, а также регистрирующие блоки. Контроллер состоит из двух блоков: микро-ЭВМ на основе микропроцессора Интел 8080 и блока управления магистралью. Память контроллера состоит из 12К байт стираемого программируемого ПЗУ и 3К байт ОЗУ. Блок дополнительного ОЗУ содержит 24К байт. Все блоки имеют ширину 1М и соединяются через передние панели шины процессора. Разработанное программное обеспечение включает монитор, ассемблер и редактор текста и занимает 7К байт СППЗУ.

Работа выполнена в Лаборатории ядерных проблем ОИЯИ.

Сообщение Объединенного института ядерных исследований, Дубна 1979

Sidorov V.T., Sinaev A.N., Churin I.N.

P10 - 12481

A CAMAC Control System Based on Crate Controller with Built-In Microcomputer

A stand-alone system for data acquisition and primary processing is described. It includes the CAMAC crate with intelligent crate controller, interfaces for input-output devices, CAMAC-CAMAC link modules and data acquisition modules. The crate controller consists of a microcomputer based on the Intel 8080 microprocessor and CAMAC Dataway Controller. The connection between these single-width units is made via an external processor bus through front panels. The CAMAC Dataway Controller must occupy the control station of the crate. The crate controller has 12K bytes of EPROM and 3K bytes of RAM. For memory extension it is possible to add one or two external single-width memory units of 24K bytes RAM. A developed software is described. It includes a monitor, assembler and text editor. These programmes take 7K bytes of EPROM.

The investigation has been performed at the Laboratory of Nuclear Problems, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1979

© 1979 Объединенный институт ядерных исследований Дубна

ВВЕДЕНИЕ

Развитие технологии изготовления больших интегральных схем привело к появлению микропроцессоров, которые позволяют создавать программируемые электронные цифровые системы, сочетающие широкие вычислительные возможности и высокую надежность с низкой стоимостью и малыми размерами ^{/1/}. Использование микропроцессоров в аппаратуре, выполненной в стандарте КАМАК, существенно расширяет ее применение и позволяет создавать гибкие автономные интеллектуальные системы для управления экспериментальным оборудованием, а также для сбора и первичной обработки информации ^{/2-7/}. В таких системах микропроцессор встраивается в контроллер каркаса ^{/2-6/} или включается в состав размещаемой в отдельном блоке микро-ЭВМ ^{/1/}, которая управляет работой контроллера каркаса, а также может использоваться для других задач.

1. ОБЩИЕ ХАРАКТЕРИСТИКИ СИСТЕМЫ

Система представляет собой каркас КАМАК, управляемый автономным интеллектуальным контроллером, который состоит из двух блоков: микро-ЭВМ КМ 001 и блока управления магистралью КК 006. Оба блока имеют ширину 1М и соединяются общей шиной процессора через разъемы на передней панели. Блок КК 006 должен устанавливаться в управляющую станцию каркаса, а КМ 001 - в любую из нормальных. Связь оператора с микро-ЭВМ осуществляется через алфавитно-цифровой дисплей или телетайп, которые подключаются через разъем на задней панели КМ 001.

В корпусе кроме контроллера устанавливаются дополнительная память, интерфейсы устройств ввода-вывода, блоки связи с другими корпусами, а также регистрирующие блоки /рис. 1/.

Для ввода программ с перфоленты используется фотосчитыватель ФС 1501 /ЧССР/, подключаемый через интерфейс КИ 013 ^{9/}. Для вывода перфоленты используются перфораторы ПЛ-150 или ПЛ-80 и интерфейс КИ 012 ^{9/}. Алфавитно-цифровое печатающее устройство ДАРО 1156 /ГДР/ или ДЗМ 180 /ПНР/ подсоединяется через интерфейс КИ 023. Осциллограф со световым карандашом может быть подключен через интерфейс КИ 011 ^{9/}. Исполнительные корпуса подсоединяются через соответствующие регистры ввода/вывода ^{10/}. Через блок последовательной связи КИ 021 корпус может быть соединен с ЭВМ, находящейся на большом расстоянии.



Рис. 1. Конфигурация управляющей системы.

2. МИКРО-ЭВМ КМ 001

Блок представляет собой законченную микро-ЭВМ /рис. 2/, содержащую микропроцессор, устройство системного управления, постоянную память /СППЗУ/, память с произвольным доступом /ОЗУ/, контроллер прерываний и последовательный интерфейс для подключения устройства ввода-вывода. Микро-ЭВМ

построена на основе микропроцессора 8080А и других схем микропроцессорной серии MCS-80 ^{11/}, разработанной фирмой Интел /США/.

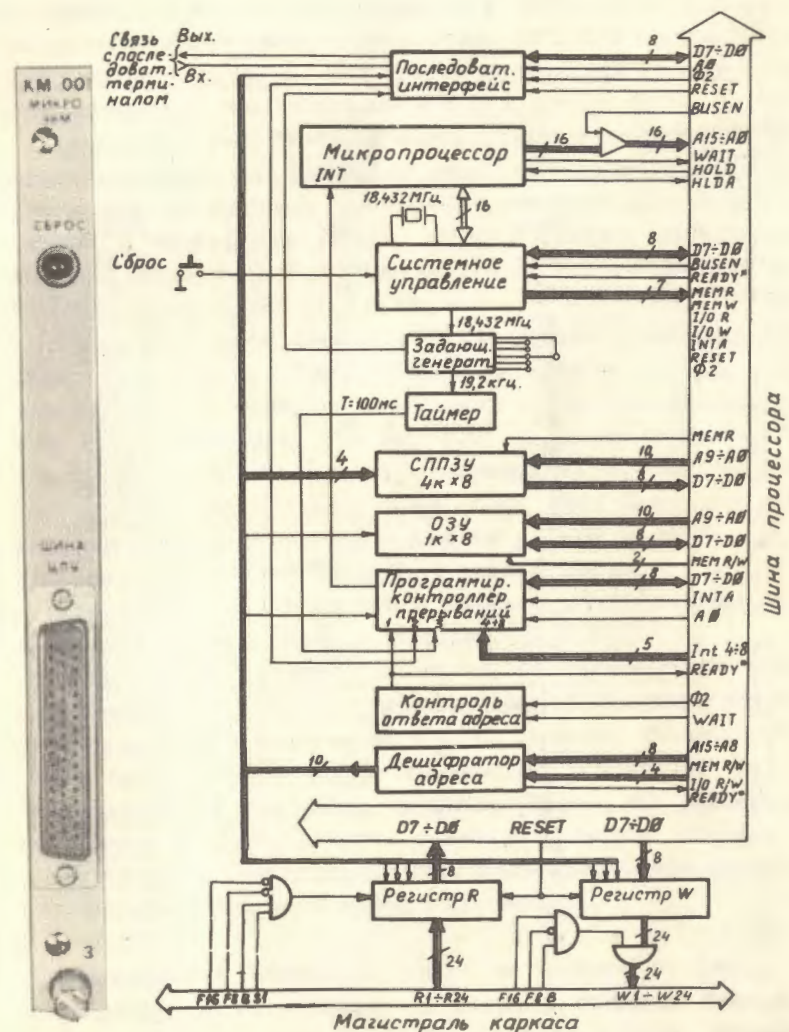


Рис. 2. Передняя панель и блок-схема микро-ЭВМ КМ 001.

Микропроцессор и устройство системного управления, в состав которого входят тактовый генератор /Интел 8224/ и системный контроллер /Интел 8228/, определяют основные возможности микро-ЭВМ. Тактовый генератор работает с максимально

Таблица 1
Шина процессора

Номер контакта разъема	Обозначение сигнала	Номер контакта разъема	Обозначение сигнала
1	Земля	26	MEMR
2	A0	27	MEMW
3	A1	28	I/O R
4	A2	29	I/O W
5	A3	30	INTA
6	A4	31	HOLD
7	A5	32	HLDA
8	A6	33	WAIT
9	A7	34	RESET
10	A8	35	BUSEN
11	A9	36	$\varphi 2$ (TTL)
12	A10	37	READY*
13	A11	38	INT4
14	A12	39	INT5
15	A13	40	INT6
16	A14	41	INT7
17	A15	42	INT8
18	D0	43	CAM
19	D1	44	RAM2
20	D2	45	RAM3
21	D3	46	ROM2
22	D4	47	ROM3
23	D5	48	I/O 7
24	D6	49	I/O 12-15
25	D7	50	Земля

На контакты 43-49 выводятся сигналы, вырабатываемые дешифратором адресов в КМ 001 для некоторых узлов КК 006.

допустимой частотой 18,432 МГц, задаваемой кварцевым резонатором. Тактовые импульсы для микропроцессора формируются делением указанной частоты на 9; следовательно, такт микропроцессора равен ~0,5 мкс /488,28 нс/. Машинный цикл, во время которого микропроцессор обращается к памяти или устройству ввода-вывода, составляет от 3 до 5 тактов. Инструкция /команда/ требует для своего выполнения от 1 до 5 машинных циклов и занимает время от 2 до 9 мкс.

Микропроцессор и устройство системного управления связываются с памятью, каналами ввода-вывода и другими узлами через шину процессора, которая включает в себя шины адреса, данных и управления /табл. 1/. Для связи с подключаемыми блоками шина процессора выводится на 50-контактный разъем РП15-50 на передней панели блока.

Сигналы в шины адреса A15÷A0 подаются из микропроцессора через буферы. Связь с шинами данных D7÷D0 осуществляется через устройство системного управления, которое содержит двунаправленные буферы, т.е. по одним и тем же шинам информация передается в обе стороны. Из устройства системного управления на шину процессора поступают управляющие сигналы чтения и записи в память /MEMR и MEMW соответственно/ и в каналы устройств ввода-вывода (I/O R и I/O W соответственно). Обращение к каналам ввода-вывода производится по командам микропроцессора IN и OUT.

Микро-ЭВМ содержит средства, обеспечивающие работу по каналу прямого доступа к памяти. Соответствующее устройство должно подавать требование работы по этому каналу путем послышки сигнала HOLD в шину процессора. О принятии требования микропроцессор сообщает сигналом HLDA. На время работы по каналу прямого доступа снимается сигнал BUSEN, в результате чего блокируется связь микропроцессора и устройства системного управления с шиной процессора.

Дешифратор адреса выполнен на схемах средней степени интеграции. С него подаются сигналы выборки схем памяти и каналов ввода-вывода, расположенных в блоке микро-ЭВМ. Для схем памяти они формируются сигналами с шин A15÷A10 при наличии сигнала MEMR; или MEMW, а для каналов ввода-вывода - сигналами с шин A15÷A8 при наличии сигнала I/O R

или I/O W. Непосредственно в схемы памяти поступают сигналы с шин A9-A0, и в некоторые каналы ввода-вывода - с шины A0; они используются для выбора слова или регистра в адресованной схеме или канале ввода-вывода. К каналам ввода-вывода относятся последовательный интерфейс /Интел 8251/, контроллер прерываний /Интел 8259/ и регистры связи с магистралью каркаса КАМАК. Адреса этих каналов приведены в табл. 2.

Одновременно с подачей сигнала выборки дешифратор адреса выдает в шину процессора сигнал ответа READY*, который свидетельствует, что выбранный адресат имеется и готов выполнить требуемую операцию. От адресатов, находящихся вне блока микро-ЭВМ, этот сигнал также должен поступать в шину процессора. Обработка сигнала READY* производится в схеме системного управления /рис. 3/. Триггер T_{RDY} сбрасывается

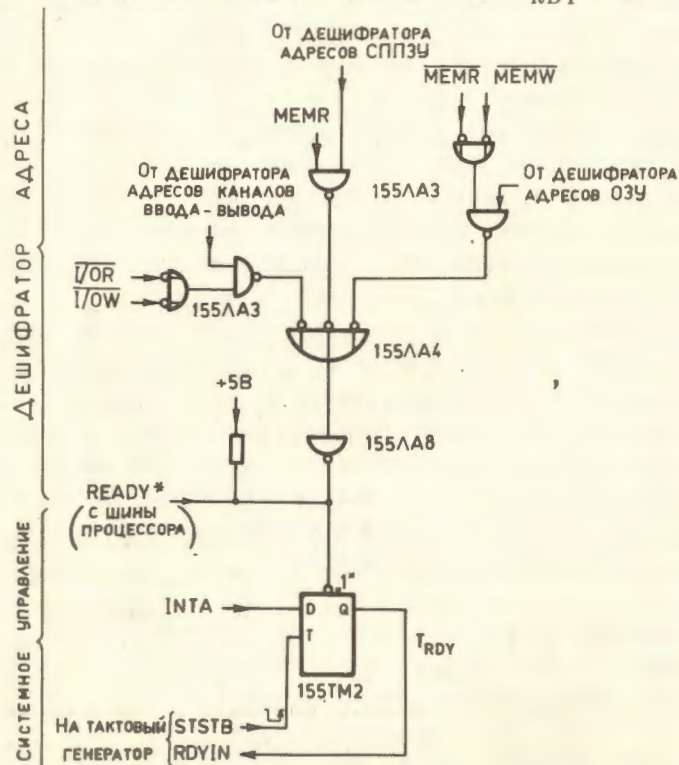


Рис. 3. Схема формирования и обработки сигнала READY*.

в "0" сигналом STSTB, поступающим от тактового генератора в начале второго такта каждого машинного цикла. При поступлении сигнала READY* /а также сигнала INTA в режиме прерывания/ триггер переходит в состояние "1", и с него в генератор тактов подается сигнал RDYIN. Этот сигнал синхронизируется тактовым импульсом и образует сигнал READY. При отсутствии сигнала READY к началу третьего такта микропроцессор прекращает дальнейшее выполнение машинного цикла и переходит в режим ожидания, о чем сообщает подачей в шину процессора сигнала WAIT. Этот режим продолжается до поступления сигнала READY, после чего возобновляется выполнение начатой операции.

Контроль ответа адресата производится измерением длительности режима ожидания путем счета числа тактовых импульсов $\phi 2$ в данном режиме. Для этого используется четырехразрядный счетчик, который разблокируется при наличии сигнала WAIT. При переполнении счетчик подает запрос на прерывание INT1 в контроллер прерываний, а также сигнал READY* для возобновления машинного цикла, поскольку наличие запроса на прерывание проверяется только после его окончания. Таким образом, микропроцессор ждет ответа адресуемого устройства не более 8 мкс.

Поскольку сигналы чтения !MEMR и I/O R появляются во втором такте машинного цикла, а сигналы записи MEMW и I/O W - в третьем /после установки данных/, то для адресатов, расположенных в блоке микро-ЭВМ, при выполнении операций чтения тактов ожидания не требуется, а при выполнении операций записи необходим один такой такт.

Система прерываний микро-ЭВМ имеет 9 уровней INTO-INT8. Имеющий наивысший приоритет уровень прерывания INTO возникает при включении питания и нажатии кнопки "Сброс". При этом в устройстве системного управления формируется сигнал RESET, который устанавливает в начальное состояние все узлы микро-ЭВМ. Все остальные запросы от источников прерывания поступают на программируемый контроллер прерываний /Интел 8259/. Он содержит регистр приема запросов на прерывание, схему сравнения приоритетов, регистр обрабатываемых

Таблица 2

Адрес каналов ввода-вывода

Входы

- IN 0 - Последовательный интерфейс 825I - данные
- IN 1 - Последовательный интерфейс 825I - статус
- IN 2 - Контроллер прерываний 8259 - IRR, ISR, IL
- IN 3 - Контроллер прерываний 8259 - регистр масок
- IN 4 - КАМАК R1+R8
- IN 5 - КАМАК R9+R16
- IN 6 - КАМАК R17+R24
- IN 7 - Регистр Q, I (D7, D6)
- IN 8 - - - -
- IN 9 - - - -
- IN 10 - - - -
- IN 11 - - - -
- IN 12 - КАМАК L1+L8 (Обратный код)
- IN 13 - КАМАК L9+L16 (Обратный код)
- IN 14 - КАМАК L17+L23 (Обратный код)
- IN 15 - - - -

Выходы

- OUT 0 - Последовательный интерфейс 825I - данные
- OUT 1 - Последовательный интерфейс 825I - управление
- OUT 2 - Контроллер прерываний 8259 - {ICW1, OCW2, OCW3
- OUT 3 - Контроллер прерываний 8959 - {OCW1, ICW2, ICW3
- OUT 4 - - - -
- OUT 5 - - - -
- OUT 6 - - - -
- OUT 7 - Регистр управления INT 5 (D7+D5)
- OUT 8 - КАМАК W1+W8
- OUT 9 - КАМАК W9+W16
- OUT 10 - КАМАК W17+W24
- OUT 11 - Управление регистром W (8255)
- OUT 12 - - - -
- OUT 13 - - - -
- OUT 14 - - - -
- OUT 15 - Управление буфером L (8255)

запросов и регистр маскирования прерываний. Программным способом можно задавать различные режимы работы контроллера: фиксированные уровни приоритетов, изменение приоритетов, работа без приоритетов и т.д., а также изменять адреса векторов прерываний, блокировать любые запросы на прерывание с помощью регистра масок. После обработки запроса контроллер прерываний подает в микропроцессор сигнал INT. При получении от устройства системного управления сигнала подтверждения INTA контроллер осуществляет операции, необходимые для перехода микро-ЭВМ в режим обслуживания данного прерывания.

Запросы от источников прерывания, поступающие на программируемый контроллер прерываний, имеют следующее назначение в порядке уменьшения приоритета:

INT1 поступает от схемы контроля адреса и означает неверно выбранный адрес или команду, которую не может выполнить адресуемое устройство /например, подача в СПЗУ команды записи/.

INT2 подается при окончании приема последовательным интерфейсом кода каждого знака от терминала; при установке переключки D /рис.4/ это прерывание будет подаваться и при

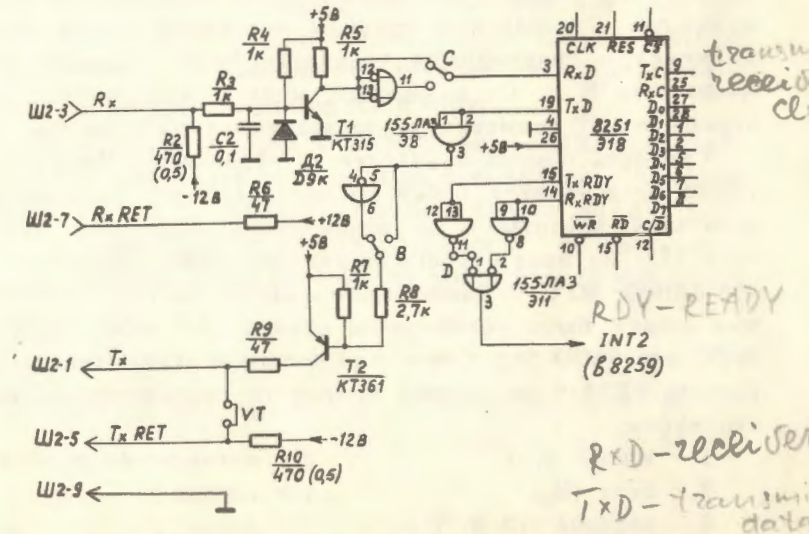


Рис. 4. Схема связи с последовательным терминалом.

окончании передачи последовательным интерфейсом кода от микро-ЭВМ в терминал.

INT3 означает прерывание от таймера, которое подается с частотой 10 Гц.

INT4 ÷ INT8 - внешние прерывания, поступающие с шины процессора.

Память микро-ЭВМ состоит из 4К байт стираемого перепрограммируемого запоминающего устройства /СППЗУ/ и 1К байт оперативного запоминающего устройства /ОЗУ/. В качестве СППЗУ применяются микросхемы Интел 8708 емкостью 1024x8 бит, которые устанавливаются в панельки. ОЗУ составляют микросхемы K565PY2A емкостью 1024x1 бит. Время доступа для ЗУ обоих типов не превышает 450 нс. Адресное поле СППЗУ - 0000H ÷ 0FFFH, а ОЗУ - 3400H ÷ 37FFH.

Последовательным интерфейсом служит универсальный синхронный/асинхронный приемник-передатчик USART /Интел 8251/. В схеме микро-ЭВМ предусмотрены возможности для подключения к нему как телетайпа ASR-33, так и алфавитно-цифрового дисплея VT-340, который позволяет вести более оперативный диалоговый обмен и имеет некоторые другие преимущества. Стандартные сигналы последовательной цепи формируются и принимаются транзисторными буферами /рис. 4/. Перемычки В и С позволяют менять полярность сигналов; перемычка VT снимается, если подключается телетайп.

Скорость обмена определяется задающим генератором, который представляет собой последовательное соединение трех делителей частоты с коэффициентами пересчета 15, 16, 16 /или 11/. На вход первого из них поступают импульсы с частотой 18,432 МГц. С помощью перемычек частота передачи данных может быть установлена равной 110, 600, 1200, 2400, 4800 или 9600 бод. Связь с терминалом осуществляется через разъем РП15-9 на задней панели со следующим назначением контактов:

- | | |
|--|--|
| 1 - выход (T _x) | 7 - питание +12 В (R _x RET) |
| 3 - вход (R _x) | 9 - корпус |
| 5 - питание -12 В (T _x RET) | |

Регистры R и W служат для связи шин данных процессора с шинами данных магистрали КАМАК. 24-разрядный регистр R принимает информацию с шин R1 ÷ R24 магистрали КАМАК по сигналу S1 во время цикла чтения /B = 1, F16 = 0, F8 = 0/. На шины данных процессора информация из регистра R считывается по командам IN /табл. 2/. По командам OUT информация с шин данных процессора заносится в 24-разрядный регистр W. На шины W1 ÷ W24 магистрали КАМАК информация передается во время выполнения цикла записи /B = 1, F16 = 1, F8 = 0/.

Максимальный ток, потребляемый микро-ЭВМ КМ 001, составляет 1,6 А по цепи +6 В; 0,15 А по цепи -6 В; 0,25 А по цепи +12 В и 30 мА по цепи -12 В.

3. БЛОК УПРАВЛЕНИЯ МАГИСТРАЛЬЮ КК 006

Блок КК 006 /рис. 5/ осуществляет управление магистралью каркаса КАМАК по командам, получаемым от микро-ЭВМ КМ 001 по шине процессора, формирует 5 запросов на прерывание INT4 ÷ INT8 в микро-ЭВМ и принимает сигналы L1 ÷ L23 из магистрали. Он содержит также дополнительную память микро-ЭВМ и дешифратор адресов для этой памяти и каналов ввода-вывода, находящихся в блоке.

Адресацию блоков в каркасе КАМАК микро-ЭВМ производит аналогично адресации памяти. При формировании команды NAF номер станции N передается шинам адреса A8 ÷ A4, под-адрес А - по шинам адреса A3 ÷ A0 и функция F - по шинам данных D4 ÷ D0. Формат команды NAF на шинах процессора имеет вид:

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	1	1	0	0	0	N16	N8	N4	N2	N1	A8	A4	A2	A1
D7	D6	D5	D4	D3	D2	D1	D0								
X	X	X	F16	F8	F4	F2	F1								

Таким образом, адреса блоков в корпусе КАМАК занимают 0,5 К байт адресного поля микро-ЭВМ /шины А8÷А0/ от 3000H до 31FH /см. табл. 3/.

Поступление по шинам А15÷А10 указанной выше комбинации вызывает образование на выходе дешифратора адреса, в микро-ЭВМ сигнала САМ, при наличии которого и при А9 = 0

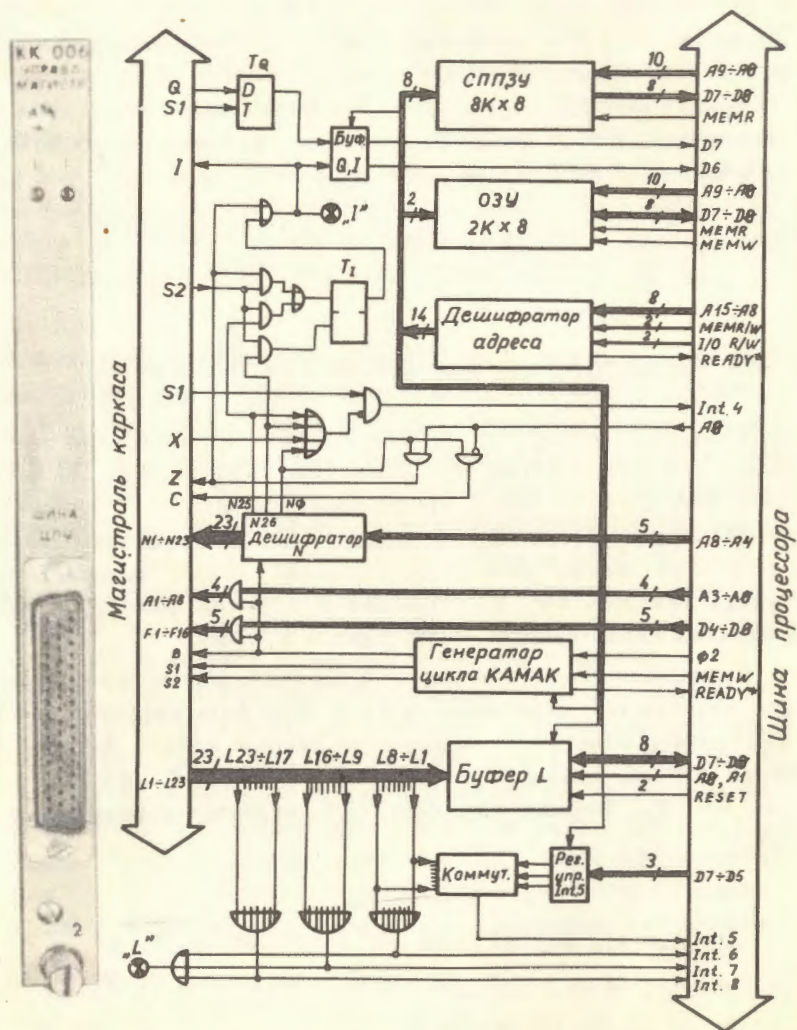


Рис. 5. Передняя панель и блок-схема блока управления магистралью КК 006.

Таблица 3

Адреса исполнения команд NAF

N(0)A(0) - N(0)A(15)	3000H - 300FH
N(1)A(0) - N(1)A(15)	3010H - 301FH
N(2)A(0) - N(2)A(15)	3020H - 302FH
N(3)A(0) - N(3)A(15)	3030H - 303FH
N(4)A(0) - N(4)A(15)	3040H - 304FH
N(5)A(0) - N(5)A(15)	3050H - 305FH
N(6)A(0) - N(6)A(15)	3060H - 306FH
N(7)A(0) - N(7)A(15)	3070H - 307FH
N(8)A(0) - N(8)A(15)	3080H - 308FH
N(9)A(0) - N(9)A(15)	3090H - 309FH
N(10)A(0) - N(10)A(15)	30A0H - 30AFH
N(11)A(0) - N(11)A(15)	30B0H - 30BFH
N(12)A(0) - N(12)A(15)	30C0H - 30CFH
N(13)A(0) - N(13)A(15)	30D0H - 30DFH
N(14)A(0) - N(14)A(15)	30E0H - 30EFH
N(15)A(0) - N(15)A(15)	30F0H - 30FFH
N(16)A(0) - N(16)A(15)	3100H - 310FH
N(17)A(0) - N(17)A(15)	3110H - 311FH
N(18)A(0) - N(18)A(15)	3120H - 312FH
N(19)A(0) - N(19)A(15)	3130H - 313FH
N(20)A(0) - N(20)A(15)	3140H - 314FH
N(21)A(0) - N(21)A(15)	3150H - 315FH
N(22)A(0) - N(22)A(15)	3160H - 316FH
N(23)A(0) - N(23)A(15)	3170H - 317FH
N(24)A(0) - N(24)A(15)	3180H - 318FH
N(25)A(0) - N(25)A(15)	3190H - 319FH
N(26)A(0) - N(26)A(15)	31A0H - 31AFH
N(27)A(0) - N(27)A(15)	31B0H - 31BFH
N(28)A(0) - N(28)A(15)	31C0H - 31CFH
N(29)A(0) - N(29)A(15)	31D0H - 31DFH
N(30)A(0) - N(30)A(15)	31E0H - 31EFH
N(31)A(0) - N(31)A(15)	31F0H - 31FFH

сигналом MEMW производится запуск генератора цикла КАМАК /рис. 6/. Сигнал READY* с генератора подается так, что микропроцессор делает два такта ожидания. Весь цикл КАМАК длится три такта /такты ожидания и 3 такт машинного цикла/, т.е. 1,5 мкс. В течение этого времени подается сигнал В, а линии адреса и данных удерживаются в определенном состоянии, что позволяет обойтись без регистров N, A и F. Импульсы $\phi 2$ двух последних тактов формируют соответственные строб-сигналы S1 и S2.

Внутри блока исполняются следующие команды:

- N(0)A(0) - генерация сигнала Z и установка сигнала I
- N(0)A(1) - генерация сигнала C
- N(25)A(0) - установка сигнала I
- N(26)A(0) - снятие сигнала I.

При исполнении цикла КАМАК состояние шины Q магистрали по сигналу S1 заносится в триггер T_Q. Состояние этого триггера, а также состояние шины I можно вывести через буфер Q, I на шины данных процессора D7 и D6 соответственно. При наличии сигнала I включается лампочка "I" на передней панели блока.

Программа формирования команд КАМАК требует в зависимости от их типа от 7,5 до 47 мкс. В табл. 4 приведены примеры программирования и времена исполнения основных команд КАМАК.

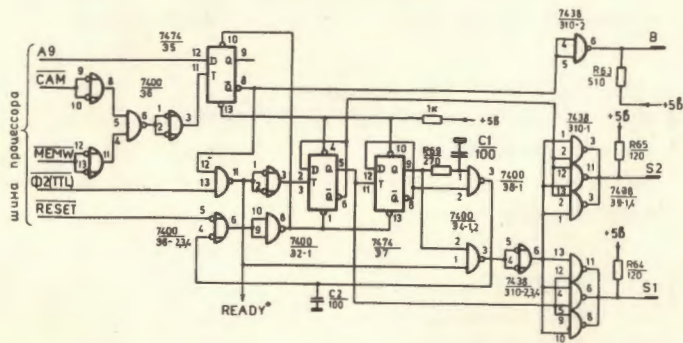


Рис. 6. Схема генератора цикла КАМАК.

Таблица 4

Примеры программирования команд КАМАК и время их исполнения

1. Генерация Z и C, установка и снятие I.
Время исполнения 7,5 мкс.
STA NA - здесь NA - соответствующий адрес N и A.
 2. Управляющие команды, например, NAF(24), NAF(25) и т.п.
Время исполнения 11 мкс.
LXI H, NA - загрузка адреса N и A в регистры H,L;
MVI M, 24D - исполнение функции F(24);
 3. Команды, определяющие состояние шины Q магистрали, например, NAF(8), NAF(27).
LXI H, NA - загрузка адреса N и A в регистры H,L;
MVI M, 27D - исполнение функции F(27);
IN 7D - чтение регистра Q,I;
RAL - перенос состояния Q(D7) в статусный бит C (CARRY);
JC ADDRQ - передача управления, если C=1.
 4. Команды чтения и записи.
Время исполнения: 25 мкс - при длине слова 8 разрядов;
36 мкс - при длине слова 16 разрядов;
47 мкс - при длине слова 24 разряда.
- а/ Программа команды чтения
- 11 LXI D, BUF - загрузка в регистры D,E адреса буфера, куда будут передаваться считываемые данные;
 - 21 LXI H, NA - загрузка в регистры H,L адреса N и A;
 - 30 MVI M, OD - исполнение функции F(0);
 - DB IN 4D - перенос в аккумулятор данных с шин R1 ÷ R8;
 - 12 STAX D - занесение их в буфер;
 - 13 INX D - увеличение адреса буфера на 1;
 - DB IN 5D - перенос в аккумулятор данных с шин R9 ÷ R16;
 - 12 STAX D - занесение их в буфер;
 - 13 INX D - увеличение адреса буфера на 1;
 - DB IN 6D - перенос в аккумулятор данных с шин R17 ÷ R24;
 - 12 STAX D - занесение их в буфер.

6/ Программа команды записи

- 11 LXI D, BUF - загрузка в регистры D, E адреса буфера, откуда будут передаваться данные; 3820
- 21 LXI H, NA - загрузка в регистры H, L адреса N и A; 3070
- 1A LDAX D - перенос в аккумулятор байта данных из буфера;
- D3 OUT 8D - запись его в регистр W (W1 ÷ W8);
- 13 INX D - увеличение адреса буфера на 1;
- 1A LDAX D - перенос в аккумулятор байта данных из буфера;
- D3 OUT 9D - запись его в регистр W (W9 ÷ W16);
- 13 INX D - увеличение адреса буфера на 1;
- 1A LDAX D - перенос в аккумулятор байта данных из буфера;
- D3 OUT 10D - запись его в регистр W (W17 ÷ W24);
- 3C MVI M, 16D - исполнение функции F(16). 10

Блок подает запрос на прерывание INT4, если отсутствует сигнал X при выполнении цикла КАМАК /кроме исполнения внутренних команд блока/. Запрос на прерывание INT5 подается одним из сигналов L1 ÷ L8, который выбирается коммутатором с помощью регистра управления. Запросы на прерывание INT6, INT7 и INT8 формируются схемами ИЛИ от сигналов L1 ÷ L8, L9 ÷ L16 и L17 ÷ L23 соответственно. Через буфер L с помощью инструкций IN можно вывести на шины данных микропроцессора информацию о любой из перечисленных групп L. При появлении любого сигнала L включается лампочка "L" на передней панели блока.

Память для микро-ЭВМ, размещенная в блоке, состоит из 2К байт ОЗУ и 8К байт СППЗУ, микросхемы которого могут быть установлены в панельки. При их установке необходимо ставить соответствующие перемычки в цепи формирования сигнала READY*. Используются те же типы микросхем памяти, что и в блоке микро-ЭВМ. Для СППЗУ предусмотрено адресное поле 1000H ÷ 2FFFFH, а ОЗУ занимает адресное поле 3800H ÷ 3FFFFH.

Максимальный ток, потребляемый блоком КК 006, составляет 1 А по цепи +6 В; 0,2 А по цепи -6 В и 0,2 А по цепи +12 В.

4. ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО КЛ 007

Блок КЛ 007 содержит 24 К байт ОЗУ, собранного на микросхемах К565РУ1А, которые представляют собой динамическую память с произвольным доступом емкостью 4096х1 бит. В блоке также находятся схема управления регистрацией памяти /Интел 3222/, входной и выходной буферы. Память может занимать адресное поле 4000H ÷ 9FFFFH или A000H ÷ FFFFFH. Выбор поля производится перемычкой на плате. Блок управляется сигналами шины процессора через разъем РП15-50; на передней панели блока имеется два таких разъема, одноименные контакты которых соединены. Цикл записи в ОЗУ длится 1,5 мкс /3 такта микропроцессора/, а цикл чтения - 1 мкс / 2 такта микропроцессора/.

Средний ток, потребляемый блоком, составляет 1,5 А по цепи +6 В; 2 мА по цепи -6 В и 0,8 А по цепи +12 В.

К микро-ЭВМ могут быть подсоединены один или два блока КЛ 007. На рис. 7 показано распределение всего адресного поля микропроцессора между блоками контроллера и внешнего ОЗУ. Приведены три варианта: А - без внешнего ОЗУ, Б - с одним блоком КЛ 007 и В - с двумя блоками КЛ 007. Таким образом, максимальный комплект автономного контроллера занимает 4 станции каркаса и содержит память объемом 63 К байт /12 К байт СППЗУ и 51 К байт ОЗУ/.

5. ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ

Разработанное программное обеспечение автономного контроллера на основе микро-ЭВМ состоит из монитора, редактора текста, ассемблера и набора обслуживающих программ.

Монитор обеспечивает диалоговую связь оператора с микро-ЭВМ и обработку прерываний. Она ориентирована на использование в качестве основного терминала алфавитно-цифрового дисплея /или телетайпа/ и на работу с устройствами ввода-вывода через интерфейсы в стандарте КАМАК.

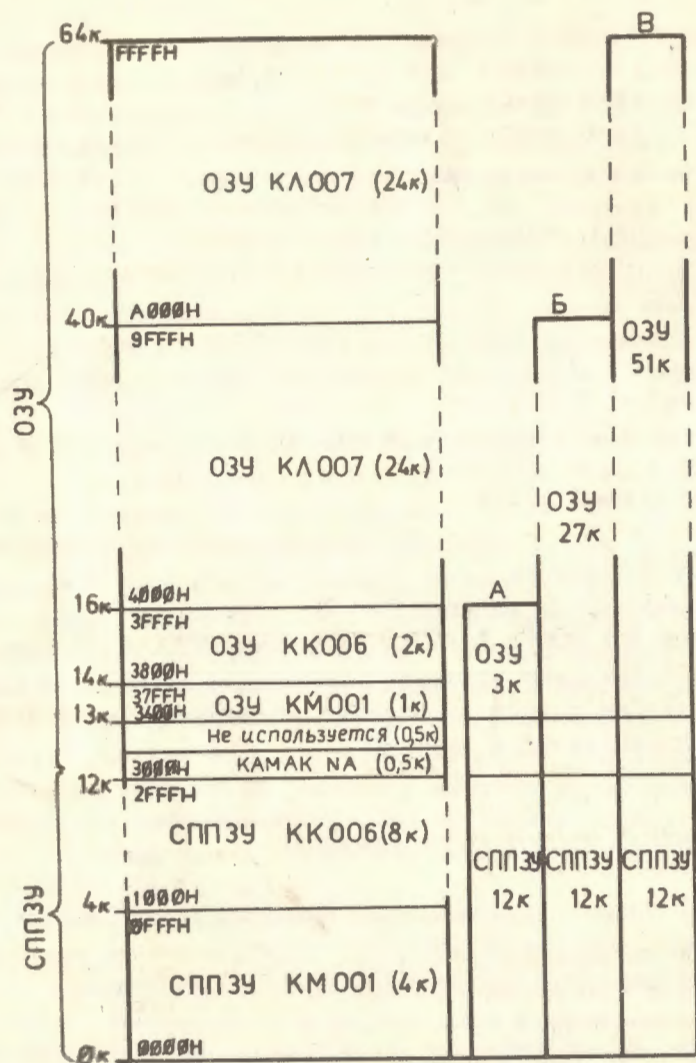


Рис. 7. Распределение адресного поля микро-ЭВМ.

Диалоговая часть монитора обрабатывает директивы оператора пяти функциональных групп:

1. Директивы ввода-вывода:
 - ввод информации с перфоленты;
 - вывод содержимого зоны памяти на перфоленту.
2. Директивы запуска программ:
 - запуск программы по фиксированному адресу /начало ОЗУ пользователя/;
 - запуск программы по произвольному адресу с возможностью задания одной или двух точек останова.
3. Директивы передачи управления с прерыванием работающей программы:
 - установка начального состояния /инициализация/;
 - остановка работающей программы;
 - продолжение прерванной программы;
 - передача управления в начало последней выполнявшейся программы.
4. Директивы отладки:
 - вывод на экран терминала содержимого всех регистров микропроцессора;
 - вывод на экран содержимого зоны памяти;
 - вывод на экран и изменение содержимого выбранной ячейки памяти;
 - шестнадцатиричная арифметика /сложение и вычитание двух чисел/.
5. Директивы операций КАМАК:
 - генерация сигнала Z;
 - генерация сигнала C;
 - установка сигнала I;
 - снятие сигнала I.

В табл. 5 приведены источники прерываний и их обработка, производимая с помощью монитора. Передачи управления в программы пользователя происходят через соответствующие ячейки ОЗУ монитора. Программа обработки старшего уровня L(INT5) включается через 13,5 мкс после появления сигнала L, вызвавшего прерывание.

Монитор занимает 2К байт СППЗУ (0000H÷07FFFH) и использует 300 байт ОЗУ.

Таблица 5

Источники прерываний и их обработка

Наименов.	Источник	Обработка	Диагностич. сообщение	Адресат передачи управления
INT0	Вкл.питания кн."сброс"	Установка нач.сост. системы	нет	Интерпретатор директив
INT1	Отсутствие ответа адресата	Чтение счетчика команд	Состояние счетчика команд	Интерпретатор директив
INT2	Нажатие клавиши дисплея	Определение нужно ли прерывание	нет	Директивы прерывания
INT3	Сигнал таймера	Отметка времени	нет	Программа пользователя
INT4	Отсутствие сигнала X	Определение номера станции	Номер станции	Интерпретатор директив
INT5	Выбранный сигнал L1÷L8	----	нет	Программа пользователя
INT6	Любой из сигналов L1÷L8	Определение номера L	нет	Программа пользователя
INT7	Любой из сигналов L9÷L16	Определение номера L	нет	Программа пользователя
INT8	Любой из сигналов L17÷L23	Определение номера L	нет	Программа пользователя

Редактор текста и ассемблер применяются для быстрой и удобной подготовки новых программ с минимальным использованием перфоленты.

Редактор текста предназначен для создания, редактирования и копирования текстовой информации. Программа редактора принимает текстовую информацию от клавиатуры терминала или с перфоленты и заносит ее в текстовую рабочую зону ОЗУ. Занесенный текст редактируется с помощью директив вычеркивания, вставки и замены строк. Затем текст может быть выведен на перфоленту, АЦПУ или экран дисплея, после чего управление передается ассемблеру.

Двухпроходный ассемблер транслирует текст и помещает двоичные коды обрабатываемой программы в двоичную рабочую зону. Во время исполнения каждого прохода на экран дисплея выводится диагностика ошибок. Одновременно может выводиться листинг на дисплей или АЦПУ.

Ассемблированная программа проверяется и отлаживается без вывода ее из двоичной рабочей зоны ассемблера с помощью директив отладки монитора. На перфоленту выводится окончательно отлаженная программа.

Редактор текста и ассемблер занимают 5К байт СПЗУ.

Обслуживающие программы включают программы преобразования кодов, драйверы внешних устройств, служебные программы и т.д. Они занимают 1К байт СПЗУ.

ЛИТЕРАТУРА

1. *Microprocessor Data Manual. Electronic Design 21, October 11, 1978, p.53-217.*
2. *Gallice P., Mathis M. Autonomous Crate-Controller (JCAM 10), SAMAC Bulletin 1975, No. 14, p.7.*
3. *MASAMAC. Borer Journal, 1975, No. 8.*
4. *Елизаров О.И., Жуков Г.П., Ким Ви Нам. Контроллер крейпа на основе микропроцессора Интел 8080, IX Международный симпозиум по ядерной электронике. Варна, 1977. ОИЯИ, Д13-11182, Дубна, 1978, с.61-69.*

5. Гласнек К.-П., Глейбман Э.М. ОИЯИ, 10-10893, Дубна, 1977.
6. Немеш Т. ОИЯИ, 12106, Дубна, 1979.
7. Microcomputer 3880, САМАС 1977. Kinetic Systems Catalog, p.151.
8. Антюхов В.А. и др. ОИЯИ, 10-11636, Дубна, 1978.
9. Антюхов В.А. и др. ОИЯИ, 10-10576, Дубна, 1977.
10. Журавлев Н.И. и др. Организация многокаркасных систем в стандарте КАМАК в ЛЯП ОИЯИ. II Всесоюзное совещание по автоматизации научных исследований в ядерной физике. Тезисы докладов, Алма-Ата, 1978, с.226-227.
11. MCS-80 User's Manual, Intel Corporation, USA, 1977.

Рукопись поступила в издательский отдел
23 мая 1979 года.