

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА

P1-84-570

В.А.Калинников, Н.М.Никитюк

БЫСТРЫЙ АНАЛОГО-ЦИФРОВОЙ ПРОЦЕССОР
ДЛЯ ОТБОРА СОБЫТИЙ
ПО РАЗНОСТИ ЧИСЕЛ ЧАСТИЦ

Направлено в журнал "Приборы и техника эксперимента"

1984

События с нейтральными частицами, в случае распада последних между двумя годоскопами, могут быть выделены по разности чисел заряженных частиц, зарегистрированных в детекторных плоскостях.

Известны цифровые процессоры для отбора событий по разности чисел частиц с временем задержки не более 150 и 180 нс^{1,2}. Описываемый в данной работе процессор отличается более высоким быстродействием и экономичностью при числе входов 64 и 128. Такое высокое быстродействие было достигнуто благодаря применению метода "сжатия" данных на параллельных компрессорах. Применение параллельных компрессоров³ является эффективным при создании параллельных счетчиков на большое число входов, если число частиц, регистрируемых в плоскости детектора, составляет не более 10-30% от общего числа входов. Например, если число входов параллельного счетчика равно 32, а по условию эксперимента данные одновременно поступают не более чем на 15 входов, то при каскадном соединении на входы следующего каскада достаточно задействовать его 4 выходные шины.

Параллельные компрессоры могут быть выполнены как на цифровых, так и на аналоговых микросхемах. На рис.1 приведена блок-схема аналого-цифрового процессора. Здесь К1-К6 - аналоговые параллельные компрессоры, каждый из которых имеет по 32 входа и 4 вы-

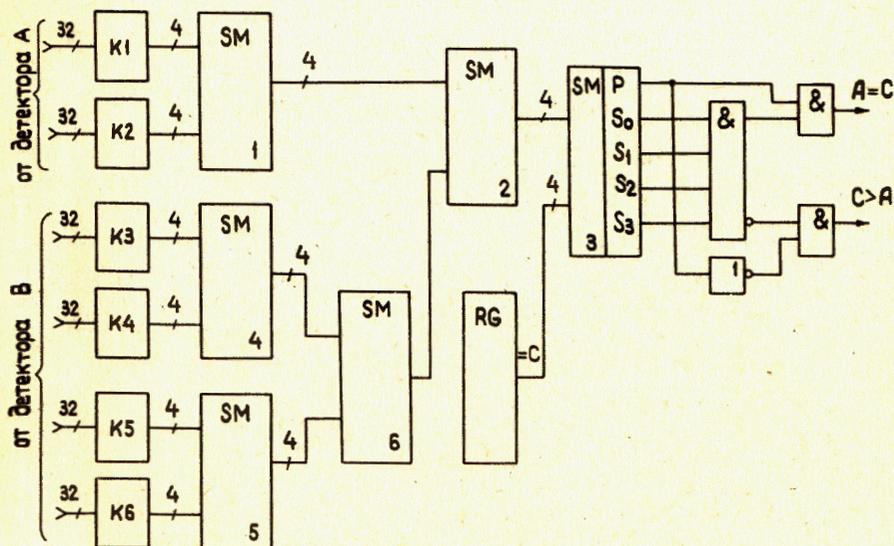


Рис.1. Блок-схема аналого-цифрового процессора.

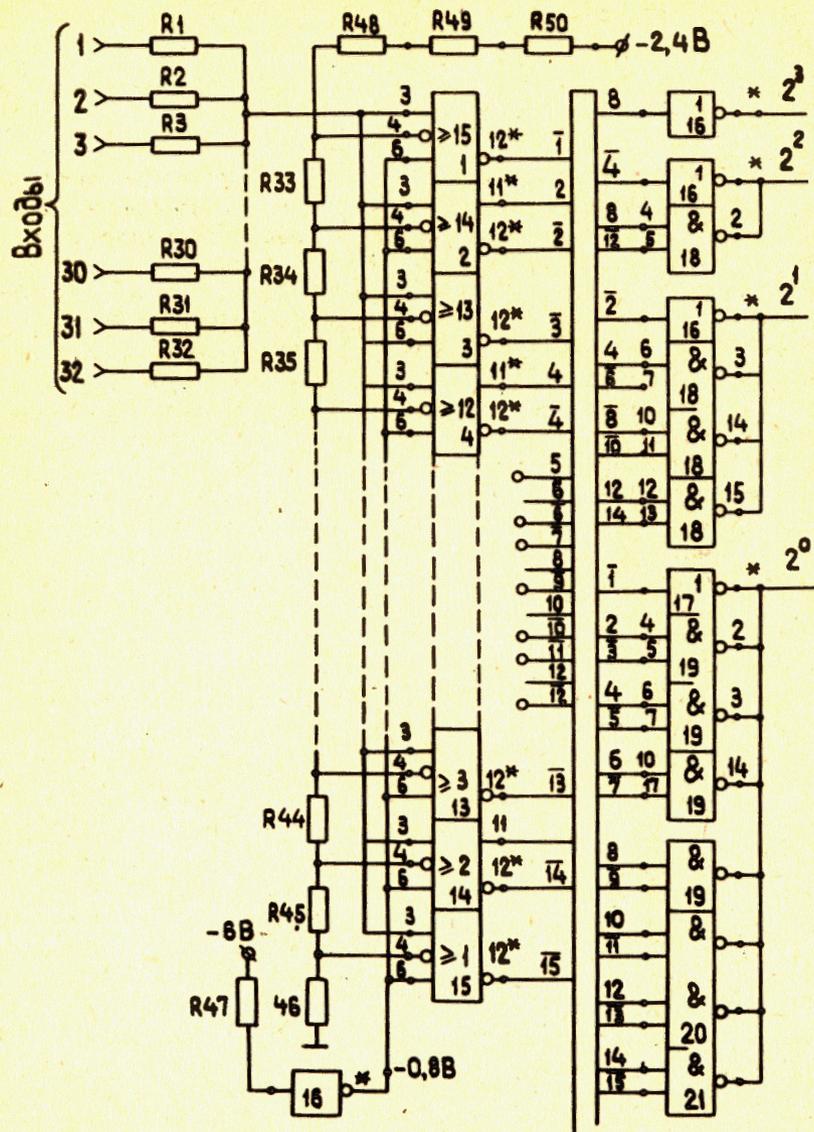


Рис.2. Принципиальная схема аналого-цифрового параллельного компрессора. 1÷15 - микросхемы K597CA1; 16÷17 - K500LM102; 18÷20 - K500LM105. Резисторы: $R_1 - 45 \pm 100 \text{ Ом} \pm 1\%$, $R_{48} - 47 \text{ кОм} \pm 1\%$, $R_{49} - 240 \text{ Ом} \pm 1\%$, $R_{50} - 305,1 \text{ Ом} \pm 1\%$. Знаком * обозначены резисторы $R = 1 \text{ кОм}$, подключенные к выходам микросхем и источнику $-5,2 \text{ В}$.

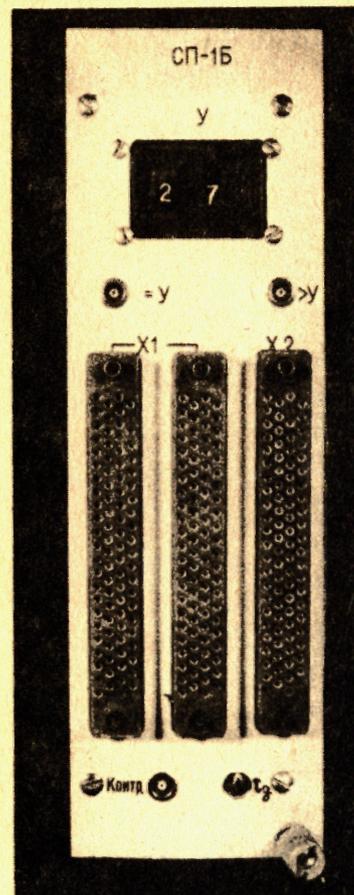


Рис.3. Общий вид процессора.

хода; SM1-SM6 - цифровые сумматоры; RG - регистр, выполненный на 4-разрядном D-триггере, с помощью которого задаются константы отбора. Выходная информация от усилителей с детекторной плоскости через преобразователи уровней поступает на аналоговые параллельные компрессоры. Каждый компрессор преобразует входную информацию в M-разрядный двоичный код. С выхода информации поступает на цифровые сумматоры SM1, SM4-SM6, где производится определение множественности события в плоскостях A и B. На сумматоре-вычитателе SM2 вычисляется разность количества частиц, прошедших через детекторные плоскости A и B. С помощью сумматора-вычитателя SM3 выполняется сравнение этой разности с заданной константой C. На выходах процессора формируются сигналы $A=C$ и $A>C$.

На рис.2 приведена принципиальная схема аналогового параллельного компрессора, который выполнен на компараторах типа K597CA1 с цифровым выходом. На входы компрессора 1-32 поступают сигналы с уровнями ЭСЛ. Независимо от количества сигналов, поступающих на вход схемы, время задержки не превышает 12 нс. Это определяется из выражения $t_z = t_y + t_k + t_d$, где t_y - время установления компаратора, t_k - задержка компаратора, равная 6 нс, t_d - время задержки логического элемента, которая не превышает 2 нс. Величина t_y вычисляется из выражения $t_y = R_{вх} \cdot C_{вх} \cdot \ln(N/2 - \epsilon)$ где $R_{вх}$ - номинал резисторов на входе схемы, $C_{вх}$ - входная емкость компаратора, ϵ - ошибка, вносимая погрешностью изготовления резисторов, N - число входов. На рис.3 показан общий вид процессора.

Краткие характеристики процессора:

Число входов	- $N_1 = 64$, $N_2 = 128$.
Уровни входных сигналов	- TTL.
Уровни выходных сигналов	- NIM.
Время задержки процессора	- 55 нс.
Схема выполнена в стандарте КАМАК и занимает блок шириной 3М.	

ЛИТЕРАТУРА

1. Басиладзе С.Г. и др. ПТЭ, 1978, №3, с.98-100.
2. Крумштейн З.В. и др. ПТЭ, 1980, №2, с.83-86.
3. Gajski D.D. IEEE Trans. on Computers. 1980, vol.C-29, No.5, p.393.
4. Swartzlander E.E. IEEE Trans. on Computers. 1973, vol.C-22, No.11, p.1021.

Рукопись поступила в издательский отдел
8 августа 1984 года.

Калинников В.А., Никитюк Н.М.

PI-84-570

Быстрый аналого-цифровой процессор
для отбора событий по разности чисел частиц

Описан способ построения и принципиальная схема аналого-цифрового процессора, который предназначен для отбора событий по разности чисел частиц, прошедших через две годоскопические плоскости. Плоскости имеют 64 и 128 выходов соответственно. Время задержки сигналов процессора не превышает 55 нс. С целью повышения экономичности и увеличения быстродействия в устройстве применен метод компрессии данных и сочетание аналоговых и цифровых микросхем.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1984

Перевод А.В.Дмитренко

Kalinnikov V.A., Nikityuk N.M.

PI-84-570

Specialized Hardware Hybrid Computer for Fast Selection
of Events by Difference in the Number of Particles

The method of construction and principle circuit the hybrid computer are described intended to select events over difference between particles passed through twice hodoscope planes. The hodoscope planes contains 64 and 128 wires. The delay time is about 55 ns. For all economy of the logical modules and decreasing of the delay time we purpose the method of the compression data and analog to digital integrated circuits.

The investigation has been performed at the Laboratory of High Energies, JINR.

Preprint of the Joint Institute for Nuclear Research, Dubna 1984