

2. 12. 63.

15

A-67



ОБЪЕДИНЕННЫЙ ИНСТИТУТ ЯДЕРНЫХ ИССЛЕДОВАНИЙ
ЛАБОРАТОРИЯ НЕЙТРОННОЙ ФИЗИКИ

А.П. Анясимов, Ш.И. Барилко, И.Д. Ванков, Ким Генъ Чун

P-1444

АДРЕСНЫЙ ПРИВОД
ЗАПОМИНАЮЩЕГО УСТРОЙСТВА
НА ФЕРРИТАХ

ТТЭ, 1964, №5, с 126-129.

Дубна 1963

А.П. Анисимов, Ш.И. Барялко, И.Д. Ванков, Кем Гень Чун

P-1444

2148/1 чз

АДРЕСНЫЙ ПРИВОД
ЗАПОМИНАЮЩЕГО УСТРОЙСТВА
НА ФЕРРИТАХ

Направлено в ПТЭ

ФЕДЕРАЛЬНЫЙ ИНСТИТУТ
ЯДЕРНЫХ ИССЛЕДОВАНИЙ
БИБЛИОТЕКА

Дубна 1983

В в е д е н и е

Адресный привод в оперативном запоминающем устройстве на ферритах, построенном по системе совпадающих токов, посылает двухполярные импульсы тока в выбранные адресным устройством шины куба памяти. Основное требование к адресному приводу - идентичность токов и их стабильность во времени.

В^{1/} нами был описан адресный привод запоминающего устройства на лампах, в основу которого положено "проталкивание" тока через диодно-трансформаторные вентиля. В этих вентилях трансформаторы выполняют только ключевые функции. Ниже описывается адресный привод запоминающего устройства, построенный по аналогичному принципу на транзисторах. Отличительной чертой этого принципа является гальваническая связь источников тока считывания и записи с адресными шинами куба памяти и отсутствие предварительного дешифратора адреса.

Принцип работы

В основу адресного привода положен двухполярный диодно-трансформаторный вентиль, изображенный на рис. 1. Вентиль состоит из четырехобмоточного трансформатора с двумя управляющими (w_1, w_2) и двумя коммутирующими (w_3, w_4) обмотками и восемью диодами. В цепь коммутирующих обмоток включена нагрузка

L_1 и L_2 . К общим точкам диодов подключены генераторы тока I_1 и I_2 . Полярность токов I_1 и I_2 обозначена стрелками. На управляющие обмотки подается либо импульс V_1 , либо импульс V_2 одновременно с одним из импульсов тока так, чтобы импульс напряжения перекрывал импульс тока. Если падение напряжения на прямом сопротивлении диодов, нагрузке и индуктивности рассеяния трансформатора меньше трансформированного во вторичную цепь управляющего напряжения, то прохождение тока определяется приведенной ниже таблицей.

Т а б л и ц а 1

№	Подаваемые импульсы	Нагрузка, через которую проходит импульс тока
1	V_1, I_1	L_1
2	V_2, I_2	L_2
3	V_1, I_2	L_2
4	V_2, I_1	L_1

С помощью схемы рис. 1 можно осуществить коммутацию двухполярного импульса тока через нагрузку L_1 или L_2 /нагрузкой является адресная шина ку-ба памяти/, подавая импульсы $V_1 I_1$ и $\bar{V}_2 I_2$ для одного адреса и $\bar{V}_1 I_1$ и $V_2 I_2$ для другого адреса.

Элементы, аналогичные изображенному на рис. 1, допускают такое соединение между собой, при котором исключается необходимость в предварительной дешифрации адреса.

Принцип соединения элементов между собой можно понять, рассмотрев схему рис. 2. В этой схеме соединены между собой два коммутатора, один из которых четырехобмоточный, другой шестиобмоточный. В каждом коммутаторе две управляющие, а остальные - коммутирующие.

Можно показать, что для каждой разрешенной комбинации напряжений и токов для прохождения тока будет открыта только одна цепь нагрузки. Разрешенными комбинациями напряжений являются $V_1 V_2, \bar{V}_1 V_2, V_1 \bar{V}_2, \bar{V}_1 \bar{V}_2$.

Таблица прохождения тока в зависимости от комбинации напряжений /импульсы отрицательные/ и токов приводятся ниже.

Т а б л и ц а

№	Подаваемые импульсы	Нагрузка, через которую проходит импульс тока
1	$V_1 V_2 I_1$	Z_2
2	$\bar{V}_1 V_2 I_1$	Z_4
3	$V_1 \bar{V}_2 I_1$	Z_1
4	$\bar{V}_1 \bar{V}_2 I_1$	Z_3
5	$V_1 V_2 I_2$	Z_3
6	$\bar{V}_1 V_2 I_2$	Z_1
7	$V_1 \bar{V}_2 I_2$	Z_4
	$\bar{V}_1 \bar{V}_2 I_2$	Z_2

Построение эпюры напряжений при данной комбинации управляющих напряжений и токов можно выполнять следующим образом

1. Определить проводящую цепь. Для этого, сопоставляя положение точек на управляющих и коммутирующих обмотках коммутатора с двумя коммутирующими обмотками, необходимо найти, на какой из диодов, связанных с выбранным для рассмотрения источником тока, подано напряжение в такой полярности, в которой диод проводит. Найденная таким образом цепь является проводящей в первом коммутаторе. Эта цепь связана в свою очередь с двумя цепями во втором коммутаторе, из которых проводит только одна. Проводящая цепь во втором коммутаторе находится так же, как и в первом.

2. Отождествить потенциалы в точках до и после проводящих диодов и проследить напряжения в соответствующих узлах. Напряжение в каждом последующем узле получается путем добавления или вычитания V в зависимости от полярности напряжения, наводимого на концах соответствующей коммутирующей обмотки.

3. Отождествить напряжение по обеим сторонам диода, подсоединенного к не-проводящей коммутирующей обмотке четырехобмоточного трансформатора и невозбужденной токовой шине. Напряжение в каждом последующем узле получается путем добавления или вычитания V в зависимости от полярности напряжения, наводимого на концах коммутирующей обмотки, соединяющей узлы. В качестве примера на рис. 3 приведена эпюра напряжений схемы рис. 2 для комбинации V_1, V_2, I_1 .

Используя описанный выше метод, мы построили действующий макет запоминающего устройства на 256 чисел. Схема адресного привода запоминающего устройства приведена на рис. 4.

Схема состоит из следующих элементов:

1. Формирователей импульсов напряжения $T_3 - T_{24}$.
2. Коммутирующих трансформаторов $Tr_1 - Tr_8$ совместно с цепями коммутации токов.
3. Формирователей тока записи T_1, T_2 и считывания T_3, T_4 .
4. Формирователей импульсов разрешения записи T_5, T_6 и считывания T_7, T_8 .

Ниже следует описание работы схемы.

1. Импульс разрешения считывания переводит в насыщение транзисторы T_3 и T_4 .

Импульс с эмиттера T_3 подается на импульсно-потенциальные вентили в базе транзисторов $T_3 - T_{24}$ и в каждой паре переводит в насыщение один транзистор, импульс с которого подается на управляющие обмотки $Tr_1 - Tr_8$.

Введенный в насыщение транзистор T_6 "привязывает" коммутирующие обмотки трансформатора Tr_1 к потенциалу - 25 в. Одновременно вводится в насыщение транзистор T_4 , который образует импульс тока чтения. Импульс чтения проходит через соответствующие адресные шины координаты "x" координаты "y".

В такт записи импульс разрешения записи вводит в насыщение транзисторы T_7 и T_8 . Импульс с эмиттера T_7 подается на импульсно-потенциальные вентили в базе транзисторов $T_3 - T_{24}$ и в каждой паре транзисторов вводит в насыщение транзистор, противоположный тому, который был введен в насыщение в такт чтения.

Одновременно вводится в насыщение транзистор T_2 , формируя импульс тока записи.

Формирователи импульсов тока чтения и записи устроены идентично, и работу их мы разберем на примере формирователя T_1, T_2 .

При введении в насыщение транзистора T_2 коллекторный ток его определяется разностью потенциалов между его коллектором и базой T_1 , а также сопротивлением в коллекторе T_2 . Поскольку транзистор T_1 включен по схеме с заземленной базой, то его коллекторный ток определяется током эмиттера, т.е. коллекторным током T_1 . Изменение импульса тока осуществляется с помощью переменного сопротивления в эмиттере транзистора T_1 . На обе координатные шины подается импульс тока от одного формирователя тока.

Контроль импульсов записи и считывания осуществляется с помощью осциллографа и импульсного вольтметра. Сигнал для контроля снимается с сопротивлений, включенных в адресные шины через трансформатор T_p .

На рис. 5 приведена осциллограмма импульсов разрешения считывания и записи в коллекторе транзистора T_{13} .

На рис. 6 приведена осциллограмма импульса тока считывания и записи на измерительном сопротивлении.

З а к л ю ч е н и е

Макет адресного привода на 256 чисел находился в эксплуатации более года и показал высокую надежность. По сравнению с широко применяемой схемой адресного привода на трансформаторах /2/ описанная схема обладает рядом достоинств. К числу их относятся:

- 1/ значительное уменьшение количества применяемых деталей;
- 2/ повышение надежности за счет уменьшения количества деталей и гальванической связи адресных шин куба памяти с источниками тока.

Для сравнения в таблице III приводится количество деталей в адресном приводе АИ-256, выполненном на трансформаторах, и в описанном выше адресном приводе.

	Число трансформаторов	Число диодов	Число транзисторов
Описываемое АПЗУ на 256 чисел	24	96	16
АПЗУ АИ-256	32	128	64

С увеличением числа адресов памяти экономия в числе элементов возрастает.

К недостаткам схемы следует отнести недопустимость следования друг за

другом циклов чтения или циклов записи, т.е. за каждым циклом чтения должен следовать цикл записи. Этот недостаток несколько суживает область применения, например, в промежуточной памяти более медленных систем регистрации.

Л и т е р а т у р а

1. Ш.И. Барилко, И.Д. Ванков. Метод коммутации токов МОЗУ на ферритах с плоским выбором. Препринт ОИЯИ № 1045, Дубна, 1962.
2. Белоус и др. Электронно-физическая аппаратура для ядерной физики. Госатомиздат, 1962.

Рукопись поступила в издательский отдел
22 октября 1963 г.

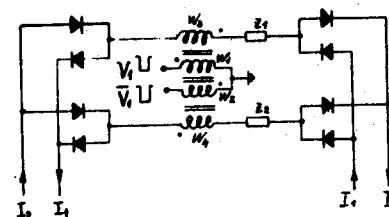


Рис. 1.

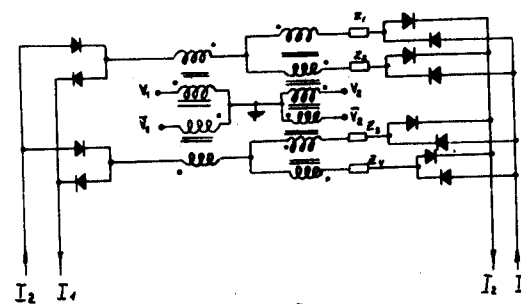


Рис. 2.

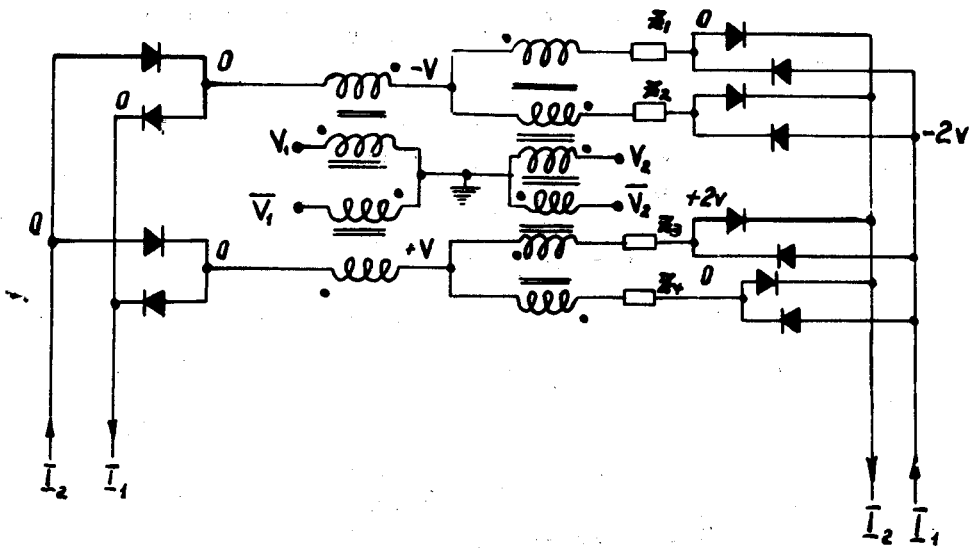


Рис. 3.

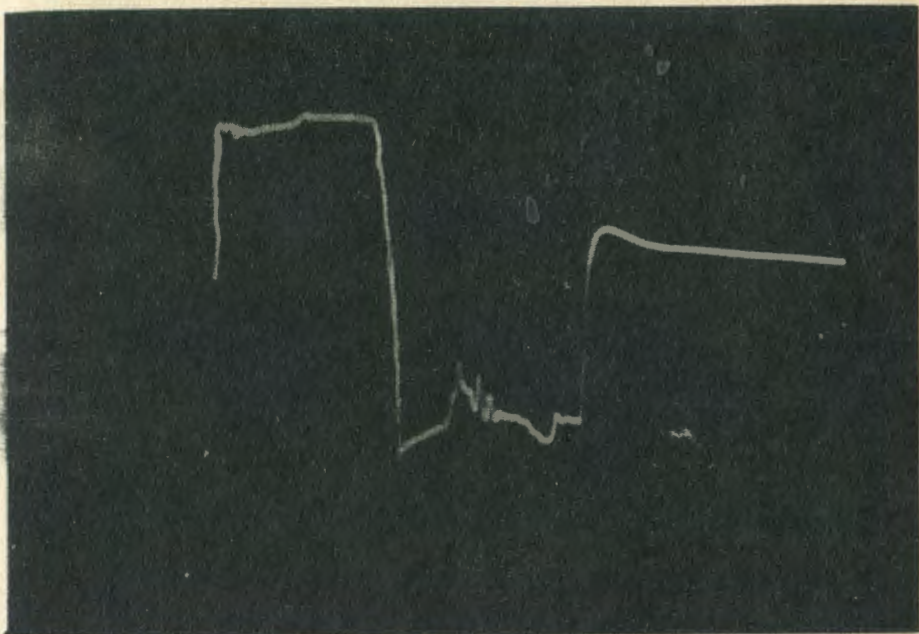


Рис. 5.

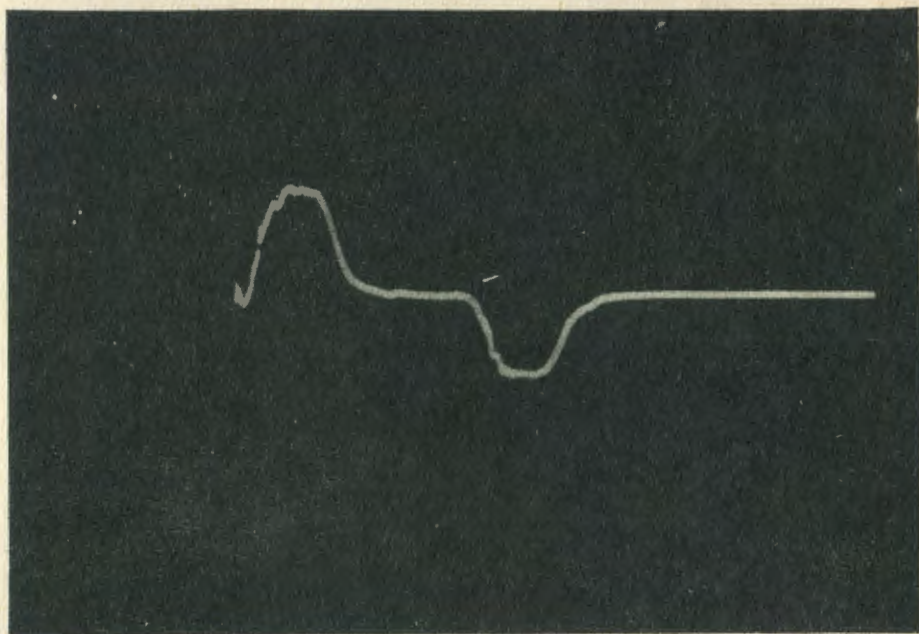


Рис. 6.

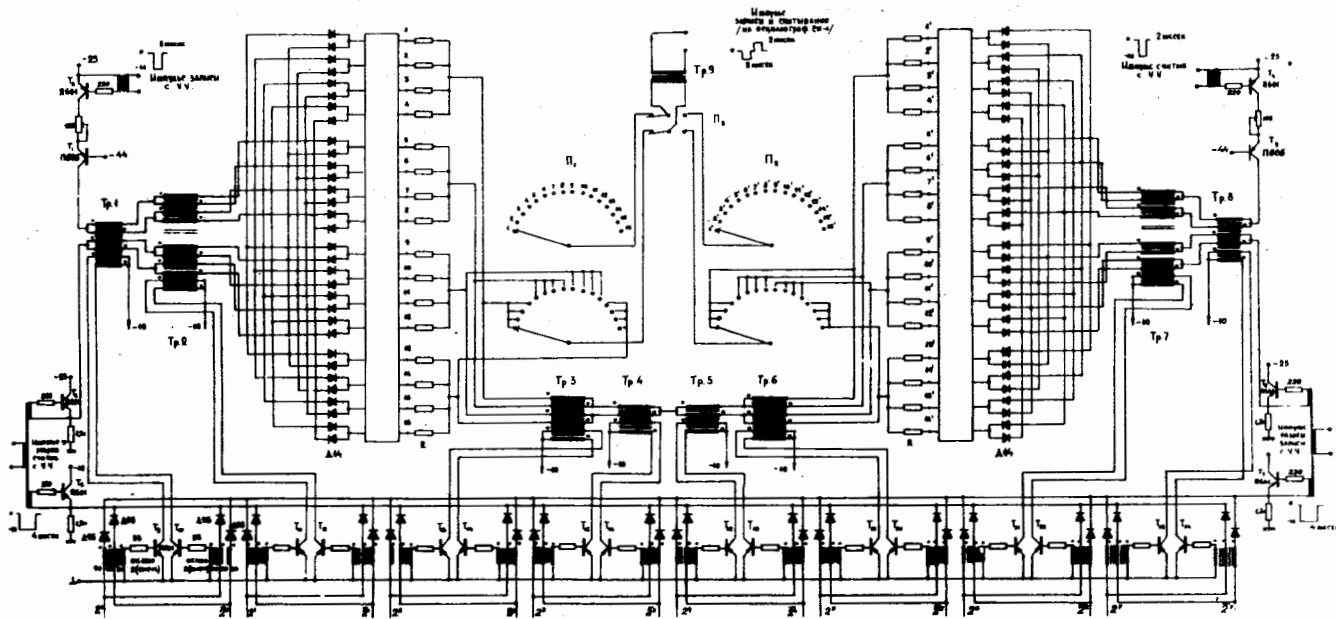


Рис. 4.