

C344.36

Ж-346

+



ОБЪЕДИНЕННЫЙ ИНСТИТУТ ЯДЕРНЫХ ИССЛЕДОВАНИЙ
ЛАБОРАТОРИЯ НЕЙТРОННОЙ ФИЗИКИ

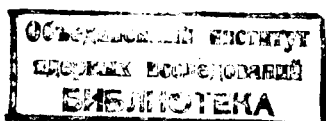
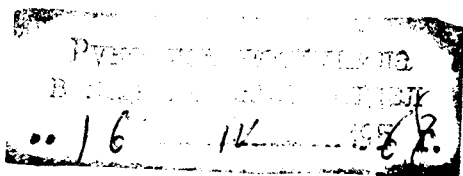
БЗ-13-3818

А.А.Жаринов, Г.П.Жуков, Б.Е.Журавлев, К.Р.Константинов,
В.И.Приходько, Сани Ласло, В.Г.Мишин, Хоанг Зьонг Куан,
В.Д.Шибаяев, Т.Шетет, Л.Цвин, Ш.Эгри.

СЗУЧ. 38

МС-346

с. ф. 2161
МНОГОМЕРНЫЙ АНАЛИЗАТОР С ЧИСЛОМ КАНАЛОВ $6,8 \cdot 10^{10}$.



Дубна, 1968г.

Многопараметровый анализатор с записью данных на магнитную ленту предназначен для проведения многомерного анализа с числом каналов до $\sim 5 \cdot 10^5$ при записи кодов на ленту в одну строку и $\sim 6,8 \cdot 10^{10}$ - при записи кодов в две строки. В первом случае емкость одной бобины 10^7 19-разрядных кодов, а во втором - $5 \cdot 10^6$ 36-разрядных кодов. При записи в 2 строки по 19-ой дорожке записывается признак строки.

Скорости движения ленты при записи равны 1, 2 и 4 см/сек что позволяет при плотности записи 10 имп/мм регистрировать 100, 200 и 400 событий в сек. соответственно.

Многопараметровому анализатору приданы 2 блока амплитудного преобразования (на 4096 и 512 каналов), блок временного преобразования и 9-разрядный регистр, позволяющий принимать коды дополнительных признаков, например, признак номера детектора, мониторный счет, счет стартовых импульсов реактора и т.п.

Все блоки аналого-цифрового преобразования и дополнительный регистр могут работать синхронно в любых комбинациях.

Одна из 20 дорожек является звуковой, так что экспериментатор через микрофон либо от линии может записывать вместе с цифровой информацией звуковое сопровождение.*). При изменении режима эксперимента можно записать какие именно условия изменены, что облегчает обработку информации.

*). Из-за большого уровня помех, создаваемых приборами измерительного центра, качество записи симфонической музыки не гарантируется.

I. Описание блок-схемы многомерного анализатора.

Блок-схема многопараметрового анализатора показана на рис.1, функциональная схема - на рис.2. Цифровая информация, характеризующая исследуемые события, из блоков аналого-цифрового преобразования АК1, АК2, ВК и Рег., расположенных во входной стойке, поступает на входные коммутаторы ($K1, K_1'$), которые позволяют подключить соответствующие линии цифровой информации ко входным регистрам устройств промежуточной памяти (УПП-1 и УПП-2).

С целью увеличения числа разрядов в регистрируемом на магнитной ленте слове была предусмотрена возможность записи информации в две строки. Это позволяет записывать цифровую информацию с числом двоичных разрядов до 36. (Число каналов при этом равно 68.719.476.735).

При записи в две строки используется комбинация из двух УПП. Емкость каждого УПП - 32 слова по 19 двоичных разрядов в каждом. Информация на эти УПП поступает из коммутаторов одновременно в виде параллельного кода.

Считывание кодов из УПП-1 и УПП-2 производится одновременно импульсами генератора считывания (ГСЧ). Параллельные коды из УПП-1 и УПП-2 поступают в блок преобразования кода (БПК-1). БПК-1 преобразует 36-разрядный параллельный код в параллельно-последовательный, состоящий из 2 строк по 18 разрядов, которые последовательно записываются на ленту. В качестве первой строки записывается код УПП-1, в качестве второй - код УПП-2. В этом случае по 19 дорожке записывается признак номера строки.

Один из 19 разрядов каждого УПП используется для записи признака четности кода. Признак четности присваивается коду

его записи в УПП и записывается вместе с этим кодом на магнитную ленту через K_I и K_I^I .

Если информация исследуемого события содержит не более 19 разрядов, возможно использование только одного УПП с записью в одну строку. 19 дорожка в этом случае становится информационной.

При обработке информации коды считываются с магнитной ленты и подаются в блок преобразования кода (БПК-2), который преобразует параллельно-последовательный код в параллельный. Одновременно с этим производится контроль кодов на четность и сравнение их с признаком четности, присвоенным этому коду при записи в УПП. В случае несовпадения контрольных признаков код, характеризующий данную информацию, не поступает на дальнейшую сортировку. С помощью пересчетной схемы подсчитывается количество искаженных кодов.

Для проведения поканальной сортировки используются блоки магнитных запоминающих устройств (МЗУ) измерительного центра. С помощью устройства отбора (УО) задаются цифровые окна, в которых производится сортировка информации в МОЗУ. УО выполняет и ряд других функций логического отбора информации.

Контроль за набором информации осуществляется с помощью контрольного запоминающего устройства (КЗУ) ^{*)}, которое через коммутатор КЗ и реле подключается к различным блокам системы.

*) В качестве КЗУ используется многоканальный анализатор типа МТА - 512 на 512 каналов, разработанный в ЦИФИ ВНР. Дополнительные данные и схемы этого анализатора приведены в отчете. ЦИФИ

К КЗУ (либо к внешнему МОЗУ в зависимости от состояния реле группы А) можно подключить следующие точки системы:

1. Входы УПП-1 (выходы соответствующих кодировщиков).
2. Входы УПП-2 (выходы соответствующих кодировщиков).
3. Выходы УПП-1 (вход БПК-1).
4. Выходы УПП-2 (вход БПК-1)
5. Выход регистратора на магнитной ленте при записи в одну строку.
6. Первые 18 разрядов выхода блока преобразования кода БПК-2.
7. Вторые 18 разрядов выхода БПК-2.
8. Выход УО.

Переключение различных групп реле (подключение КЗУ либо внешнего МОЗУ к различным блокам системы) осуществляется с помощью клавишного устройства КУ-1.

Учитывая то, что в режиме записи на магнитную ленту имеется возможность формирования токов головок записи и передачи этих сигналов на усилители воспроизведения и далее, в КЗУ могут набираться интегральные спектры из любого блока системы.

Т.е. в КЗУ могут набираться интегральные спектры из любого блока системы, а учитывая то, что в режиме записи на магнитную ленту имеется возможность формировать из токов головок записи импульсы, которые могут быть поданы на усилитель воспроизведения и далее на УО, в КЗУ могут набираться также любые сечения многомерного спектра. Это дает возможность проконтролировать не только правильность работы аппаратуры, но и следить за правильностью хода эксперимента. Возможность подключения КЗУ к различным блокам системы позволяет быстро

определить неисправный блок.

Проверка системы осуществляется с помощью "генератора рочной линии" (ГРЛ), который вырабатывает последовательность увеличивающихся на единицу десятиразрядных двоичных кодов. Выход ГРЛ подается одновременно на коммутаторы K_I , K'_I , на реле групп N и O .

Коды от ГРЛ могут быть поданы на входы УПП-1 и УПП-2 с помощью штекеров K_I и K'_I , на входы БПК-1 - с помощью реле групп N и O , а регистрация этих кодов в КЗУ либо во внешнем МОЗУ осуществляется переключением различных групп реле аналогично тому, как это делалось в режиме накопления информации.

II. Блоки аналого-цифрового преобразования.

Входная стойка.

Входное устройство предназначено для преобразования аналоговой информации, поступающей от детекторов ядерного излучения, в цифровую форму. Блок-схема входного устройства приведена на рис. 3. Устройство включает: 1) блок амплитудно-цифрового преобразования (АЦП) на 4096 каналов с системой стабилизации порога и масштаба шкалы; 2) блок АЦП на 512 каналов; 3) блок время-цифрового преобразования на 4096 каналов; 4) блок кодирования дополнительных признаков (9 разрядов); 5) блок управления режимами анализа.

В комбинации данных блоков входное устройство позволяет осуществлять следующие виды многопараметровых измерений:

- № 1. Амплитуда A_1 (4096 каналов) + признак Пр;
2. Амплитуда A_2 (512 каналов) + Пр;

3. $V_r (4096 \text{ каналов}) + P_r$;
4. $A_1 + V_r + P_r$;
5. $A_2 + V_r + P_r$;
6. $A_1 + A_2 + P_r$;
7. $A_1 + A_2 + V_r + P_r$;
8. $P_r + V_r$.

Дополнительно к этим режимам входное устройство имеет управление по входам совпадений - антисовпадений на амплитудные преобразователи.

Ниже приводится описание блоков преобразования и управления входного устройства.

2.1 Блок амплитудно-цифрового преобразования на 4096 каналов с системами стабилизации порога и масштаба шкалы.

Данный блок /I/ предназначен для работы с $Ge(Li)$ детекторами γ - излучения и имеет следующие технические характеристики:

- 1) число каналов - 4096;
- 2) мертвое время - $(10 + 0,05N)$, где N - номер канала;
- 3) стабильность положения каналов - $\sim 0,01\%/10^0C$
(определяется стабильностью генератора эталонных импульсов);
- 4) интегральная нелинейность - $< 0,1\%$;
- 5) дифференциальная нелинейность - $< \pm 2\%$;
- 6) диапазон входных импульсов - $0,03 \div 10v$,
полярность - отрицательная;
- 7) сдвиги пиков при интенсивности входных сигналов до $1 \cdot 10^4$ имп/сек - $< 1 \div 2$ канала;

8) аналоговая дискриминация порога шкалы до 10% от полной шкалы (задается величиной амплитуды эталонного импульса, стабилизирующего порог);

9) цифровой порог - по 512 каналов. Блок-схема устройства приведена на рис.3а.

Собственно преобразователь включает нормально-открытые линейные "ворота", АЦП с 13-разрядным счетчиком и схемы управления. Дополнительными цепями являются элементы системы стабилизации, включенные в общую конструкцию блока. АЦП блока выполнен по принципу амплитудно-временной трансформации /2/.

2.1.2. Описание функциональной схемы АЦП-4096.

Функциональная схема блока АЦП вместе с цепями управления и стабилизации приведена на рис.4. На рис.5 приведена временная диаграмма основных сигналов в цепях блока.

Работа блока происходит следующим образом:

Детекторный сигнал отрицательной полярности поступает через входной разъем и согласующий повторитель (П1) на вход нормально-открытых линейных ворот (ЛВ), расположенных на плате преобразователя (БП). Далее этот сигнал проходит на зарядное устройство, выполненное по схеме со 100% отрицательной обратной связью, включающее повторители П2, П3, П4, П6, П7, усилитель-инвертор УИ1, и заряжает емкость ЗЕ до пикового значения амплитуды входного сигнала.

Одновременно детекторный сигнал подается в блок логики (БЛ-1) на вход схемы обострения фронта СО, состоящей из входного повторителя П13, усилителя-инвертора УИ3 и усилителя-формирователя УИ4. СО вырабатывает стартовый импульс для запуска логики

АЦП (с порогом $30 \div 40$ мв и длительностью ~ 1 мксек). Этот импульс поступает на вход схемы совпадения И1. Если триггер блокировки $T_{\text{бл}}$ находится в сброшенном состоянии (выход - бв), т.е. преобразователь свободен для приема детекторного сигнала, стартовый импульс с С0 проходит на запуск блокинг-генератора БГ, взводит его, и с этого момента начинается работа преобразователя. С БГ берутся два импульса: 1) положительной (вых.4) и 2) отрицательной (вых.5) полярности. На фронте импульса положительной полярности взводится триггер $T_{\text{лр}}$, выключающий линейный разряд запоминающей емкости, т.е. с выхода 6 $T_{\text{лр}}$ подается положительный перепад - до уровня - 0,5в на управление генератором линейного разряда $T_{\text{тр}}$ в БЛ.

Отрицательный импульс с БГ подается через ПИ5 на линию задержки ЛЗ. После ЛЗ отрицательный импульс через согласующий повторитель ПИ6 взводит $T_{\text{бл}}$, осуществляя запираение линейных ворот, т.е. входа преобразователя, и блокировку логики, через схему И1. Длительность задержки выбирается с помощью переключателя ПК-2 равной длительности фронта детекторного сигнала и регулируется в пределах $0,2 \div 2$ мксек. Импульс с ПИ6 подается также на усилители У2, У1, осуществляющие задержку этого сигнала на ~ 1 мксек для запуска остальных цепей логики. Положительным импульсом с выхода У1 производятся следующие операции: 1) сбрасывается $T_{\text{лр}}$, включающий линейный разряд ЗЭ; 2) взводится $T_{\text{ву}}$, управляющий цепями вычитания нижнего уровня на ЗУ; 3) запускается через УИ-2 триггер генератора цуга $T_{\text{гц}}$, включающий цуг на адресный счетчик АС; 4) запускается одновибратор ОВ-2, служащий для включения "быстрого" разряда при малых амплитудах детекторного сигнала, ниже задаваемого величиной

сигнала вычитания уровня (на формирователе $\Phi_{\text{ВУ}}$ и переключателем ПК-1) порога преобразователя.

Временной интервал преобразователя, соответствующий времени линейного разряда 3ϵ и пропорциональный амплитуде детекторного сигнала, формируется по импульсу с выхода ЗУ (вых. ПЗ) и процессах выключения и включения цепи обратной связи в ЗУ, которые определяются: первый - моментом запираания ЛВ и второй - моментом окончания линейного разряда 3ϵ . Импульс с ПЗ подается через ограничитель ОГ, не пропускающий положительную часть этого сигнала, и ПИ на дифференциальный усилитель ДУ1. На выходах ДУ1 получаются два импульса положительной и отрицательной полярности. Спадом положительного импульса формируется на Ф импульс сброса $T_{\text{ГЦ}}$. Отрицательный импульс с ДУ1 подается в логику БЛ-2 для управления режимом "быстрого" разряда.

С $T_{\text{ГЦ}}$ через ДУ-2 формируются два сигнала: отрицательный - для управления $T_{\text{Ц}}$; положительный - подается в логику БЛ-2 на УИ. Спадом этого импульса на УИ8 формируется отрицательный сигнал, задержанный на $\sim 0,5$ мксек, который через И5 взводит ОВ4. Положительный импульс с ОВ4 запускает схему блокировки СБ с временем выдержки 32 мксек, соответствующим времени работы внешней "памяти". Отрицательный импульс с ОВ4 подается через И6 и И7 на У5, формирующий положительный импульс переноса адреса, а также через У6, У7 на ИФ1-13, формирующий отрицательный импульс "пуск логики "памяти". Назначение И6 - блокировка сигналов переноса в "память" при работе системы стабилизации; И7 - блокировка сигналов переноса при переполнении адресного счетчика.

Спадом положительного импульса СБ через У4 запускается одновибратор быстрого разряда ОВЗ, отрицательный импульс с которого (вых.2) подается на $T_{тр}$, увеличивая разрядный ток до ~ 10 ма. Этот же импульс через УИ6 формирует положительный импульс общего сброса триггеров $T_{ву}$, АС и $T_{су}$, $T_{сп}$. Положительный импульс с вых.1 ОВЗ подается в логику БЛ-1 на И3 и через У3 сбрасывает $T_{бл}$, открывая АЦП для приема следующего детекторного сигнала. В тех случаях, когда детекторный импульс приходит во время работы ОВЗ, стартовый импульс с С0 пропускается схемой И4 и взводит ОВ1, который продлевает блокировку АЦП на время длительности входного импульса.

Режим быстрого разряда при наличии входных сигналов, лежащих ниже порога АЦП, осуществляется следующим образом. Если момент окончания преобразования, т.е. спад импульса с ДУ1, подаваемого на И4 через ИЛИ1 и УИ7, наступает раньше окончания импульса ОВ2, взводится ОВЗ, осуществляя быстрый разряд ЗЭ, и, соответственно, сброс всех остальных цепей. Одновременно этим же импульсом блокируется И5, запрещая запуск ОВ4. Этот же режим быстрого разряда осуществляется при внешнем управлении АЦП, которое подается в виде сигналов отрицательной полярности на второй вход ИЛИ1. При отсутствии управляющего сигнала, т.е. при нулевом потенциале на шине второго входа ИЛИ1, все детекторные импульсы идут на быстрый разряд.

Адресный счетчик АС (платы БР-1, БР-2 и БР-3) состоит из 13 триггеров (1-ый триггер на рис. 4 не показан (т.е. схема представляет 4096 каналов), 14-ый триггер служит для блокировки переполнения АС. Перенос состояний триггеров АС в память осуществляется с помощью вентилях ИФ1-1 + ИФ1-12, опрос которых

производится положительным импульсом "перенос адреса". На плате БРЗ смонтирована схема выбора "сечений", задающая также пороговой порог по 1024 канала. Переключателем ПК-4 устанавливается число каналов в цифровом "окне", т.е. на блокировку импульса "переноса адреса", которая осуществляется через И16 и П35, подключается соответствующий триггер АС. Сдвиг "окна" осуществляется переключателем ПК3 посредством предварительной установки триггеров АС импульсом сброса в соответствующее состояние.

Система стабилизации порога и масштаба шкалы.

Система стабилизации смонтирована на двух платах БЛЗ и БС. Управляющий импульс двойной полярности от генератора эталонных импульсов ГЭИ, расположенного около детектора излучения, поступает по кабелю на вход трансформатора Тр1, восстанавливающего эти импульсы к одной полярности (огр.). Входной управляющий импульс отрицательной полярности запускает систему стабилизации масштаба шкалы, т.е. через Тр1, У8, И8 и УИ8 взводит T_{cy} ; положительный - через Тр1, У9, И9 и УИ9 - $T_{сп}$.

Схемы пропускания И9, И8 блокируют запуск системы стабилизации во время работы АЦП (при анализе детекторных сигналов). Частота эталонных импульсов задается ГЭИ и составляет 25 гц как для стабилизации порога, так и для стабилизации усиления. Управляющий перепад отрицательной полярности с T_{cy} ($T_{сп}$) подается на схемы пропускания И14, И15 (И12, И13). На другие входы этих схем подаются отрицательный импульс с ОВ4, а также перепады напряжения с двух плеч одного из триггеров адресного счетчика T_9 . В зависимости от состояния T_9 , т.е. амплитуды

регистрируемого эталонного импульса, импульс с ОВ4 проходит либо на запуск ОВ8 (ОВ7), либо на ОЗЮ (ОВ9). Импульсы с выходов этих одновибраторов управляют схемами УИ11, УИ12 (УИ13, УИ14), открываемых на время длительности одновибраторов ($\sim 0,5$ мсек). В интегрирующую емкость $C_1(C_2)$ посылается дозированный заряд, увеличивающий или уменьшающий потенциал емкости на величину, зависящую от тока и длительности импульса на выходе этих схем и определяемую требуемым фактором коррекции.

Корректирующее напряжение с выхода $C_1(C_2)$ через повторитель ЭП4-2 (ЭП4-1) подается в АЦП для регулировки усиления (порога). Усиление регулируется путем изменения тока линейного разряда в $\Gamma_{тр}$; порог - изменением потенциала на входе АЦП, т.е. изменением пьедестала ЛВ.

Управление системы стабилизации от T_9 позволяет привязывать реперные пики к границам каналов кратным 5I2, т.е. центр тяжести реперного пика, стабилизирующего порог, устанавливается на границе 5I1 и 5I2 каналов, либо I023 и I024 каналов; а пик, стабилизирующий усиление, на границу каналов, также кратной 5I2, в конце шкалы спектрометра.

При наличии внешнего управляющего сигнала (например, временное "окно" от время-цифрового преобразователя в режиме многомерного анализа "время-амплитуда") управляющие сигналы от $T_{сп}$ и $T_{су}$ подаются вместе с внешним управляющим сигналом через схему ИЛИ-2 для выключения режима быстрого разряда при анализе как входных сигналов, которым сопутствует управляющий сигнал, так и при анализе эталонных импульсов.

Схемы ОВ6, И11, УИЮ, УЮ служат для формирования сигнала опроса внешних устройств (например, детекторный импульс для ВЮ). И11 блокирует этот сигнал при работе систем стабилизации.

2.1.2. Описание принципиальных схем основных узлов системы стабилизации.

Амплитудно-цифровой преобразователь. Принципиальная схема АЦП представлена на рис. 6. Входной детекторный импульс поступает через согласующий эмиттерный повторитель Т1 на вход нормально-открытых ЛВ, выполненных по схеме, в которой в качестве нелинейного элемента используется диод Д1 (типа 2Д503А), управляемый транзистором Т2. Входной импульс на зарядное устройство (Т4 + Т11), выполненное по схеме с отрицательной обратной связью (сопротивление R_{13}), проходит лишь в случае, если ЛВ открыты, т.е. Т2 заперт положительным смещением $U_{ЭБ} = +U_B$ через стабилитрон Д4. Блокировка ЛВ осуществляется отпиранием Т2 при подаче в базу отрицательного перепада, при этом Д1 открывается и блокирует на делителе R_7 и собственном динамическом сопротивлении входной сигнал.

Регулировка порога при работе системы стабилизации порога осуществляется путем изменения напряжения на базе Т1. Регулирующее напряжение подается с выхода эмиттерного повторителя системы стабилизации порога на сопротивление R_3 . Подстройка шкалы стабилизации производится потенциометром R_4 .

После ЛВ входной импульс поступает через повторитель Т3 на усилитель Т4, где его полярность меняется на положительную, и далее через повторители Т5, Т6 и зарядный диод Д9 заряжает емкость С7 (2000 пф) до своего амплитудного значения. Сигнал обратной связи в ЗУ подается через согласующий сложный повторитель Т7 + Т11, имеющий большое входное сопротивление (~ 40 мом), и сопротивление R_{13} в базу Т4. Глубина обратной связи определяется соотношением сопротивлений $R_{10} + R_{12}$ и R_{13} .

R_{10} и C_4 - интегрирующая цепочка.

Разрядное устройство ($T_{I3} + T_{I8}$) нормально работает в режиме линейного разряда, при этом T_{I3} заперт, и ток разряда протекает в правой ветви схемы T_{I5} , T_{I6} . Ток разряда задается потенциалом эмиттера T_{I5} , а также величиной сопротивления R_{30} и номинально равен ~ 50 мка. Регулировка тока разряда от системы стабилизации осуществляется изменением напряжения на базе T_{I5} , которое через согласующий повторитель T_{I8} подается с выхода эмиттерного повторителя аналогового интенсиметра системы стабилизации усиления. Подстройка шкалы стабилизации осуществляется потенциометром R_{32} .

Линейный разряд выключается положительным импульсом из "логики" преобразователя с $T_{лр}$, который открывает T_{I3} и переключает в него ток разряда. T_{I5} при этом запирается, и разряд емкости прекращается.

Включение режима быстрого разряда осуществляется при отпирании диода D_{I5} в эмиттере T_{I5} .

Схема выделения интервала времени линейного разряда 3Э работает следующим образом. В момент окончания заряда емкости C_4 транзистор T_4 запирается через сопротивление R_{13} положительным перепадом с эмиттера T_9 и на коллекторе T_4 , а также, соответственно, на эмиттере T_5 получается отрицательный перепад, запирающий D_9 . В момент окончания линейного разряда D_9 отпирается, и потенциалы ЗУ, т.е. потенциалы коллектора T_4 , эмиттера T_5 и другие, восстанавливаются к прежним значениям. Таким образом, на эмиттере T_5 формируется отрицательный "столик" с относительно плохим спадом по времени, равный времени линейного разряда. Этот "столик" дополнительно

формируется через повторители T_{22} , T_{23} дифференциальным усилителем T_{24} , T_{25} . Спад положительного импульса с коллектора T_{24} через повторитель T_{27} формирует короткий положительный импульс на T_{28} (~ 1 мксек) для сброса $T_{ГЦ}$ (туннельный диод D_{23}) который предварительно взводится через инвертирующий усилитель T_{29} в момент начала линейного разряда. Перепад напряжения на D_{23} управляет ДУ-2 (T_{29} , T_{30}), с выходов которого отрицательный импульс (коллектор T_{30}) подается через T_{32} на управление $T_{Ц}$, положительный (T_{29}) - в "логику" на запуск схем переноса адреса в "память".

Дискриминация нижнего уровня входного сигнала осуществляется вычитанием части напряжения на конденсаторе $C7$ импульсом, поступающим через повторитель T_{I2} с формирователя $T_{I9} - T_{2I}$. Уровень вычитаемого напряжения регулируется переключателем ПК-I от 0 до 2в.

Генератор цуга (рис. 7) выполнен на основе генератора синусоидальных колебаний с трансформаторной обратной связью. Запуск генератора осуществляется подачей отрицательного импульса от $T_{ГЦ}$ в коллектор T_I . Цуг импульсов (адресная серия) формируется из отрицательной полуволны синусоиды (через повторитель T_2) ждущим мультивибратором T_3 , T_4 , работающим в режиме деления частоты $1 : 1$ и представляющим симметричную схему с эмиттерной связью. Частота импульсов в цуге зависит от параметров контура LC и выбрана равной 12 мггц (для 4096 каналов); для 8192 каналов используется генератор цуга на туннельном диоде, аналогичный АК-5I2 (рис. 15) с частотой 24 мггц.

Адресный счетчик выполнен на триггерах типа TI2A(Б), разработанных в ЛНФ. Установка необходимого смещения на входе

триггера осуществляется потенциометрами, смонтированными на платах. Вентильные схемы ИФІ - диодно-трансформаторные ключи.

Элементы схем управления (логики).

Логика АЦП выполнена с использованием нескольких типов логических модульных схем: одновибраторы ОВ-І, триггеры - ТІ2Б, повторители (рис. 8), усилители-инверторы (рис. 8), диодные схемы И, ИЛИ - "И2" (рис. 9), блакинг-генератор БГ (рис. 10), усилители-формирователи, объединенные с диодной схемой И, - "Ф2" (рис. 9а), схема блокировки СБ (рис. 9б), схема обострения фронта С0 (рис. 9к).

Элементы систем стабилизации. Для дозированного заряда интегрирующей емкости СІ (С2) используются токовые ключи К2 (рис. 11), управляемые от одновибраторов. Согласование напряжения на емкости СІ с цепями ЗУ осуществляется с помощью составного повторителя ЭП4 (рис. 11), имеющего большое входное сопротивление (~ 30 мом) для уменьшения паразитного разряда интегрирующей емкости. Диоды ДІ, Д2 ограничивают диапазон стабилизации. Контроль диапазона производится по стрелочному прибору, расположенному на плате преобразователя.

Диапазон стабилизации выбран - $\pm 1\%$ для регулировки порога и $\pm 5\%$ для регулировки усиления.

2.1.3. Измерительные характеристики АЦП-8І92.

Интегральная нелинейность, измеренная с помощью генератора с ртутным реле (тип NZ - 256 с собственной нелинейностью $\sim 0,05\%$), не превышает $0,1\%$.

Дифференциальная нелинейность АЦП измерялась с помощью генератора линейно меняющейся амплитуды, собственная нелинейность которого $\sim 0,2 \div 0,3\%$, и составила $\sim 2\%$.

Стабильность порога и масштаба шкалы, определяемые стабильностью используемого генератора эталонных импульсов, не хуже $0,01 \div 0,02\%$.

Собственные шумы преобразователя не превышают $0,3$ мВ при ширине канала 1 мВ.

2.2. Блок амплитудно-цифрового преобразования на 256 (512) каналов.

Данный блок предназначен для амплитудного анализа детекторных сигналов, поступающих от ионизационных камер, сцинтилляционных датчиков и пр. Блок имеет следующие технические характеристики:

- 1) Число каналов - 256 (512);
- 2) мертвое время - $(2 + 0,05N)$ мксек; где N - число каналов;
- 3) диапазон входных сигналов - $0 \div 1,0$ в с усилителем,
 $0 \div 10$ в без усилителя;
- 4) порог ограничения снизу -- до 50%;
- 5) интегральная нелинейность - $< 0,2\%$;
- 6) дифференциальная нелинейность - $< \pm 1\%$;
- 7) уход порога ≤ 1 канала при входной интенсивности до $5 \cdot 10^4$ имп/сек;
- 8) температурная нестабильность -
уход порога - ≤ 1 канал / 10°C ,
уход усиления - $\leq 0,5\%$ / 10°C ;
- 9) полярность входных импульсов - любая;
- 10) напряжение питания - $+27$ в; -27 в;
потребление тока по обоим полиномам - $\sim 0,5$ а.

На рис. 13 приведена функциональная схема блока, взаимодействие узлов поясняется временной диаграммой. Устройство смонтировано на 7 платах и 4 блочках, размером по передней панели 80 x 120 мм.

На первой плате расположены входной делитель на 20 дБ (на 10 положений), линейный инвертор, линейный усилитель ($K_y \approx 10$), пороговый ограничитель по минимуму с переключением уровня ограничения до 50% от максимальной амплитуды входного сигнала. Принципиальная схема этих узлов приведена на рис. 14. Здесь транзистор Т1 - линейный инвертор, используется при отрицательной полярности входного сигнала; Т2, Т3, Т4 - линейный усилитель с коэффициентом усиления ~ 10 , определяемым сопротивлениями R_{14}, R_{19} ; Т5, Т6, Т7 - повторители. Пороговый ограничитель выполнен на диодах Д3, Д4. Уровень ограничения задается напряжением с П2, запирающим диод Д3, так что через Д3 проходит только часть детекторного сигнала, превышающая порог. С выхода повторителя Т7 положительный сигнал подается в цепь преобразователя (рис. 15), т.е. через линию задержки ЛЗ (2 мксек) и повторитель Т1 на вход нормально-закрытых линейных ворот (ЛСП- $R_4, Д_1, Т_2$). Если преобразователь свободен для приема детекторного сигнала, отрицательным импульсом, подаваемым из цепи управления в базу Т2, открываются линейные ворота, т.е. Т2 запирается, и детекторный сигнал поступает на базу Т3 - дискриминатора тока линейного разряда. Этот сигнал через диод Д2 заряжает емкость С3 до амплитудного значения $U_{вх.}$.

После того, как ЛСП закроется, начинается линейный разряд С3 (470 пФ) постоянным током схемы линейного разряда СР (транзистор Т4). При запираании Д2 ток линейного разряда

($\sim 0,2$ ма) переключается из цепи эмиттера T_3 на линейный разряд C_3 . При этом в коллекторе T_3 получается положительный импульс, амплитудой ~ 2 в, длительность которого равна времени линейного разряда; окончание этого импульса определяется моментом окончания линейного разряда, т.е. включением тока линейного разряда в эмиттер T_3 . Этот импульс через повторитель П5 (T_5) формируется дифференциальным усилителем ДУ1 (T_6, T_7), на выходах которого получают два прямоугольных импульса положительной (T_7) и отрицательной (T_6) полярностей с фиксированной амплитудой (6в) и длительностью, равной времени линейного разряда. Отрицательный импульс через повторитель П6 (T_9) подается на управление генератором кодовой серии. Положительный - в цепь управления - для блокировки и запуска сигналов переноса во внешнее запоминающее устройство.

- Генератор кодовой серии (рис.15) выполнен на основе ждущего мультивибратора, в качестве которого используется одновибратор с туннельным диодом (D_{I2}, L_1). Туннельный диод D_{II} осуществляет дополнительную формировку сигнала из ДУ1, а также выполняет роль клапана, задерживающего формирование серии импульсов на время, равное длительности линейного разряда "пьедестала" ЛСП. Эта операция выполняется посредством запираания D_{II} положительным импульсом с усилителя T_{I3} , формирующего отрицательный сигнал задержки с ОБ1. Серия отрицательных импульсов через повторитель T_{I0} подается на усилитель-инвертор T_{II} и через повторитель T_{I2} подается на вход первого триггера АС. Полярность импульсов серии - положительная, амплитуда ~ 6 в, частота - 20 мгц, определяется параметрами ТД (D_{I2}), величиной L_1 и смещением на D_{I2} , т.е. величиной сопротивлений $R_{29}, R_{30}, R_{31}, R_{32}$ и D_{I3}

Цепи "логики" АЦП-256 смонтированы на двух платах (ПЛ3, ПЛ4), расположенных в одном блоке (БЛ). Схема обострителя фронта С0, состоящая из повторителя T_1 (ПЛ3. рис. 16), диодного ограничителя по максимуму D_2 , усилителя T_2 и формирователя с триформаторной нагрузкой T_3 , формирует с порогом $\sim 50 \pm 60$ мв начало фронта детекторного сигнала. Отрицательный импульс с выхода С0 запускает блокинг-генератор задержки БГ-1 (T_4); длительность импульса БГ-1 выбирается такой, чтобы согласовать во времени моменты: 1) прихода задержанного детекторного сигнала на вход ЛСП и 2) отпирание ЛСП. Сформированный усилителем У2 (T_5) на спаде положительного импульса с БГ-1 узкий отрицательный импульс ($\sim 0,2$ мксек) подается на схему пропускания И2 (D_8), на второй вход этой схемы (диод D_9) с выхода И1 (см. плату ПЛ-4 - рис. 17) подается разрешающий запуск "логики" блока отрицательный потенциал. Отрицательные потенциалы входов схемы совпадения И1 означают следующее:

1. Окончен анализ детекторного импульса, т.е. отсутствуют импульсы блокировки со схемы блокировки СБ, одновибратора ОВ-2 и схемы ДУ1, блокирующей АЦП на время преобразования.

2. Амплитуда анализируемого импульса не превышает задаваемый на дискриминаторе верхнего уровня (ДВУ) верхний порог диапазона входных импульсов, т.е. отсутствует блокирующий импульс с ДВУ.

3. Отсутствуют импульсы внешней блокировки в режиме антисовпадений; или же, наоборот, подается внешний управляющий импульс в режиме совпадений.

Если анализ детекторного импульса разрешен, то отрицательный импульс с выхода И2 запускает блокинг-генератор БГ2 (T_7),

который своим отрицательным импульсом (с эмиттера T_7) открывает ЛСП на время, равное времени нарастания до максимума детекторного сигнала.

Этим же импульсом на УИ4 (T_9) формируется положительный сигнал, который запускает СБ (в режиме постоянного мертвого времени), а также подается во внешние цепи.

Спадом импульса с БГ2 запускается одновибратор ОВ1 (T_8, T_{10}), "вырубаящий" начало кодовой серии.

Усилитель УИ5 (T_{11}) на фронте выходного импульса с ОВ1 формирует положительный импульс сброса триггеров адресного счетчика.

На плате ПЛ4 смонтированы следующие узлы: схема блокировки СБ ($T_1 + T_4$), схемы опроса АС и пуска логики ($T_5 + T_7$), одновибратор ОВ2 (T_8, T_9), схема совпадения И1 ($D_{10} + D_{15}$), ДВУ - туннельный диод D_9 , формирователи T_{10}, T_{11} .

Дальнейшая работа блока АЦП зависит от положения переключателя П1, который задает режимы блокировки АЦП:

1. Мертвое время " ~ 16 мксек": блокировка осуществляется положительными импульсами с выхода ДУ1 (D_{13}) и ОВ2 (D_{15}), длительность которого равна ~ 2 мксек. Вход СБ заземляется. Полное время блокировки в этом режиме переменное и равно: $(2 + 0,05 N)$ мксек. Импульсы переноса адреса из АС и пуска логики формируются на спаде импульса с ДУ2 усилителями T_5 и T_6 через усилитель T_7 , осуществляющий функции задержки (на ~ 1 мксек сигнала опроса АС).

2. Мертвое время " $(\sim 16) + (=16)$ мксек": все остается так же, как в положении "1", за исключением ОВ2, длительность импульса которого увеличивается до 16 мксек.

3. Мертвое время " $=18$ мксек": блокировка осуществляется положительными импульсами от СБ (Д11) и ОВ2, длительность которых в этом режиме, соответственно, равняется 16 мксек и 2 мксек, так что полное время блокировки постоянное " $=18$ мксек". Импульсы переноса адреса и пуска логики формируются на спаде импульса СБ также через УИ8 (Т7).

4. " $=32$ мксек": все остается так же, как в положении "3", за исключением ОВ2, длительность импульса которого увеличивается до 16 мксек.

Внешнее управление подается по двум входам на Д12 и Д14 (И1); один - непосредственно, другой - через тумблер Т61.

Адресный счетчик состоит из восьми триггеров, девятый триггер служит для блокировки переполнения АС, т.е. через вентиль В10 (эмиттер - базовый переход Т5 на ПЛ4) блокирует импульс переноса адреса. Пуск логики при этом не блокируется, т.е. детекторные импульсы, амплитуда которых превышает 256 каналов, попадают в нулевой канал. АС смонтирован на трех платах (ПЛ-5, ПЛ-6, ПЛ-7), рис.18+20. Первые два триггера более быстрые - Т12А, остальные - медленные - Т12Б. Состояние триггеров после счета кодовой серии передается во внешнее запоминающее устройство импульсом переноса адреса через диодно-трансформаторные вентили В1 + В8 (Д1 + Д3, Тр1 + Тр3 - на ПЛ-5, ПЛ-6, ПЛ-7) и формирователи Ф1 + Ф8 (Т1 + Т3), на выходе которых получают отрицательные импульсы параллельного восьмиразрядного двоичного кода. Одновременно с переносом адреса в цепи В9, Ф9 (Д3, Тр3, Т3 - на ПЛ-7) формируется отрицательный импульс пуска логики ЗУ.

Разработанный блок на 256 каналов используется также на 512 каналов. При этом несколько ухудшаются его характеристики и увеличивается время преобразования (до 30 мксек).

Переделка на 512 каналов сводится к уменьшению тока линейного разряда до 0,1 ма, и добавляется еще один триггер в адресном счетчике.

2.3. Блок временного кодирования.

Временной кодировщик (ВК) имеет следующие основные характеристики:

- 1) число каналов $256 K$, где K - любое целое число от 1 до 16;
- 2) ширина канала 0,5; 1; 2; 4 128 мксек;
- 3) возможно изменение ширины канала через любую группу каналов кратную 128;
- 4) мертвое время по входу 1 мксек;
- 5) задержка начала отсчета до 0,5 сек с шагом по 128 мксек;
- 6) предусмотрена возможность работы как с цифровым устройством промежуточной памяти, так и без неё;
- 7) предусмотрена возможность работать в паре с амплитудным анализатором в многомерных измерениях.

ВК, структурная схема которого представлена на рис.2Г, включает в себя: генератор временного масштаба, стабилизированный кварцем на 10 мгц, предварительный делитель до 2 мгц и делитель канальных импульсов, переключатель ширин каналов (ПШК) и схемы для его управления (регистр ШК и установка регистра ШК), адресный счетчик с клапанами опроса.

В исходном состоянии перед началом очередного цикла измерений элементы схемы находятся в следующем состоянии:

- 1) вентиль В-1 закрыт потенциалом с одного из плеч триггера Тр-1;
- 2) триггер Тр-2 блокирует вход схемы фазирования, все выходы дешифратора кроме первого и схему останова,
- 3) регистр ширины канала установлен в состояние, которое разрешает прохождение через переключатель ширин каналов (ПШК) серии с максимальным периодом (128 мксек),
- 4) триггера делителя в состояние "1",
- 5) триггера адресного счетчика - в состояние, в котором число импульсов, необходимое для его переполнения, определяется требуемой задержкой начала отсчета.

С приходом стартового импульса открывается вентиль В-1. Импульсы с генератора (10 мГц) после предварительного деления до 2 мГц поступают на делитель, состоящий из 8 триггеров. Импульсы с выхода последнего триггера, через ПШК подаются на вход адресного счетчика, который выполняет в этом случае роль счетчика задержки. После его переполнения взводится Тр-2, открывая вход схемы фазирования. Одновременно через схему установки переключается регистр ширины канала, разрешая прохождение через ПШК серии импульсов с периодом, равным выбранной ширине канала. Импульсы от детектора фазировки и через выходные вентили опрашивают состояние триггеров адресного счетчика. Параллельный двоичный код заносится в устройство промежуточной памяти (УПМ) или в основное запоминающее устройство (МОЗУ) анализатора.

На время регистрации в МОЗУ или в случае переполнения УПМ вентиль В-2 закрывается. Состояние последних 5 триггеров

адресного счетчика дешифрируется в 32-позиционный линейный код. Каждый выход дешифратора оканчивается гнездом. Потенциал поочередно, через каждые 128 каналов появляющийся на выходах дешифратора, используется для управления установкой регистра ширины канала. Входы схемы установки снабжены штекерами, причем каждому штекеру соответствует своя ширина канала.

Измерения начнутся с такой ширины канала, какой штекер будет установлен в первое гнездо дешифратора и, кроме первой группы, будет продолжаться с той же шириной еще столько групп каналов по 128, сколько свободных гнезд до следующего штекера. Затем происходит очередное переключение регистра ширины канала. Таким образом, положение штекера в гнезде определяет момент переключения ширины канала, причем этот момент относится к началу группы каналов, которой соответствует выбранное гнездо. В интервалы времени между переключением необходимое состояние ШК поддерживается регистром. Всего могут использоваться следующие ширины каналов: 0,5, 1, 2, 4, 8, 16, 32, 64, 128 мкс, а переключение может производиться через любую группу каналов кратную 128.

Максимальное число каналов 4096, однако в зависимости от емкости применяемого запоминающего устройства число каналов анализатора может устанавливаться любым кратным 256. Для этого с помощью схемы останова выбирается одно из 16 состояний последних 4-х триггеров адресного счетчика, по окончании которого происходит останов анализатора (блокируются В-1 и В-2), происходит установка делителя и регистра ШК в исходное состояние. Триггера адресного счетчика сначала устанавливаются все в "0", а затем, с некоторой задержкой, через переключатели на них

подается код соответствующий необходимой задержки начала отсчета. Схема готова к началу очередного измерения.

Генератор временного масштаба. Временной масштаб задается в анализаторе генератором (рис.22а, 22г), частоты которого стабилизированы кварцем. Чтобы уменьшить неопределенность начала отсчета, период работы генератора выбран в 5 раз меньше, чем минимальная ширина канала. Из синусоидальных колебаний с помощью порогового усилителя T_3 формируются короткие положительные импульсы, которые поступают на схему деления частоты. Делитель по своей работе похож на одновибратор, в котором как длительность импульса, так и время восстановления определяются линией задержки. Для уменьшения времени переключения в качестве элемента с двумя устойчивыми состояниями использован туннельный диод ЗИ301П.

До прихода стартового импульса под суммарным воздействием тока смещения и тока, задаваемого триггером T_r , через повторитель T_4 , ТД находится в состоянии, соответствующем точке С на вольт-амперной характеристике (рис.22в). Амплитуда положительных импульсов с T_3 недостаточна, чтобы перевести ТД в другое устойчивое состояние.

Транзистор T_5 открыт, и потенциал в точках 3 и 4 близок к нулю. С приходом стартового импульса момент t_0 на рис.22б состояние ТД переходит в точку В и первым же импульсом с генератора (t_1) переводится в другое устойчивое состояние (точка А), закрывая T_5 .

Отрицательный перепад напряжения с коллектора T_5 задерживается на $(0,22 + 0,23)$ мксек (t_2) через повторитель T_6 подается обратно на туннельный диод, снова переводя его в точку, близкую к точке С. Этим оканчивается формирование отрицательного

импульса в коллекторе T_5 . После окончания импульса на входе ТД (t_3) его состояние переходит в точку В и следующим положительным импульсом с генератора (t_4) начинается новый период.

В отличие от триггерных схем деления частоты следования импульсов данная схема отличается меньшими требованиями к быстродействию элементов (кроме туннельного диода) и возможностью устанавливать коэффициент деления любой кратности. Максимальный коэффициент деления определяется частотными свойствами линии задержки. Для лучшей надежности необходимо, чтобы фронт задержанного импульса не превышал периода задающего генератора.

Делитель и адресный счетчик выполнены на одинаковой схеме из триггеров, максимальная скорость счета которых достигает 5 мгц. Для увеличения скорости сквозного переноса триггера разбиты на группы по 4. В пределах одной группы (рис 23) импульсы на счетный вход каждого триггера подаются через схему И с повторителем на выходе /Рис.23а/.

На один из входов каждой схемы И подается общий отрицательный импульс, на остальные потенциалы с выхода всех предшествующих триггеров данной группы. Чтобы отсесть помехи, возникающие во время переключения триггеров, эмиттерные повторители заперты примерно на 1,5 вольта смещением, поданным в эмиттер. Отрицательные импульсы после схемы совпадения дифференцируются и задним спадом запускают триггер.

Использование для запуска триггеров в подобной схеме не положительных, а отрицательных импульсов позволяет избежать включения в цепь счетного входа задержки на время переключения триггеров. Кроме того, спад импульсов после диодной схемы совпадения, как правило, значительно круче, чем фронт, что

облегчает его дифференцирование.

Аналогичная схема совпадения (A_4) формирует импульс переноса на следующую четверку триггеров.

Делитель содержит две таких группы, т.е. 8 триггеров; адресный счетчик 3 группы, т.е. 12 триггеров.

Выходы триггеров делителя соединены с переключателем ширины каналов. Выходы адресного счетчика управляют вентилями, которые опрашиваются с приходом детекторного сигнала, рис.29.

Схема управления шириной канала показана на рис.4.

Она содержит: дешифратор, позволяющий выбирать любое из 32 состояний последних 5 триггеров адресного счетчика (с 8 по 12 разряды включительно), четырехразрядный регистр, управляющий переключателем ширины каналов (ПШК-3, рис.25) и схему установки регистра.

Для уменьшения числа элементов дешифрирование проводится в два этапа. Состояние триггеров 8-го и 9-го разрядов и 10-го + 12-го разрядов преобразуются соответственно в 4 и 8-позиционный линейный код с помощью диодных дешифраторов (деш-1) и (деш-2). Каждый выход Деш-1 соединен с каждым выходом Деш-2 через два сопротивления. Точки между сопротивлениями выведены на гнезда панели управления (Г-1 + Г-32). При соединении с гнездом одного из девяти штекеров (0,5 + 128) на входе транзистора ($T_1 - T_9$) образуется суммирующая схема на сопротивлениях с двумя входами. Транзистор открывается только тогда, когда на обоих входах напряжение будет около - 6в.

Напряжение с коллектора открытого транзистора через диодную матрицу подготавливает входы триггеров регистра для очередного переключения. Импульс с 7 разряда адресного счетчика через емкости подается на все входы триггеров, однако проходит только

через те диоды, на которые подан положительный потенциал с диодной матрицы. Схема управления смонтирована на двух кассетах рис.26 и рис.27.

Триггера регистра управляют ПИК-3, рис.25, который представляет из себя 9 диодных схем с 5 входами каждая (на схемах не указаны). Выходы всех схем И объединены схемой ИЛИ и общим формирователем (рис.28).

Из 16 возможных состояний триггеров регистра используются только 9 следующих комбинаций:

4	3	2	1	Ширина канала
1	0	0	0	0,5
0	0	0	1	1
-	0	1	0	2
-	0	1	1	4
-	1	0	0	8
-	1	0	1	16
-	1	1	0	32
-	1	1	1	128
0	0	0	0	128

Это позволяет избежать появления "мертвого" состояния, когда вход адресного счетчика случайно окажется закрытым до окончания полного цикла.

2.4. Блок кодирования признаков.

БКП предназначен для кодирования дополнительных признаков, сопутствующих основной измеряемой информации - амплитуде, времени или и того и другого. Такими признаками могут быть, например: 1) сигнал совпадений или антисовпадений; 2) номер детектора и пр.

Кроме этого, могут кодироваться для дальнейшей записи на магнитную ленту сигналы, нескоррелированные с основной информацией, а именно стартовый импульс начала вспышки ИБРа, мониторные сигналы и др., которые в дальнейшем при считывании с магнитной ленты используются для контроля за экспериментом.

Функциональная схема БКП представлена на рис. 3 .

Первые шесть каналов предназначены для кодирования скоррелированных во времени сигналов; остальные три канала для кодирования нескоррелированной информации (стартер, монитор и т.п.). Работа блока происходит следующим образом. Импульсы отрицательной полярности, длительностью $2 + 3$ мксек и амплитудой не менее 8в, поступающие по входам I + 6 через повторители П1 + П6, подаются на вентильные схемы ВФ1 + ВФ6, в качестве которых используются схемы ИФ1. На вторые входы этих схем подается положительный сигнал опроса, поступающий в зависимости от режима анализа или от одного из двух АЦП, или от ВЦП. При совпадении этих сигналов на выходах ВФ-1 + ВФ-6 формируются отрицательные импульсы, которые подаются на коммутатор входа промежуточной памяти для дальнейшей записи на м.л. Для согласования по времени входных сигналов и импульса опроса используется регулируемая ЛЗ. Т.к.с АЦП и ВЦП сигнал опроса поступает отрицательным, он инвертируется схемой "Инв".

Кодирование сигналов по входам 7 + 9 производится следующим образом. Входные сигналы отрицательной полярности через инверторы "Инв-1" + "Инв-3" взводят триггера Тр1 + Тр3. Отрицательные управляющие перепады с триггеров подаются на вентильные схемы ВФ-7 + ВФ-9, в качестве которых также используются ИФ1. Положительным сигналом опроса состояния этих

триггеров передаются в виде отрицательных импульсов на входной коммутатор III. Этим же сигналом опроса, который берется до "Инв" с задержкой 2 мксек, триггера сбрасываются до прихода следующего входного сигнала.

2.5. Блок управления режимом многомерного анализа.

БУ предназначен для осуществления совместной работы четырех блоков кодирования АЦП-4096, АЦП-512, ВЦП-4096, и БКП. Схема БУ приведена на рис. 3.

Режимы многомерного анализа задаются переключателем П2. Коммутация предусматривает переключение следующих цепей и сигналов:

1. Пуск логики из блоков кодирования в III;
2. Блокирующий сигнал из III.
3. Блокирующий сигнал из КЗУ.
4. Временное "окно" из ВЦП.
5. Сигнал опроса из АЦП на ВЦП и БКП.
6. Сигналы управления между АЦП-4096 и АЦП-512.
7. Управляющий сигнал по входу совпадений на АЦП.

Комбинация четырех блоков кодирования позволяет осуществлять следующие режимы многопараметрового анализа.

- I. Амплитуда (4096 каналов) + Признак (6 бит).

В этом режиме, соответствующем положению "I" ПК2, работа входного устройства происходит следующим образом. В работе участвуют два блока: АЦП-4096 и БКП. С небольшой задержкой (I мксек) по отношению к детекторному сигналу из АЦП подается отрицательный сигнал опроса БКП. Сигнал пуска логики на III берется от АЦП-4096. Через инвертор "Инв" на блокировку АЦП

(через И1) подается положительный сигнал блокировки от ПП (с ПП сигнал блокировки - отрицательной полярности).

Кодовые импульсы от АЦП и БКП подаются на входной коммутатор ПП через соответствующие разъемные межстоечные соединения.

2. Амплитуда (512 каналов) + Пр. (Положение П2 - "2").

Сигнал опроса БКП берется из АЦП-512 также с небольшой задержкой по отношению к моменту прихода детекторного сигнала на АЦП-512. Блокировка из ПП подается через И2.

3. Время (4096 каналов) + Пр. (положение П2 - "3").

В этом режиме в многомерном анализе участвуют два блока ВЦП и БКП. Детекторный сигнал на ВЦП подается через Пк-2 с внешнего входа. Сигнал блокировки с ПП на ВЦП не коммутируется, т.е. он заведен постоянно, т.к. ВЦП в самостоятельных измерениях (без м.л.) не участвует. Сигналом опроса БКП является импульс пуска логики ПП.

4. Амплитуда (4096 каналов) + Время + Пр. (положение Пк-2 - "4").

Сигналы блокировки с ПП и временное "окно" с ВЦП суммируются на ИЛИ1 и подаются на блокировку АЦП-4096. Детекторным сигналом для ВЦП является сигнал опроса БКП из АЦП, который через Пк-2 заводится на вход ВЦП. Пуск логики ПП берется от АЦП.

5. Амплитуда (512 каналов) + Вр. + Пр. (положение Пк-2 - "5").

Этот режим аналогичен "4", только вместо АЦП-4096 используется АЦП-512.

6. Амплитуда (4096) + Амплитуда (512) + Пр. ("6").

В этом режиме осуществляется совместные работы двух блоков амплитудно-цифрового преобразования. Включается реле Р2

и обесточивается реле P_I . С помощью этих реле выполняются следующие коммутации: 1) P_I - от АЦП-4096 к АЦП-512 подаются сигналы опроса триггеров АС (перенос адреса), сброса АС, а также суммирование сигналов окончания преобразования, т.е. сигнал опроса АС берется после окончания преобразования в обоих АЦП; P_2 - через И1, И2 суммируются сигналы блокировки обоих АЦП. Блокировка от ПП подается на оба АЦП, пуск логики ПП осуществляется импульсом от АЦП-4096. Сигнал опроса БКП также подается от АЦП-4096.

7. $A_1 + A_2 + B_r + P_r$ ("7").

Этот режим аналогичен предыдущему, однако в работу подключается ВЦП. Сигнал блокировки от ПП суммируется на ИЛИ1 с временным "окном" из ВЦП и подается на оба АЦП. На ИЛИ3 суммируются сигналы опроса с обоих АЦП, которые подаются на вход ВЦП в качестве детекторных сигналов. Опрос БКП осуществляется от АЦП-4096. Пуск логики ПП - от АЦП-4096.

8. $P_r + B_r$ ("7").

Этот режим аналогичен "3", за исключением детекторных сигналов на ВЦП, которые подаются с входов 1 + 6 БКП, суммируются на ИЛИ4 и осуществляют опрос ВЦП. Опрос БКП выполняется сигналом пуска логики от ВЦП в ПП.

Дополнительно к этим режимам входное устройство имеет управление по входам совпадений - антисовпадений на оба амплитудных преобразователя. Это управление осуществляется отрицательным импульсом со входа 1 БКП, который через переключатель ПП может подаваться на разблокировку либо каждого по отдельности АЦП, либо на оба сразу. Причем запись информации в ПП (а затем на МЛ) может выполняться двумя способами: 1) если интенсивность детекторных сигналов невелика и требуется

записывать полную информацию, включая и случаи совпадений, то в ПП записываются коды всех зарегистрированных как в АЦП-4096 и в АЦП-512, так и ВЦП событий, а сигнал совпадений записывается как признак; 2) при больших детекторных нагрузках в АЦП регистрируются только те детекторные импульсы, которым сопутствует сигнал совпадений; и, соответственно, только эта информация записывается на МЛ.

Во входном устройстве предусмотрена также возможность замены блока АЦП-512 на второй блок АЦП-4096.

III. Устройство промежуточной памяти (УПП).

Технические данные устройства промежуточной памяти (УПП):

- число слов: 32,
- число разрядов: 20,
- мертвое время записи ≤ 5 мксек,
- мертвое время считывания ≤ 4 мксек,
- вход: отрицательные импульсы
амплитуда - 6 в
длительность - 0,5 мксек
- выход: отрицательные импульсы
амплитуда - 6 в
длительность - 2+3 мксек

Запоминание информации производится на стандартной ферритовой матрице типа "Москва", работающей по принципу совпадения токов.

3-1. Блок-схема устройства промежуточной памяти.

Блок-схема УПП приведена на рис.31. Рассмотрим различные режимы работы УПП.

а) Запись. Приходящая на вход УПП информация в виде параллельного двоичного кода заносится на входной регистр (Тр.1 + Тр.20), который состоит из триггеров (Т-8) на туннельных диодах. Одновременно входной блок (временной или амплитудный кодировщик) выдает импульс "Пуск логики записи", который формируется блокинг-генератором Бл.1 и затем взводит триггер Тр.21, перепад напряжения с которого через повторитель ЭП7-ИЛИ2-ЭП8 блокирует вход кодировщика и через повторитель ЭП1 подает разрешение на 5 вход вентиля В. В случае, если имеется разрешение на 1 входе (память не переполнена) и на 3 входе (в этот момент не производится считывание из УПП), то вентиль В открывается и фазирующий импульс, подаваемый на 2 вход, проходит на запуск блокинг-генератора Бл.2. Выходные импульсы этого блокинг-генератора сбрасывают триггер Тр.21, закрывая вентиль В. Одновременно эти же импульсы проходят через мощный повторитель ЭП-2 на запуск генераторов тока записи по строкам Гзап1 и Гзап2, выбор которых зависит от состояния последнего триггера реверсивного счетчика, а также на запуск генераторов тока записи по разрядам Г1 + Г20, выбор которых зависит от состояния триггеров Тр.1 + Тр.20. Импульсы с выхода Бл.2 поступают на вход линии задержки ЛЗ1, которая производит распределение сигналов во времени в режиме записи. Блокировка кодировщика в этот момент осуществляется не триггером Тр.21 (он уже сброшен), а импульсами с линии задержки ЛЗ1 через цепочку ИЛИ1, повторитель ЭП3, формирователь Ф1, ИЛИ2 и повторитель ЭП8. С выхода формирователя Ф1 через повторитель ЭП5 на реверсивный счетчик подается импульс, определяющий суммирующее направление работы счетчика. Запуск реверсивного счетчика осуществляется с линии задержки ЛЗ1 через

повторитель ЭП4. Этим же импульсом через формирователь Ф1 производится сброс триггеров Тр.1 + Тр.20. Так оканчивается цикл записи, и устройство промежуточной памяти снова может принимать информацию.

б) Считывание. Цикл считывания начинается подачей на блокинг-генератор Бл.1' импульса "Пуск логики считывания". Сформированный блокинг-генератором импульс взводит одновибратор ОВ, с выхода которого через повторитель ЭП1' подается разрешение на 5 вход вентиля В'. В случае, если имеется разрешение на 1 входе (память содержит хотя бы одно записанное слово) и на 3 входе (в этот момент не производится запись в УПП), то клапан В открывается и фазирующий импульс, подаваемый на 2 вход, проходит на запуск блокинг-генератора Бл.2'. Импульс с выхода Бл.2' сбрасывает одновибратор ОВ, закрывая тем самым клапан В', а также запускает генераторы считывания Г_{счит.1} и Г_{счит.2}, выбор которых зависит от состояния последнего триггера реверсивного счетчика. Этот же импульс проходит в линию задержки ЛЗ1', с которой через повторители ЭП9 и ЭП2' подается импульс стробирования на выходные усилители ВУ1 + ВУ20. Блокировка записи на время считывания производится из ЛЗ1' через цепочки ИЛИ1', повторитель ЭП3', формирователь Ф1'. Из этого же формирователя через повторитель ЭП5' подается на реверсивный счетчик импульс, определяющий вычитающее направление работы счетчика. Запуск реверсивного счетчика осуществляется с линии задержки ЛЗ1' через повторитель ЭП4'.

в) Фазировка. Для того, чтобы при одновременном приходе импульсов "Пуск логики записи" и "Пуск логики считывания" запускалась только одна из этих операций, в схему логики введена

фазировка этих импульсов. Схема фазировки состоит из мульти-
вibratorа МВ, повторителей ЭПС и ЭПС' и формирователей Ф0 и Ф0'.
Работа её состоит в следующем: МВ непрерывно генерирует серию
импульсов с частотой $f = 1$ мГц и скважностью $S = 2$. С одного
плеча мультивибратора снимаются импульсы для формирования фази-
рующих импульсов записи, с другого плеча - для формирования
фазирующих импульсов считывания. На выходе формирователей Ф0 и
Ф0' получаем две серии, сдвинутых на полпериода работы мульти-
вibratorа (рис. 32).

г) Система выборки адреса. Адресное устройство в проме-
жуточной памяти состоит из пяти триггеров, включенных как
пятиразрядный реверсивный счетчик. В целях построения экономич-
ной схемы привода память разбита на две группы по 16 линеек в
каждой. Каждая линейка выбирается через дешифраторы первыми
4-мя триггерами. Выбор групп производится с помощью последнего
триггера.

д) Матрица. Матрица состоит из 4-х стандартных плоскостей,
соединенных таким образом, чтобы получить одну
плоскость 32 x 32 (рис. 33). В этой плоскости используем только
20 разрядных шин. Связь между различными положениями реверсивно-
го счетчика и вертикальными шинами считывания и записи матрицы
показана на рис. 34. По обмотке Z матрицы течет постоянный
ток подмагничивания, равный $\frac{1}{3} I_0$ - полного тока, создающий
м.д.с., направление которой противоположно м.д.с. записи.
Запись производится при совпадении двух импульсов тока по
вертикали и по горизонтали, равных $\frac{2}{3} I_0$. На невыбранные
сердечники воздействует м.д.с., равная $\frac{1}{3}$ от перемгнивающей
м.д.с. Считывание происходит одновременно со всех 20 разрядов

путем подачи по вертикали импульса тока, равного $\frac{2}{3} J_0$.
Для имеющейся ферритовой матрицы $J_0 = 600 \text{ ма}$.

3.2. Контроль работы УПП.

На переднюю панель кассеты реверсивного счетчика выведен выход сумматора счетчика, контролирующей его работу. Если в этой же кассете тумблера ТБ и ТБ' поставить в положение "выкл", а на вход "Пуск логики записи" подать запускающие импульсы отрицательной полярности, то на сумматоре можно видеть ступенчатое убывающее напряжение (рис 35а). Число ступенек в каждом цикле равно 32. Подавая запускающие импульсы на вход "Пуск логики считывания", будем на выходе сумматора иметь нарастающее ступенчатое напряжение (рис 35б). Это свидетельствует о правильной работе реверсивного счетчика, логики записи и считывания. При включенных тумблерах ТБ и ТБ', подавая на вход "Пуск логики записи" запускающие импульсы, будем иметь на выходе сумматора постоянное напряжение, равное - 4,5 вольта. При подаче запускающих импульсов на вход "Пуск логики считывания" на выходе сумматора будет 0,8 вольта.

На передние панели кассет "Привод I" и "Привод II" выведены контрольные точки генераторов тока записи по разрядам. При нормальной работе генераторов на контрольных точках будем иметь импульсы положительной полярности амплитудой 7 вольт. На переднюю панель кассеты матрицы выведены контрольные точки выходных усилителей. Здесь же имеются контрольные точки $\Gamma_{\text{зап}}^1$, $\Gamma_{\text{зап}}^2$, $\Gamma_{\text{счит}}^1$, $\Gamma_{\text{счит}}^2$, дающие возможность контролировать токи записи и считывания по словам.

3-3. Схема чет - нечет.

Основным элементом "чет - нечет" является схема "Исключительного ИЛИ" (Искл.ИЛИ), представленная на рис. 36. На входы этой схемы подаются два соответствующих двоичных разряда цифровой информации, которые могут принимать значения 0 или $-I_T$. Из схемы видно, что если на оба входа подаются одинаковые сигналы (либо оба 0, либо оба $-I_T$), то триоды остаются закрытыми, т.к. база и эмиттер обоих триодов находятся под одним и тем же потенциалом, а напряжение база-эмиттер $U_{\delta_3} = 0$.

Если на входы "Искл.ИЛИ" сигналы подаются разные, то триод, на базу которого был подан сигнал $-I_T$, открывается, вызывая тем самым появление сигнала $-I_T$ в коллекторной цепи, что свидетельствует о нечетности кода из двух двоичных разрядов. Для получения схемы "чет - нечет" на большее число разрядов составляется целое "дерево" из подобных "Искл.ИЛИ". Схема состоит из нескольких этажей. Входным сигналом для каждого этажа служит выходной сигнал предыдущего. Необходимое число этажей зависит от числа входов схемы. Для лучшего согласования по питанию в этажах используются триоды типа $n-p-n$ и $p-n-p$. Выходной сигнал последнего (верхнего) этажа формируется и подается как сигнал нечетности принимаемого кода на один из входов УПП. Этот сигнал и принимаемый код записываются в УПП одновременно на одной строке. Подобная схема "чет - нечет" используется и при считывании информации с магнитной ленты.

Здесь также происходит проверка считываемого сигнала на четность, а затем полученный результат сравнивается с результатом, записанным вместе с кодом на магнитной ленте. При совпадении их считываемый код проходит на сортирующее устройство, при несовпадении - отбрасывается.

IV. Блоки преобразования кодов.

4-1. Блок преобразования кода БПК-1 и генератор считывания ГСЧ.

Служебные импульсы, необходимые для работы блока преобразования БПК-1, вырабатывает генератор токов считывания, схема которого показана на рис.37а, а временные соотношения - на рис.37б.

При работе в две строки реле R_1 , R_2 и R_3 возбуждены, так что импульсы прямоугольной формы от мультивибратора МВ (1 рис.37б) подаются на счетный вход триггера Т. Выходные сигналы триггера Т (2, 5 рис.37б) дифференцируются и подаются на повторители П1 и П2. Положительный импульс с выхода П2 через контакты 4,5 R_1 подается на ИФ1, который формирует отрицательный импульс считывания УПП-1 и УПП-2 (4 рис.37б). С помощью ИФ3 формируется импульс переноса 7, который задержан относительно импульса считывания УПП-1 и УПП-2 4 на величину периода мультивибратора МВ.

По сигналу 4 из УПП-1 и УПП-2 считываются 19-разрядные двоичные коды. Кодовые импульсы УПП-1 поступают на соответствующие входы схем ИЛИ1 + ИЛИ19 блока БПК-1 (рис.38+42), формируются с помощью формирователей Ф1 + Ф18 и подаются далее на усилители записи накопителя на магнитной ленте. На магнитную ленту записываются первые 18 разрядов 36-разрядного кода (первая строка). Одновременно с этим код от УПП-2 через инверторы ИН-1 + ИН-18 запоминается на триггерах Т1 + Т18. Импульсом 7 рис.37б производится опрос схем И1 + И18 (рис.38+42), и код УПП-2, который хранился на триггерах, через ИЛИ1 + ИЛИ18 и формирователи

ИФ1 + ИФ18 записывается на магнитную ленту (вторая строка). Импульс 7 одновременно с этим подается на ИЛИ19 и через ИФ19 производится запись признака второй строки. ИФ2 вырабатывает сигнал установки в "0" триггеров Т1 + Т19 9 по заднему фронту импульса 8 одновибратора задержки ОВ, который запускается импульсом 7. Через повторители П1 + П19 и П1 - П19 при срабатывании реле соответствующих групп коды УПП-1 или УПП-2 могут быть поданы одновременно на вход КЗУ либо МОЗУ.

4-2. Блок преобразование кодов при воспроизведении (БПК-2).

Если запись на магнитную ленту производилась в две строки, то при воспроизведении параллельно-последовательный код (кадр) необходимо преобразовать в параллельный. Преобразование параллельно-последовательного кода в параллельный производится с помощью блока БПК-2 рис. 43 + 48 и схему управления блоком БПК-2 рис.48а.

Кодовые импульсы с выхода усилителей воспроизведения I + I8 одновременно подаются на входы вентилях, расположенных в ячейках ДР-12 и ДР-11 (рис.43,44), а также на входы вентилях регистра, расположенного в ячейках ДР 10, ДР 9, ДР 7, ДР 6 (рис.45 + 48). Код проходит через вентили В1 + В18 (рис.43,44) или заносится в регистр (рис.45 + 48) в зависимости от управляющего потенциала, подаваемого на вентили от схемы управления БПК-2 (рис.48а). При воспроизведении кода первой строки триггер I9 разряда (рис.48а) усилителей воспроизведения остается в

исходном состоянии (по I9 дорожке в этом случае сигнал не пишется). Потенциал этого триггера через повторители П₂, П₄, инвертор и контакты возбужденного реле R₃ подается на вентили V_{I9} + V₃₆, открывая их. Потенциал с другого плеча триггера подается на V_I - V_{I8}, закрывая их. Таким образом код первой строки заносится в регистр (рис.45 + 48).

При воспроизведении кодов второй строки по I9 дорожке приходит импульс, который взводит триггер I9 разряда, который закрывает вентили V_{I9} + V₃₆ и открывает вентили V_I + V_{I8}, ИФ₄ и ИФ₅. Код второй строки проходит через V_I + V_{I8} на коммутатор K₂ (через реле гр.В), а также на коммутатор K₃. Одновременно с этим опорный сигнал проходит через ИФ₄ и устанавливает в "0" триггера регистра, в котором хранился код I строки. При установке в "0" триггеров формируются импульсы с помощью дифференцирующих цепочек и схем ИФ и одновременно с кодом второй строки подаются на коммутатор K₂ и K₃.

Вентиль ИФ₅ открывается только с приходом кодов второй строки, так что пуск на устройство отбора подается после преобразования кода в параллельный.

При записи в одну строку I9 дорожка используется как I9 разряд. С помощью реле R₂ (рис.45) подключается вход I9 вентиля БПК-2, а вход управления этого вентиля подключается к шине управления вентилями V_I - V_{I8}, с помощью реле R₁ исключается первый триггер регистра, а реле S₄ подключает выход I9 разряда к коммутатору K₃.

При записи в одну строку работают только вентили V_I + V_{I9}, поэтому в схеме управления БПК-2 (рис.48а) с

помощью реле R_3 на вентили $V_I + V_{I9}$ подается постоянно нулевой потенциал (на вход инвертора $ИН_2$ подается - I2 в), который открывает их, а на $V_{I9} + V_{36}$ подается потенциал - I2в, который закрывает их. ИФ₅ постоянно открыт, так что пуск устройства отбора производится с приходом каждого опорного сигнала.

Воспроизведение 36 разрядных кодов при движении ленты в обратном направлении (режим "реверс") характерно тем, что вторая строка (младшие разряды кодов) и признак второй строки считываются первыми. Так как схема БПК-2 имеет только 18 разрядный регистр, то в этом случае на регистр заносятся первые 18 разрядов кода. Чтобы не нарушался порядок управления вентилями и на коммутаторе K_2 не требовалась перекоммутация, производятся следующие переключения. С помощью реле R_4 меняются местами плечи триггера 19 разряда усилителя воспроизведения (рис.48а). С помощью реле группы В выхода 19 + 36 разрядов БПК-2 подключаются соответственно на 1-18 входы коммутатора K_2 , а выходы 1 + 18 БПК-2 - на 19 + 36 входы K_2 .

У. Накопитель на магнитной ленте (НМЛ).

5-1. Краткие сведения.

В оборудование лентопротяжного механизма типа ТД-4 в основном входят: механическая часть, блок управления и блок питания. Оборудование предназначено для записи и воспроизведения параллельных кодов на магнитную ленту, ширина которой 25,4 мм. Имеется возможность путем изменения коэффициента редукции получать необходимую скорость в широком диапазоне.

Для очистки воздуха в отсеке ленты имеется блок фильтрации. Быстрый разгон ленты достигается действием эффективной задержки механизма нормального запуска и процесса воспроизведения или записи до тех пор, пока не достигнута выбранная скорость.

Блок управления ^{Рис 49} смонтирован под лентопротяжным механизмом, однако его можно установить в любое место на расстоянии до 6 метров от лентопротяжного механизма.

Натяжение ленты поддерживается практически постоянным по всей её длине благодаря механизму запуска и роликам натяжения.

С помощью индикатора положения можно определить нужный участок ленты. Если аппарат настроен недостаточно точно, а также если оканчивается или порвется лента, то лентопротяжный механизм автоматически останавливается. Лентопротяжный механизм можно также остановить вклеиванием прозрачных кусочков ленты в том месте, где требуется остановка.

Блокировки обеспечивают нормальную работу машины при отсутствии оператора.

5-2. Краткие характеристики устройства.

а) Физические.

	Лентопротяжный механизм	Блок управления
Высота	88,9 см	17,8 см
Ширина	48,3 см	48,3 см
Глубина	39,4 см	38,1 см
Вес	54,5 кг	15,9 кг

б) Механические

Ширина ленты	2,54 см	
Толщина ленты	от 25,4 мк до 55 мк	
Диаметр бобины	35,6 см	
Длина ленты	2196 м	при толщине ленты 25,4 мк.

Время запуска:

на скорости 120 д/сек (304,8 см/сек)	не более 5 сек
на скорости 60 д/сек (152,4 см/сек)	не более 2 сек
на скорости 30 д/сек (76,2 см/сек)	не более 1 сек
запуск на низших скоростях	не более 0,5 сек

Время запуска прижимного ролика:

на скорости 120 д/сек	менее 1 сек
на скорости 60 д/сек	меньше 0,5 сек
на скорости 30 д/сек	менее 0,2 сек

Время перемотки:

не больше 5 минут в любом направлении с длиной ленты 2196 м.

Время остановки:

при скорости 60 д/сек	не более 1 сек
при скорости 120 д/сек	не более 2 сек

в) Электрические.

Источники питания	200-250в, 50 гц, однофазный (24в постоянный ток от внутреннего источника питания).
Потребление мощности	300 вт
Предохранители	2 х 5 а от сети 5 а при постоянном токе.

При нормальных условиях трансформатор T_I (рис. 49) установлен на 240в и имеются отводы на 200в и + 10в (сделан как патрубок), 210в для питания мотора тонвала. Для сети отличного от 240в используются следующие положения:

Напряжение сети	Входные клеммы	Клеммы мотора тонвала	Клеммы тока
250	250	210	31
240	240	210	31
230	240	240	36
220	240	240	36
210	210	210	31
200	200	210	31

Напряжения даны в вольтах.

Чтобы иметь доступ к отводам трансформатора T_I нужно снимать кожух выпрямителя (4 шт. 2ВА винты).

5-3. Описание отдельных устройств.

5-3-1. Запускающее устройство.

В лентопротяжном механизме лента движется благодаря тонвалу. Вращение тонвала осуществляется с помощью трехскорост-

ного синхронного двигателя (центральный двигатель) через систему передачи. Имеется две системы передачи: двухступенчатая и одноступенчатая. Первая из них используется при запуске тонвала на быстрых скоростях (IV; V; VI положения переключателя *SD* рис. 51), а вторая - при медленных скоростях (I; II; III положения переключателя *SD*). Двухступенчатая система запускается магнитной муфтой *X3*, а одноступенчатая - с помощью соленоида *L5*. Например, в положениях I, II, III переключателя *SD* контакты его 1 и 2 замкнуты, напряжение - 24в, подаваемое от выпрямителя *MR1* на контакт 1 переключателя *SD* прикладывается на соленоид *L5* (контакт 1). На контакт 4 соленоида через сопротивление 100 Ω постоянно подается напряжение + 24в, т.е. в положениях I, II, III переключателя *SD* через соленоид *L5* течет ток, приходит в движение сердечник соленоида, включая одноступенчатую систему передачи.

В это время муфта *X3*, которая запускает двухступенчатую систему передачи, не работает, потому что на её контакты (контакт 1 *X3*) питание подводится через нормально замкнутые контакты соленоида *L5* (контакт 6,5). Таким образом, муфта может запускать двухступенчатую систему лишь в положениях IV, V, VI переключателя *SD*, которые предназначены для быстрого пуска тонвала. Центральный двигатель имеет три скорости вращения 750, 1500, 3000 об/мин, которые осуществляются путем переключения числа пар полюсов (рис. 49), а также переключением емкости C_1 , C_2 для фазовой коррекции. Скорости вращения двигателя 750, 1500, 3000 об/мин соответствуют движениям ленты 15/16 и 30; 15/8 и 60; 15/4 и 120 д/сек при коэффициенте редукции, равном единице. После изменения передаточного отношения

шквивов с I:I на отношения 38:108 скорости стали равны 0,33 и 11,04; 0,69 и 22,08; 1,38 и 44,16 д/сек, т.е. 0,84 и 28; 1,8 и 56; 3,5 и 112 см/сек соответственно.

5-3-2. Устройство натяжения ленты.

Данное устройство служит для сохранения постоянства натяжения ленты. Натяжение ленты регулируется на двух участках (от верхнего двигателя до тонвала и от нижнего двигателя до тонвала) независимо с помощью двух идентичных электромеханических следящих систем. Составными частями следящей системы являются отцентрированный рычаг и графитовое переменное сопротивление. Один конец рычага соединен с переменным сопротивлением и упругой пружиной, а другой конец - с роликом, по которому проходит магнитная лента.

Переменное сопротивление в свою очередь соединено последовательно с обмотками двигателя. В нормальном рабочем состоянии рычаг находится в среднем положении. Если изменится натяжение ленты, допустим оно увеличилось, то конец рычага с роликом стремится к внутреннему своему предельному положению. Переменное сопротивление соединено так, что в данном случае сопротивление его увеличится, что приведет к уменьшению тока, протекающего через обмотки. Уменьшится вращающий момент. Ослабляется натяжение ленты. Также действует электромеханическая следящая система и в нижнем отсеке ленты. Таким образом, натяжение ленты в обоих отсеках ленты сохраняется строго постоянным по всему диаметру бобины.

При обрыве ленты или когда лента кончается натяжение её отсутствует, и оба рычага под действием пружины стремятся к

внешнему краю. При этом они включают два микровыключателя, которые соединены параллельно, так что при одновременном выключении их подается команда на остановку лентопротяжного механизма.

5-3-3. Тормоз.

Устройство тормоза включает в себя маховик, тормозную ленту и соленоид, сердечник которого соединен с тормозной лентой. Сила торможения зависит от направления креплений ленты, поскольку один конец её закреплен жестко с корпусом, а второй конец соединен с пружиной и плунжером соленоида (рис. 50). Такое направление крепления тормозной ленты зависит от направления вращения двигателя, т.е. тормоз действует эффективно, если тормозная лента в момент отпускания соленоида под действием пружины работает на закручивание. Таким образом, тормоз такой конструкции работает эффективно только при определенном вращении двигателя.

Учитывая то, что в английском магнитофоне лента наматывается на бобину магнитным слоем внутрь, а в наших магнитофонах наоборот, нам пришлось изменить направление вращения верхнего и нижнего двигателей и направление захода ленты в бобину с тем, чтобы информация, записанная на наших устройствах, могла воспроизводиться на магнитофоне ТД-4. Для этого понадобилось переделать тормозное устройство, чтобы тормоз действовал эффективно (см. рис. 50, 51).

5-3-4. Индикатор конца ленты.

Индикатор конца ленты служит для остановки лентопротяжного механизма при окончании или обрыве ленты. Он состоит из

осветительной лампочки (ILP_6 рис. 49), фототранзистора VT_1 и реле PLF . Лампочка и фототранзистор в нормальном рабочем положении относительно друг друга расположены так, что магнитная лента проходит между ними и препятствует попаданию света на фототранзистор. При обрыве ленты свет от лампочки попадает на фототранзистор, который вызывает срабатывание реле PLF , на один конец обмотки которого подается напряжение - 24в, а второй конец подключен через транзистор VT_1 на + 24в. При попадании света на фототранзистор сопротивление его уменьшается, что вызывает срабатывание реле PLF . Контакт PLF_1 служит для самоблокировки. Контакт PLF_2 разрывает цепь блокировки обмоток реле PLA , PLB , PLC и PLD . Для остановки устройства в начале и конце ленты приклеивается прозрачный роккорд, длина которого должна быть не менее 127 см, чтобы обеспечить останов механизма без полного сматывания роккорда при перематке ленты на скорости 400 д/сек.

5-3-5. Индикатор скорости ленты.

Цепь индикатора скорости ленты управляет действием прижимных роликов. Имеется ролик, который вращается под действием движения ленты. Внутри ролика помещен фототранзистор VT_2 , на который попадает свет от лампочки ILP_5 (рис. 49) через маленькие отверстия, расположенные по окружности ролика. При вращении ролика фототранзистор VT_2 вырабатывает импульсы, частота которых пропорциональна скорости вращения ролика, т.е. скорости ленты. Эти импульсы формируются с помощью схемы, собранной на транзисторах VT_6 и VT_7 . Постоянная времени этой схемы меняется с помощью конденсаторов $C_{6,7,8}$ в зависимости

от скорости ленты, установленной с помощью переключателя SD . Выходной сигнал от схемы подается через интегрирующую RC цепочку, состоящую из $C_{I0,II}$ и R_{24} , на базу транзистора VT_8 , соединенный общей эмиттерной нагрузкой с транзистором VT_9 . Транзистор VT_8 работает как дискриминатор напряжения. Как только частота повторения импульсов фототранзистора VT_2 увеличивается, на базе транзистора VT_8 увеличится отрицательный потенциал. Транзистор VT_8 открывается и возбуждает реле PLE . Такое состояние схемы сохраняется до тех пор, пока лентопротяжный механизм не остановится. При остановке лентопротяжного механизма конденсаторы $C_{I0,II}$ разряжаются через контакты соленоида L_4 . Потенциал базы транзистора VT_9 , следовательно и потенциал эмиттера транзистора VT_8 регулируется с помощью потенциометра PV_2 .

5-3-6. Индикатор скорости вращения центрального двигателя.

Индикатор скорости вращения тонвала включает транзисторную схему, реле PL_6 и трансформатор T_2 . Устройство предназначено для того, чтобы препятствовать действию кнопки "Пуск" до тех пор, пока тонвал не набрал выбранную скорость.

Из схемы включения центрального двигателя /Рис.53/ видно, что вход трансформатора T_2 при переключении скорости вращения центрального двигателя переключателем SD подключается к свободным обмоткам двигателя.

В зависимости от скорости вращения ротора на этих обмотках наводится определенная ЭДС, которая достигает максимума, когда скорость вращения центрального двигателя достигает выбранное значение. Это напряжение выпрямляется и подается на базу

транзистора VT_3 . Транзисторы VT_3 и VT_4 (рис. 49) имеют общую эмиттерную нагрузку. Ток через транзистор VT_3 уменьшается как только на его базе появляется положительный потенциал, в результате чего увеличивается ток транзистора VT_4 . Когда этот ток достигает 5-6 ма, реле PL_6 срабатывает и снимает блокировку с кнопки "Пуск". Порог срабатывания схемы регулируется с помощью потенциометра RV_1 .

5-3-7. Схема реверса.

Сущность данного устройства заключается в том, что оно с помощью переключателя П (рис. 52) позволяет перекоммутировать обмотки центрального двигателя на всех его скоростях (рис. 53)

Переключателем П одновременно перекоммутируется дополнительная цепь, состоящая из R_1 и R_{LP_1} (рис. 51), которая изменяет соотношение токов, а следовательно и вращающих моментов верхнего и нижнего двигателей. Допустим, включен режим воспроизведения в прямом направлении. В этом положении через переключатель П (рис. 52) контакты a и a' (рис. 51) замкнуты. Тогда нулевая фаза (см. рис. 51) через сопротивление R_1 , нормально замкнутые контакты прижимного ролика и через нормально замкнутые контакты реле RLC_3 подается на верхний двигатель (ВД). А к нижнему двигателю (НД) эта же фаза подается через переменное сопротивление X_2 , сопротивление которого больше 100Ω . Поэтому вращающий момент верхнего двигателя будет значительно больше, чем нижнего, что обеспечивает эффективный запуск в прямом направлении.

При включении переключателем П устройства реверса окажутся замкнутыми контакты a и b (рис. 51). Тогда нулевая

фаза через R_1 , нормально замкнутые контакты прижимного ролика и через нормально замкнутые контакты реле RLC_3 подается на нижний двигатель (НД). К верхнему двигателю (ВД) эта же фаза подается через переменное сопротивление X_1 , сопротивление которого больше 100Ω . Тогда вращающий момент нижнего двигателя будет значительно выше, чем верхнего. Тем самым осуществляется эффективный запуск в обратном направлении.

5-3-8. Схема блока управления (рис. 49)

Переменный ток 50 гц, 220в через выключатель сети (Sc) предохранители FS_1 , FS_2 прикладывается к трансформатору T_I , к мотору блока фильтрации и через соответствующие контакты переключателя скорости (SX) к схеме реверса, после которого подается на обмотки центрального двигателя.

Переключателем SX выбирается либо безвзвешенный соленоид (ZS) для медленных скоростей, либо муфта (X_3) на высокой скорости вращения тонвала.

Кнопка пуска "Пуск".

Нажатием данной кнопки, после того как индикатор скорости вращения вала центрального двигателя запускает реле RLG , которое в свою очередь разрешает включение реле RLA , RLB и лампы пуска от кнопки "Пуск".

Контакты RLA_1 через микровключатели SA , SB и кнопку "Стоп" соединяют цепь блокировки.

Контакты RLA_2 размыкают цепь лампы "Стоп".

Контакты RLA_3 отключают кнопку "Перемотка" во время пуска.

Контакты RLB_1 соединяют цепь тормозного соленоида медленного запуска L_5 или муфту быстрой скорости x_3 .

Контакты RLB_2 , соединенные последовательно с контактами RLE_1 , возбуждают соленоид прижимных роликов на всех скоростях ленты выше чем 15 д/сек. Когда лента достигает выбранной скорости, контакты RLE_1 окажутся замкнутыми.

На скорости 15 д/сек и ниже контакты RLE_1 окажутся замкнутыми накоротко переключателем SD (контакты 39, 40 и 37, 38 рис. 49), контакты RLB_2 одни возбуждают соленоид прижимных роликов.

Контакты RLB_3 питают верхний и нижний двигатели через их соответствующие переменные сопротивления.

Кнопка "Стоп".

Нажатием этой кнопки цепь блокировки реле RLA и RLB отключается, тем самым выключаются двигатели ВД и НД и соленоиды их тормозов. Лента остановится и загорается лампочка "Стоп" (ILP_1). В режиме "перемотка" нажатие данной кнопки приводит к разрыву блокировки реле RLC и RLD и к остановке двигателя ленты.

Кнопка перемотки "Перемотка".

Она включает лампу "Перемотка" (ILP_2), реле RLC и RLD . Контакт RLC_1 соединяет цепь блокировки через микровключатели SA и SB и кнопку "Стоп".

Контакт RLC_2 выключает кнопку "Пуск" во время перемотки.

Контакт RLC_3 накоротко замыкает переменное сопротивление (x_1), соединенное последовательно с обмоткой ведущего двигателя.

Контакт RLC_4 выключает кнопку записи во время перемотки.

Контакт RLD_1 соединяет цепь тормозного соленоида.

Через контакты RLD_2 подается питание на ведущий двигатель наматывания под управлением "Перемотка". При нажатии кнопки "Перемотка" через контакты RLD_2 подается напряжение на НД или ВД (зависит от направления перемотки). Контакт RLD_3 разрывает цепь через лампу "Стоп". Контакт RLD_4 подает питание на НД и ВД.

Кнопка записи "Запись".

Эта кнопка остается не действующей до тех пор, пока не нажата кнопка пуска. Однако после нажатия кнопки записи включается питание усилителям записи (контакты RLK_2 и RLK_3 рис. 49) что в свою очередь позволяет настраивать усилители записи при неподвижной ленте.

Во время перемотки или во время воспроизведения кнопка записи не действует, поскольку в обмотке реле записи питание подводится через нормально замкнутые контакты прижимного ролика (контакты 1,2) и через контакты реле перемотки (контакты RLC_4 рис. 49). Контакт RLK_1 - служит для самоблокировки. Реле записи - реле RLK - находится в блоке реверса, а выводы от его контактов поданы через разъем - ШР24.

5-4. Описание электронных схем.

5-4-1. Устройство записи.

Записываемая информация с выхода промежуточной памяти в виде двадцатиразрядного параллельного кода поступает на усилители записи, т.е. запись производится по двадцати дорожкам одновременно.

Усилитель записи (рис.54) представляет собой симметричный триггер со счетным входом. Поэтому требования, предъявляемые к усилителям записи, такие же, как и к триггерам. В исходном состоянии одна из пар транзисторов T_1, T_4 либо T_2, T_3 открыты.

Ток этих транзисторов протекает через головку записи, в переднем зазоре которой создается магнитный поток, с помощью которого магнитная лента намагничивается до насыщения в одном направлении. С приходом следующего входного импульса на усилитель записи (триггер) происходит изменение состояния усилителя записи (триггера), т.е. изменяется направление тока, протекающего через магнитную головку, что соответствует записи "1" на магнитной ленте.

Таким образом, видно, что здесь применен метод записи "без возвращения в исходное состояние".

5-4-2. Устройство воспроизведения.

При воспроизведении информации, записанной на магнитной ленте, сигнал, амплитуда которого I мв из головки воспроизведения через емкость C_1 подается на вход предварительного усилителя (рис.55). Предварительный усилитель имеет два каскада усиления и эмиттерный повторитель для согласования магнитной головки с другими каскадами усиления. Для стабилизации работы схемы каскадов усиления охвачены отрицательной обратной связью (сопротивления $R_1, R_2, R_3, R_4, R_{ос.1}$ и $R_{ос.2}$). Сигнал, линейно усиленный до амплитуды $10 \div 15$ мв, с выхода предварительного усилителя через емкость C_4 передается на вход основного усилителя воспроизведения (рис.56). В дальнейшем двуполярный сигнал

усиливается тремя каскадами усиления (транзисторы T_1, T_2, T_3 рис.56) и подается на фазоинвертор T_4 . С выходов фазоинвертора сигналы поступают на детектор T_5, T_6 , на выходе которого получаются сигналы только отрицательной полярности. Эти импульсы формируются с помощью триггера Шмитта T_7, T_8 . Импульс триггера Шмитта дифференцируется (C_9, R_{24}) и отрицательным импульсом от переднего фронта запускает триггер T_1 .

Дальнейшая работа схемы будет рассмотрена после описания схемы логики.

5-4-3. Функциональная схема логики.

При движении ленты во время записи и воспроизведений наблюдается статический и динамический перекося ленты, что соответствует рассогласованию во времени сигналов, воспроизводимых с ленты. Сигналы, записанные на ленту, одновременно при воспроизведении приходят с некоторым временным разбросом. Если разница прихода разрядов (импульсов) от разных дорожек больше допустимого, то значение параллельного кода, записанного на магнитной ленте, искажается. В конечном счете часть информации теряется. Чтобы устранить этот недостаток, используется схема логики (рис.57) и два выходных регистра. Код, записанный на двадцати дорожках магнитной ленты, разбивается на две половины по десять дорожек в каждой.

Рассмотрим работу одной половины.

Отрицательные импульсы с выхода триггеров Шмитта усилителей воспроизведения (рис.56) одновременно подаются на два выходных регистра и на входы "ИЛИ1", "ИЛИ2" схемы логики.

На выходе "ИЛИ1" получается прямоугольный импульс положительной полярности. Передний фронт этого импульса образуется от переднего фронта первого проходящего из десяти импульсов, а задний - соответствует заднему фронту импульса, который приходит самым последним. Далее этот импульс дифференцируется (C_1, R_1) и через диод D_1 отрицательный импульс подается на триггер Шмитта (ТШ). Сформированный триггером Шмитта отрицательный прямоугольный импульс через эмиттерный повторитель (П) подается на входы установки в "0" триггеров выходного регистра. Триггера Т1 устанавливаются в исходное положение, перебрасывая триггера Т2 в единичное состояние. Идентично работают остальные десять дорожек. С выхода схемы "ИЛИ1" и "ИЛИ2" импульсы подаются на схему "ИЛИ3" на два входа через схемы "НЕ". На выходе схемы "ИЛИ3" получается прямоугольный импульс положительной полярности. Передний фронт его соответствует переднему фронту самого первого из импульсов триггеров Шмитта. А задний фронт соответствует заднему фронту импульса, который приходит самым последним. Далее импульс с выхода "ИЛИ3" задерживается линией задержки (ЛЗ), дифференцируется (C_3, R_3) и отрицательный импульс, соответствующий заднему фронту импульса "ИЛИ3", формируется триггером Шмитта и через эмиттерный повторитель подается на входы установки в "0" всех двадцати триггеров Т2 второго выходного регистра, перебрасывая их в исходное состояние. Таким образом, все разряды параллельного кода появляются на выходе схемы одновременно без временного разброса.

Принципиальная схема логики приведена на рис.58.

VI. Устройство отбора кодов с программным управлением.

6-I. Принцип работы устройства отбора.

Описываемое ниже устройство отбора содержит две схемы сравнения и долговременное запоминающее устройство (ДЗУ), в котором хранятся несколько программ работы схем сравнения.

Код, считанный с магнитной ленты, поочередно обрабатывается по каждой из 12 имеющихся программ. Количество используемых программ может устанавливаться экспериментатором в пределах емкости ДЗУ. Каждая программа может сделать сечение по любому параметру. Программы набираются с помощью штекеров. Устройство отбора может записывать информацию одновременно в несколько МЗУ, распределяя информацию не только между отдельными МЗУ, но и между отдельными группами каждого МЗУ. Каждая программа содержит следующие команды:

1. Команда, определяющая "код которого из параметров нужно подать на схемы сравнения" (код второго параметра подается автоматически на вход МЗУ).

2. Величина нижней границы участка суммирования.

3. Величина верхней границы участка суммирования.

4. В какое МЗУ должна записаться информация, если она удовлетворит условиям данной программы.

5. В какую группу выбранного МЗУ должна быть записана информация, если она удовлетворяет условиям данной программы. Количество программ может устанавливаться от 1 до 12. Все команды одной программы подаются одновременно.

6-2. Блок-схема устройства отбора.

Блок-схема устройства отбора показана на рис. 59 .

Параллельный двоичный код, который несет в себе информацию о взаимосвязанных событиях, подается на регистр, который разбит на 2 части А и В. В первую часть А заносится код одного параметра, а в В - код второго параметра. Параметр В может иметь до 10 двоичных разрядов (По 1024 канала), а параметр А - до 12 двоичных разрядов.*) Выходы триггеров регистра А подаются на входы соответствующих импульсно-потенциальных вентилей A_1 и A_2 одновременно. Выходы триггеров регистра В также подаются на входы соответствующих вентилей B_1 и B_2 одновременно. Одновременно с приходом кода подается тактовый импульс (такт). (См.рис. 59 и рис. 60).

Тактовый импульс одновременно производит следующие действия:

1. Устанавливает в "0" двоичный счетчик ДЗУ. С установлением в "0" счетчика ДЗУ с помощью дешифратора ДШ1 выбирается первая шина (программа) ДЗУ. ДЗУ выдает соответствующие команды первой программы.

2. Устанавливает в "1" триггер Тр.1. Триггер Тр.1 открывает вентиль B_1 , разрешая работу схемы "логики".

3. Пройдя через схему "ИЛИ Ш", тактовый импульс подается на ОВ1. Импульс, сформированный по заднему фронту импульса ОВ1 с помощью ИФ1, ОВ4 и ИН1 подается на вентили B_1 , B_2 и B_3 .

*) Схема сравнения кодов имеет 10 разрядов, поэтому 12 разрядов параметра А можно подавать только в том случае, если в МОЗУ записываются спектры А в заданном интервале значений параметра В.

В зависимости от номера выбранного в данной программе МЗУ открыт один из 3-х вентилях ИФ1, ИФ2 или ИФ3. Сигнал проходит через открытый вентиль и устанавливает в "0" адресный регистр соответствующего МЗУ.

Допустим, что в первой программе были заложены команды: "записать код В в первую группу МЗУ-1, если код А принимает значения от A_n до A_{n+m} ". При этом с выборкой первой программы подается сигнал по шине "разрешение А", т.е. подается разрешающий потенциал на вентили A_1 , а также на вентили B_2 . Код А из регистра подается параллельно через схемы ИЛИ1-1 + ИЛИ1-10 на устройства сравнения кодов (схему "верхнего и нижнего порогов" - ВП и НП). Одновременно с этим на ВП и НП из ДЗУ подаются код нижнего порога (- (код НП) и код верхнего порога - (код ВП). Так как вентили B_2 получили разрешение из ДЗУ, то код В пропускается через вентили B_2 и через схемы ИЛИ2-1 + ИЛИ2-10 подается на выходные вентили ИФ1-1 + ИФ1-12.

Как уже отмечалось выше, сигнал такта проходит через схему "ИЛИ-Ш" и запускает одновибратор ОВ1. Задний фронт ОВ1 проходит через открытый вентиль B_1 , запускает ОВ2, а также подается на схемы сравнения кодов ВП и НП в качестве сигнала опроса.

Схема нижнего порога (НП) пропускает сигнал опроса на триггер Тр.3 и взводит его в "1" в том случае, если код нижнего порога, поданный из ДЗУ, меньше кода А, поданного из входного регистра.

Схема верхнего порога (ВП) пропускает сигнал опроса на триггер Тр.2 и взводит его в "1" в том случае, если код верхнего порога, поданный из ДЗУ, также меньше кода А, поданного из регистра Р.

На импульсно-потенциальную схему "И" подаются потенциалы с триггеров Тр.2, Тр.3 и импульс, сформированный по заднему фронту OB_2 . Так как потенциалы с Тр.2 и Тр.3 берутся с разных плеч, то сигнал на выходе "И" будет в том случае, если Тр.3 находился в состоянии "1", а Тр.2 - в состоянии "0". Другими словами, если код А входного регистра больше кода НП ($A \geq A_n$) с одной стороны, и меньше кода ВП ($A \leq A_{n+m}$) с другой, то импульс сравнения пройдет через схему НП и не пройдет через схему ВП. Это означает, что код А входного регистра удовлетворяет условиям I-й программы и код В надо записать в первую группу МЗУ-I. В этом случае на выходе схемы "И" появляется сигнал, который опрашивает вентили ИФ1-I + ИФ1-I2 и переносит код В в адресный регистр МЗУ. Если этот код нужно записать в соответствующую группу МЗУ, то из ДЗУ подается код сдвига через схемы ИЛИ2-I0 и ИЛИ2-II на соответствующие вентили. По двум шинам ДЗУ подается код номера МЗУ, этот код дешифрируется с помощью ДШ-2, так что на соответствующий из вентилях (ИФ3, ИФ4, ИФ5) подается разрешающий потенциал. Сигнал схемы "И", задержанный с помощью OB_4 , опрашивает эти вентили. На выходе открытого вентиля появляется сигнал - пуск соответствующего МЗУ.

Одновибратор OB_3 запускается задним фронтом OB_2 .

Задним фронтом OB_3 устанавливаются в ноль Тр.2 и Тр.3, добавляется "1" в счетчик ДЗУ, так что с помощью ДШ-I из ДЗУ выводится 2-я программа, а также задним фронтом OB_3 через схему "ИЛИ-III" вновь запускается схема логики (OB_1, OB_2, OB_3). Начинается обработка кода, который хранится во входном регистре, по второй программе. В конце последней программы из ДЗУ выдается сигнал, который устанавливает Тр.I в нулевое состояние и закрывает

вентиль V_I . Таким образом, импульс заднего фронта ОБІ не пройдет через V_I , и цикличность работы схемы логики будет прервана. При переходе ТР.І в нулевое состояние выдается сигнал установки в "0" входного регистра.

6-3. Отбор кодов.

Отбор кодов производится с помощью двух схем сравнения кодов (нижнего порога - НП и верхнего порога ВП, выполненных идентично), двух триггеров Тр.2, Тр.3 и схемы "И". Исследуемый код А (или В - зависит от программы) подается одновременно на обе схемы сравнения. На одной из схем (НП) код А сравнивается с кодом нижнего порога, а на другой - (ВП) с кодом верхнего порога (код НП и ВП поступают из ДЗУ).

Сравнение двух параллельных кодов производится импульсом опроса клапанов сравнения последовательно разряд за разрядом, начиная со старшего.

На клапаны сравнения рис. 6/ подаются два параллельных кода - исследуемый код А и эталонный код нижнего порога A_n . Клапан сравнения работает следующим образом:

Если $a = a_n$, то $C = I$, $d = 0$,

если $a > a_n$, то $d = I$, $C = I$, или 0 (безразлично),

если $a < a_n$, то $C = 0$, $d = 0$.

Импульс опроса проходит через клапан только на вход следующего клапана С, если в старших разрядах наблюдается равенство $C_{10} = a_{n10}$, $a_9 = a_{n9}$, ... $a_6 = a_{n6}$

Когда импульс опроса дойдет до клапана, где наблюдается неравенство (предположим, что это пятый разряд), то возможно два варианта работы (пятого) клапана:

1. Если $a_5 > a_{n5}$, то $d_5 = 1$.

Это означает, что $A > A_n$, т.е. исследуемый код A больше кода нижнего порога. Импульс с выхода d_5 проходит через схему "ИЛИ" и устанавливает в "1" триггер Тр.3.

Если $a_5 < a_{n5}$, то $d_5 = 0$ и $c_5 = 0$.

В этом случае $A < A_n$, т.е. исследуемый код A меньше кода нижнего порога. Так как $c_5 = 0$ (импульса на выходе c_5 нет), то сравнение младших разрядов не производится. Принципиальная схема клапана сравнения показана на рис. 62.

6-4. Долговременное запоминающее устройство (ДЗУ).

ДЗУ состоит из двоичного счетчика (счетчик ДЗУ) с диодным дешифратором (ДШ-1) рис. 59 и штекерного коммутатора. Штекерный коммутатор имеет 12 программных шин (горизонтальные шины) и 28 командных шин (вертикальные шины).

Программа набирается в двоичном коде на одной горизонтальной шине. Единица заносится с помощью штекера, замыкающего горизонтальную шину с вертикальной через диод. При выборе программы на нужную шину подается отрицательный потенциал, который проходит на вертикальные шины там, где есть штекер. На первых десяти гнездах слева набирается код нижнего порога, на десяти следующих гнездах набирается код верхнего порога, на двух следующих гнездах записывается команда - "какую часть кода надо подать на "цифровое окно" (вторая - автоматически подается на вход МЗУ через ИФ1-1 + ИФ1-12. На двух следующих гнездах набирается номер МЗУ, в которое нужно записывать информацию, соответствующую данной программе, а на последних четырех - номер группы этого МЗУ.

При работе счетчика ДЗУ с помощью дешифратора ДШ-I на горизонтальные (программные) шины поочередно подается отрицательный потенциал. На выходе вертикальных (командных) шин появляются коды - команды. Если нужно закончить цикл работы схемы логики на какой-то программе, то с шины этой программы берется сигнал на установку в ноль триггера TrI (рис.59). Функциональные схемы и схемы расположения элементов в кассетах показаны на рис.63, 64, 65, 66.

6-5. Возможности устройства отбора могут быть использованы не только при выводе многопараметровой информации, но и в ряде других задач, требующих выделения из массива одну или несколько групп.

Например, в процессе набора информации на магнитную ленту устройство отбора может быть подключено по входу накопителя. Это позволит записать в ЗУ наиболее интересные участки измеряемого спектра, что позволит контролировать правильность работы аппаратуры, участвующей в накоплении информации, и уже в ходе эксперимента производить оценку результатов.

Устройство отбора может служить приставкой к обычному многоканальному анализатору. В этом случае при проведении многоканального одномерного анализа устройство отбора позволит регистрировать в ЗУ только интересующие участки, т.е. позволит более рационально использовать емкость ЗУ. При наличии дополнительных кодировщиков и устройства отбора обычный многоканальный анализатор может быть использован как многомерный. В ЗУ в этом случае будут регистрироваться отдельные сечения многомерного спектра.

Устройство отбора может быть использовано также при выводе данных из ЗУ на внешние устройства.

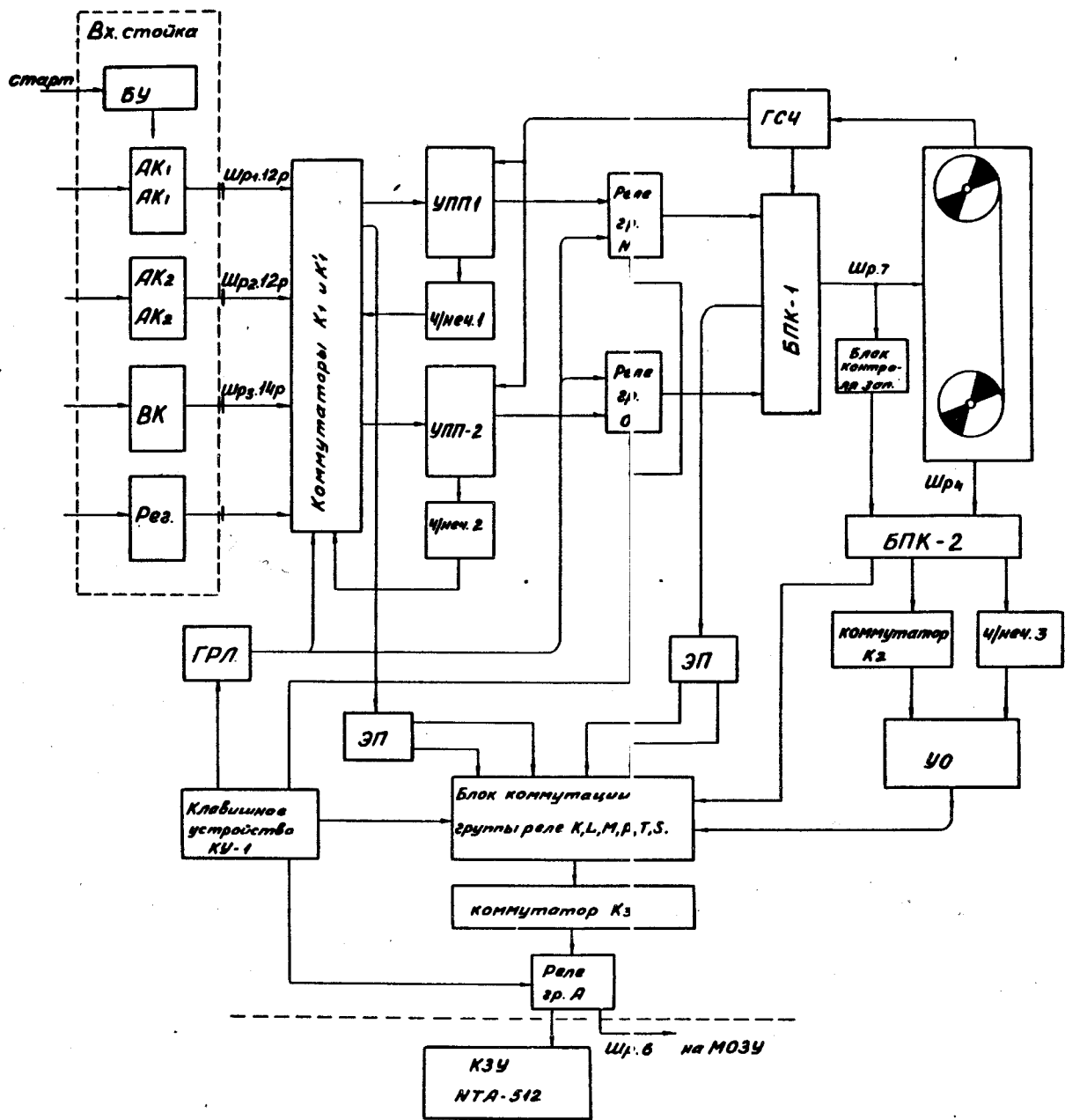


Рис 1. Блок-схема многопараметрового анализатора

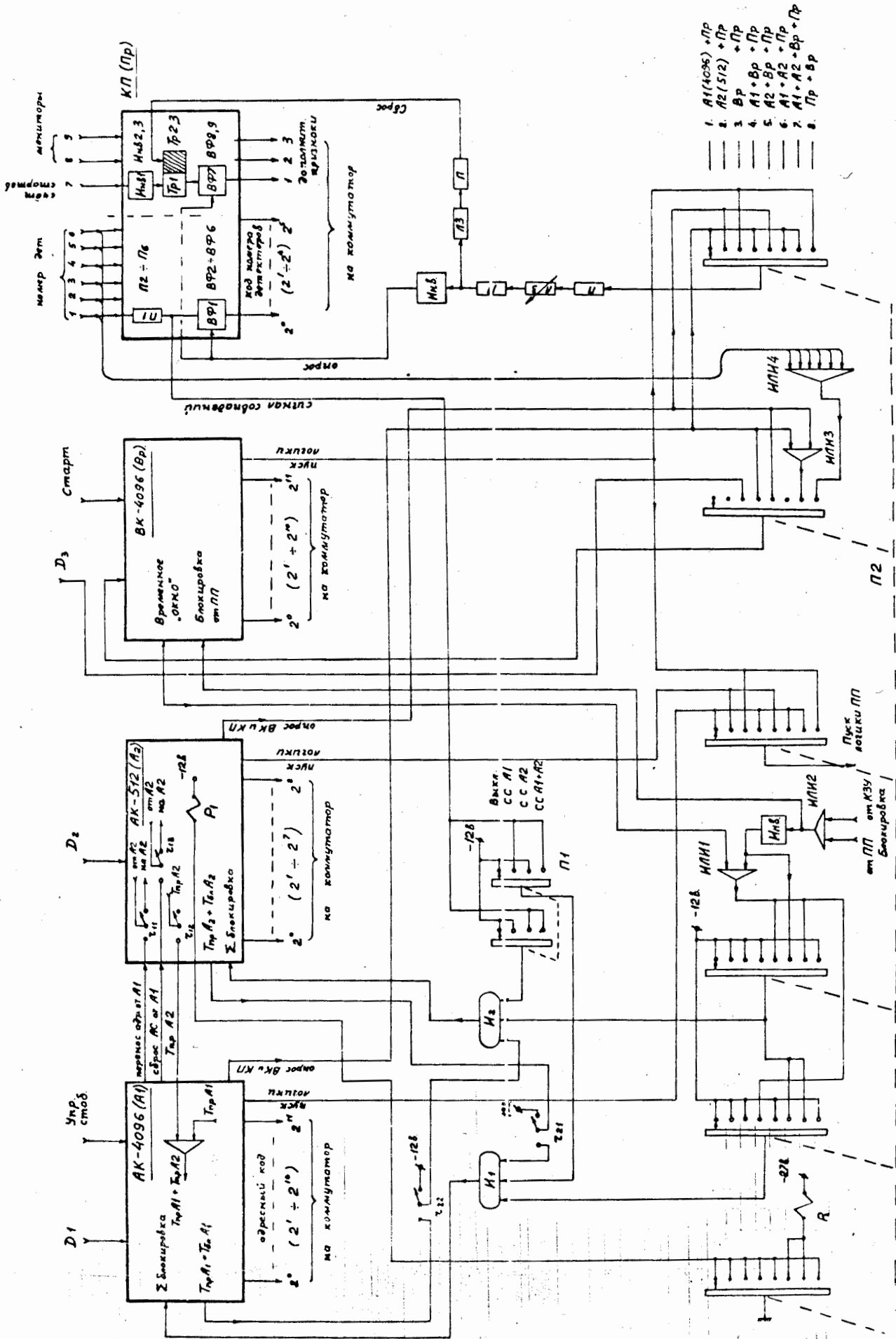


Рис. 3 Блок-схема входного устройства

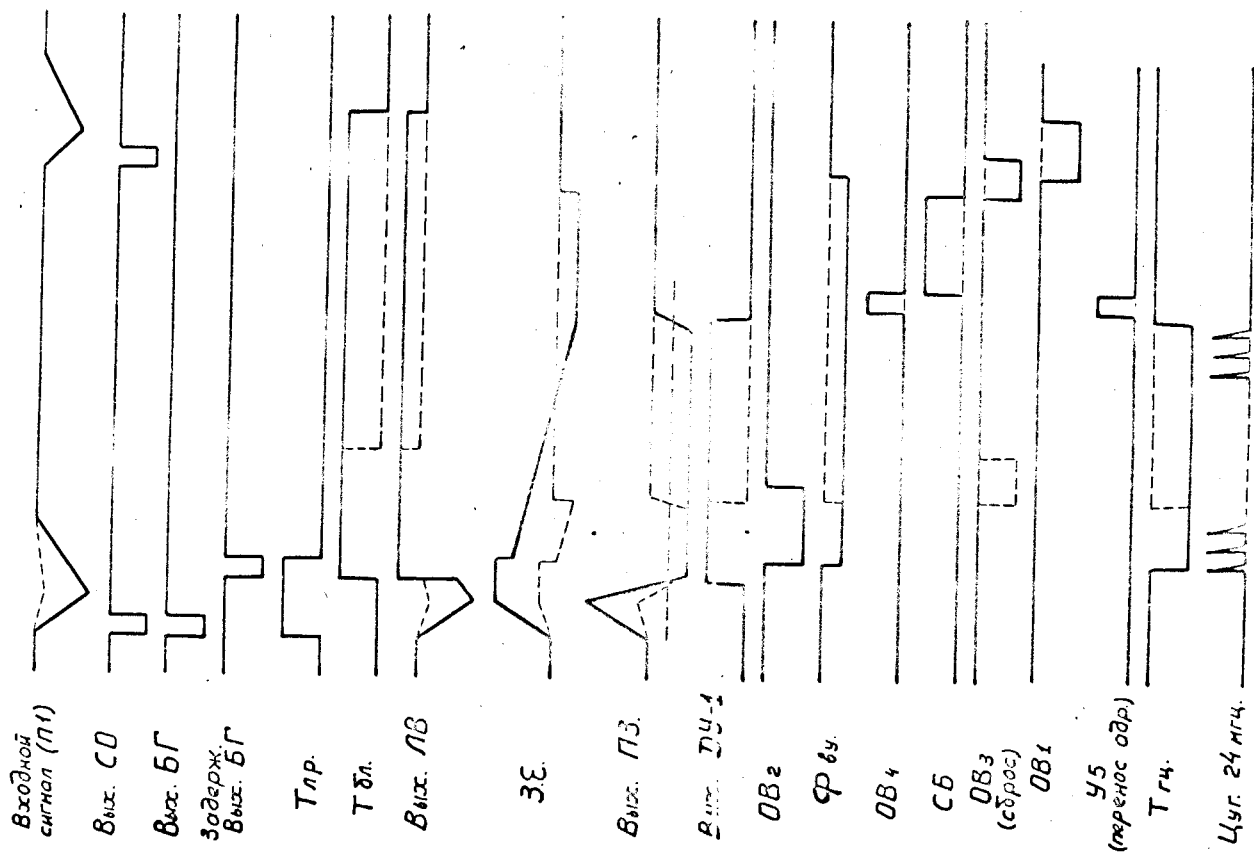


Рис 5

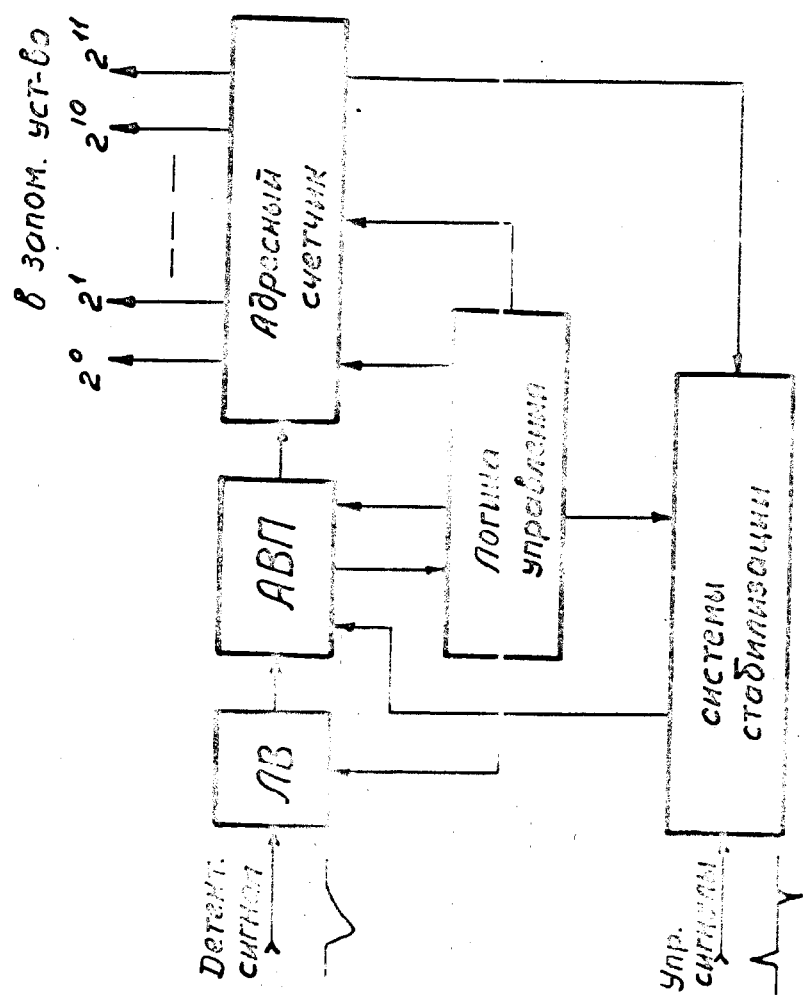
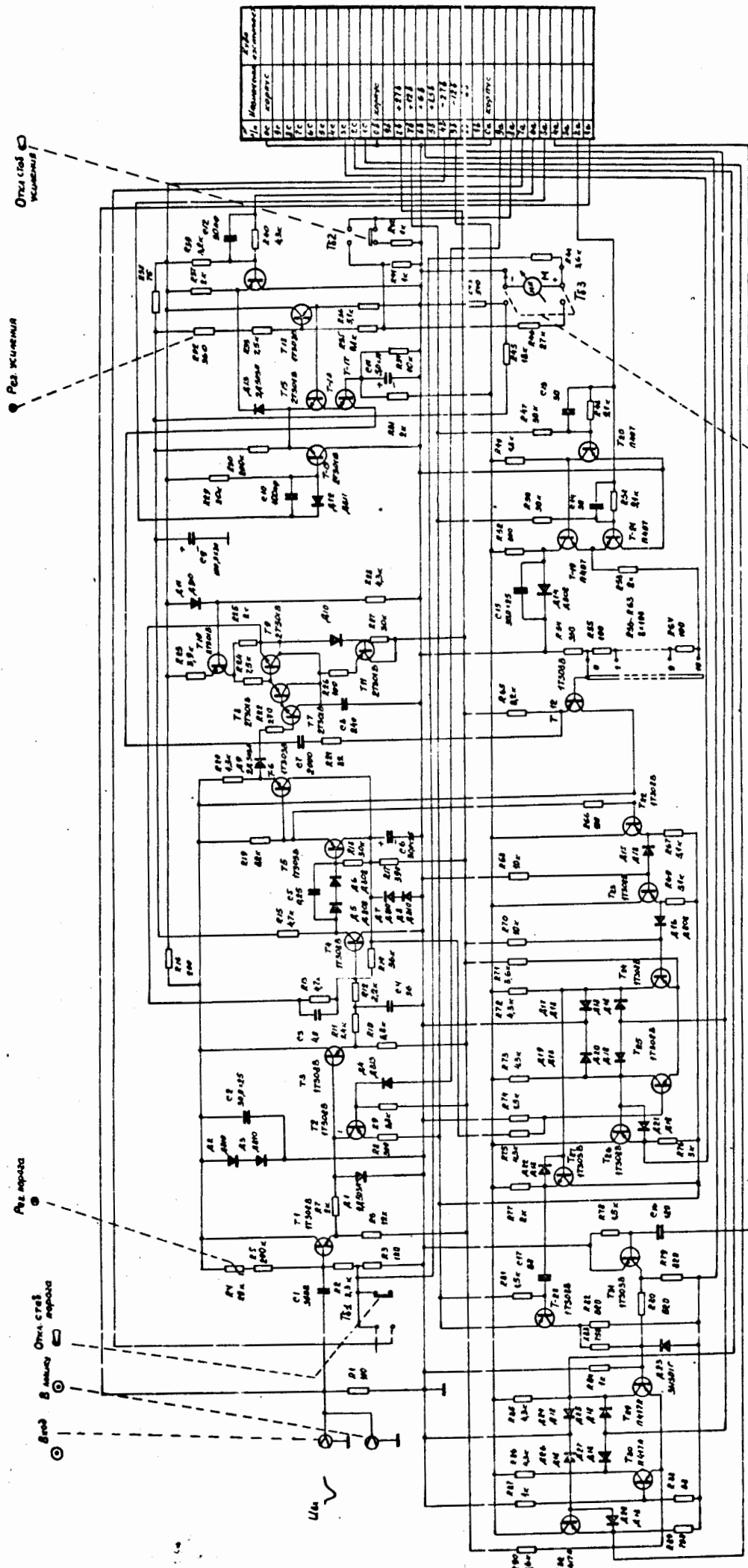


Рис 3 а



Отдел связи
испытаний

Раз. Ислюева

Раз. Воробья

Ввод в линию
Отдел связи
Воробья

Усил. парол.
Переключен. М

№	Исполнитель	Подпись
1	С.С. Воробья	
2	С.С. Воробья	
3	С.С. Воробья	
4	С.С. Воробья	
5	С.С. Воробья	
6	С.С. Воробья	
7	С.С. Воробья	
8	С.С. Воробья	
9	С.С. Воробья	
10	С.С. Воробья	
11	С.С. Воробья	
12	С.С. Воробья	
13	С.С. Воробья	
14	С.С. Воробья	
15	С.С. Воробья	
16	С.С. Воробья	
17	С.С. Воробья	
18	С.С. Воробья	
19	С.С. Воробья	
20	С.С. Воробья	
21	С.С. Воробья	
22	С.С. Воробья	
23	С.С. Воробья	
24	С.С. Воробья	
25	С.С. Воробья	
26	С.С. Воробья	
27	С.С. Воробья	
28	С.С. Воробья	
29	С.С. Воробья	
30	С.С. Воробья	
31	С.С. Воробья	
32	С.С. Воробья	
33	С.С. Воробья	
34	С.С. Воробья	
35	С.С. Воробья	
36	С.С. Воробья	
37	С.С. Воробья	
38	С.С. Воробья	
39	С.С. Воробья	
40	С.С. Воробья	

Рис 6 Принципиальная схема АЦП - 4096

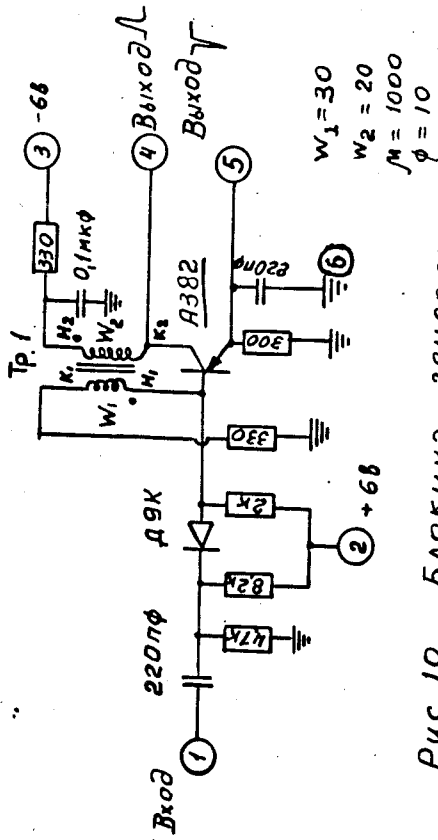


Рис 10 Блокнг-генератор

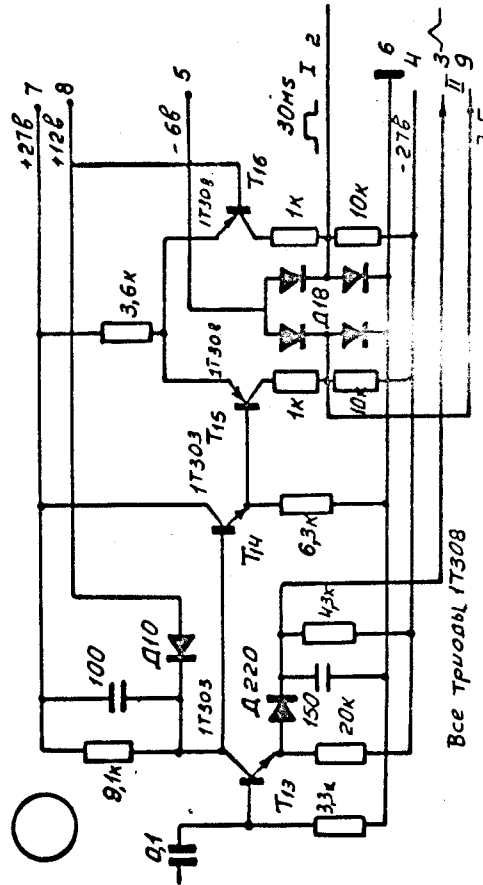


Рис 9Б схема блокировки

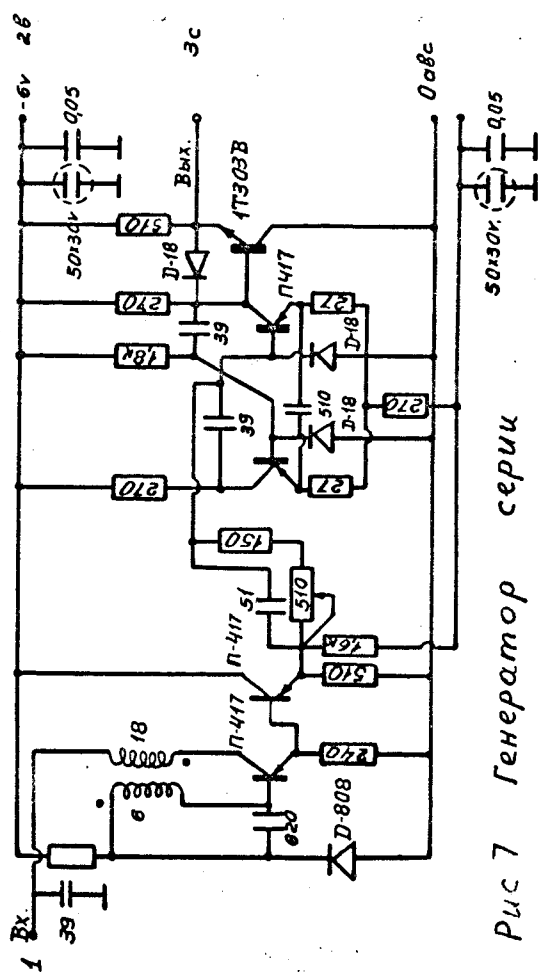


Рис 7 Генератор серии

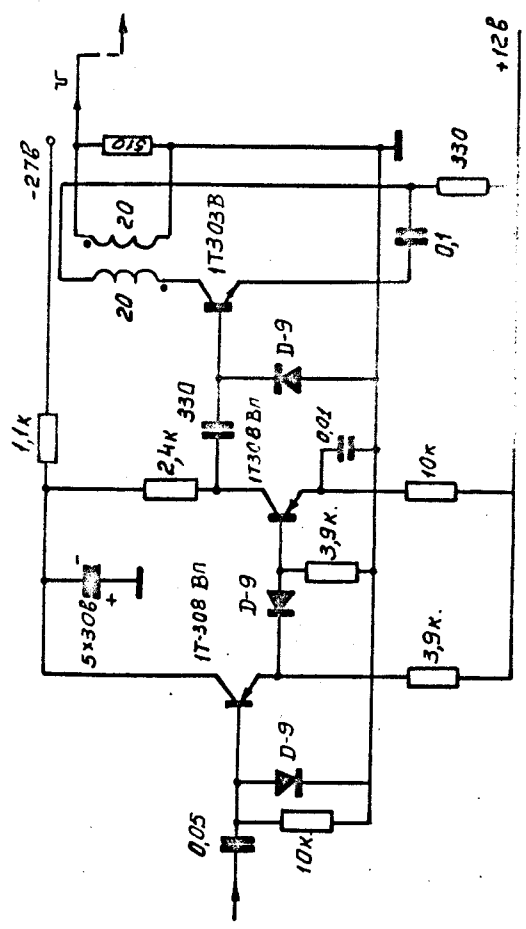


Рис 9К схема

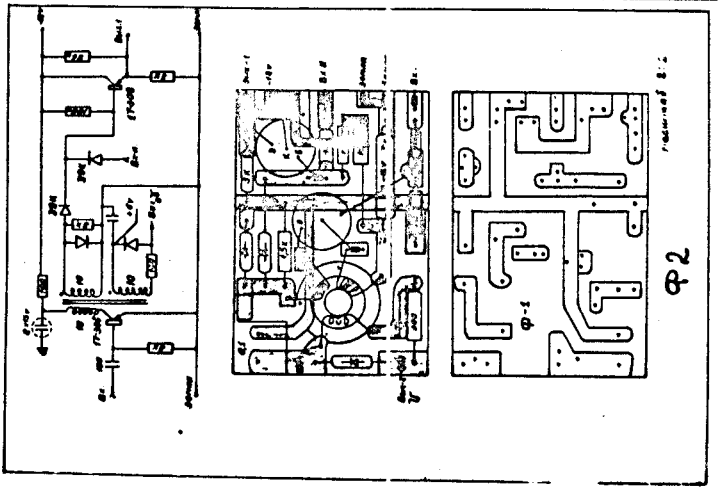
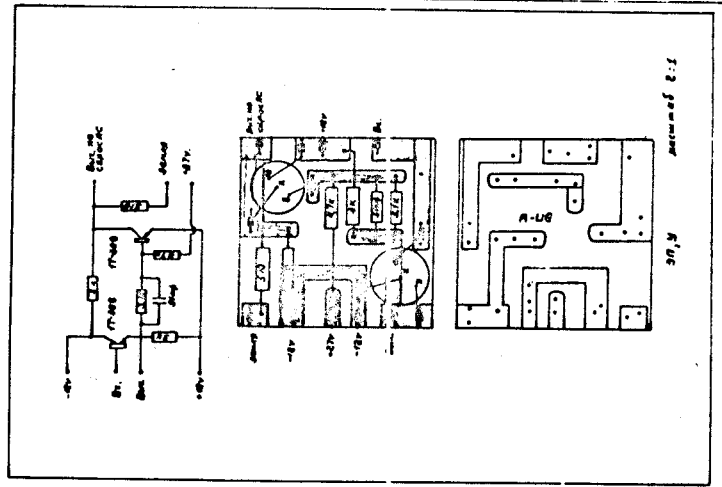
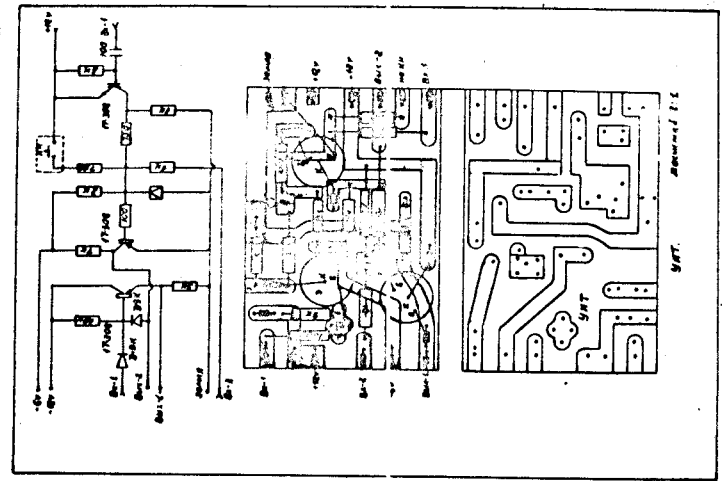
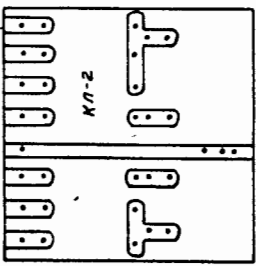
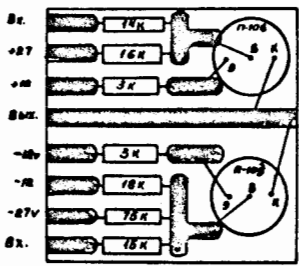
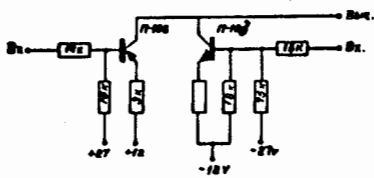
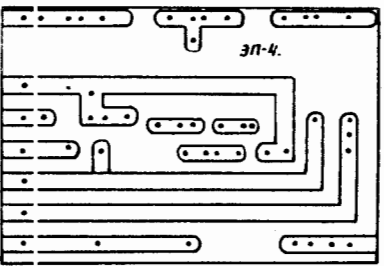
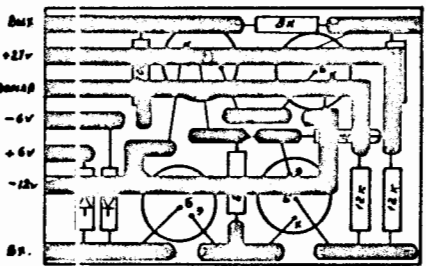
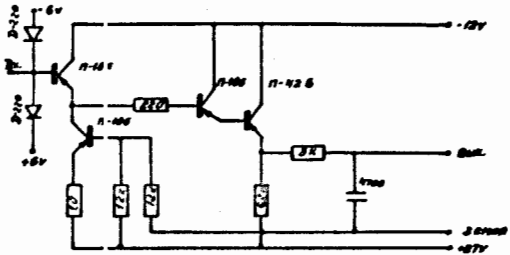


Рис 8 Принципиальные схемы элементов

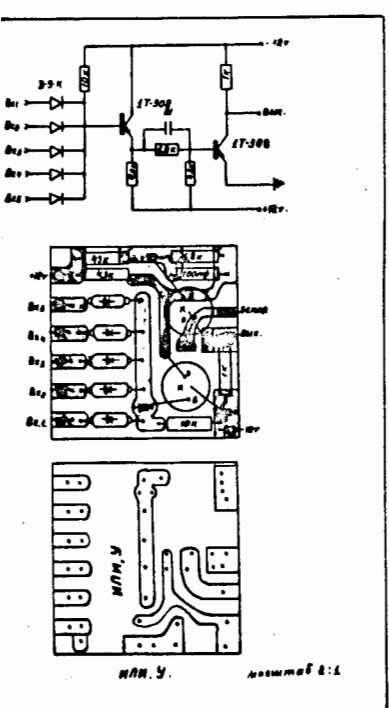


КЛ-2 масштаб 2:1.

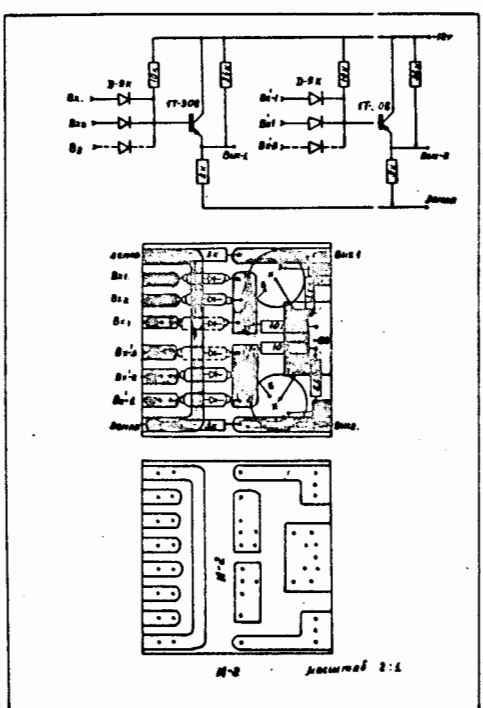


ЭП-4 масштаб 2:1.

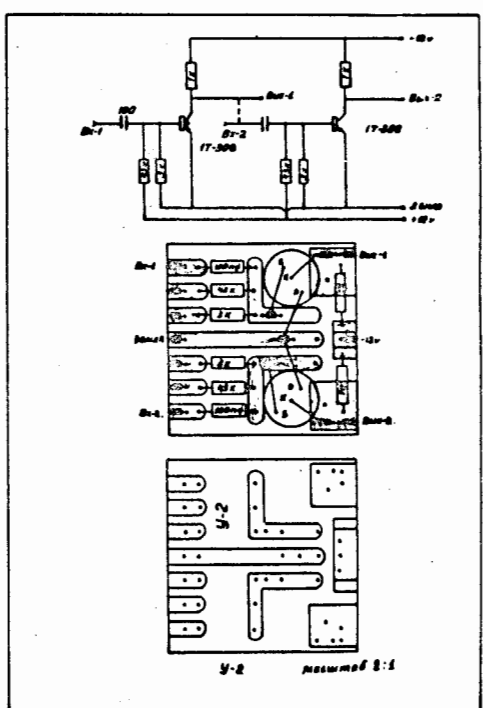
Рис 11. Схемы элементов



КЛ-3 масштаб 2:1



КЛ-2 масштаб 2:1



У-2 масштаб 2:1

Рис 9 а Принципиальные схемы элементов

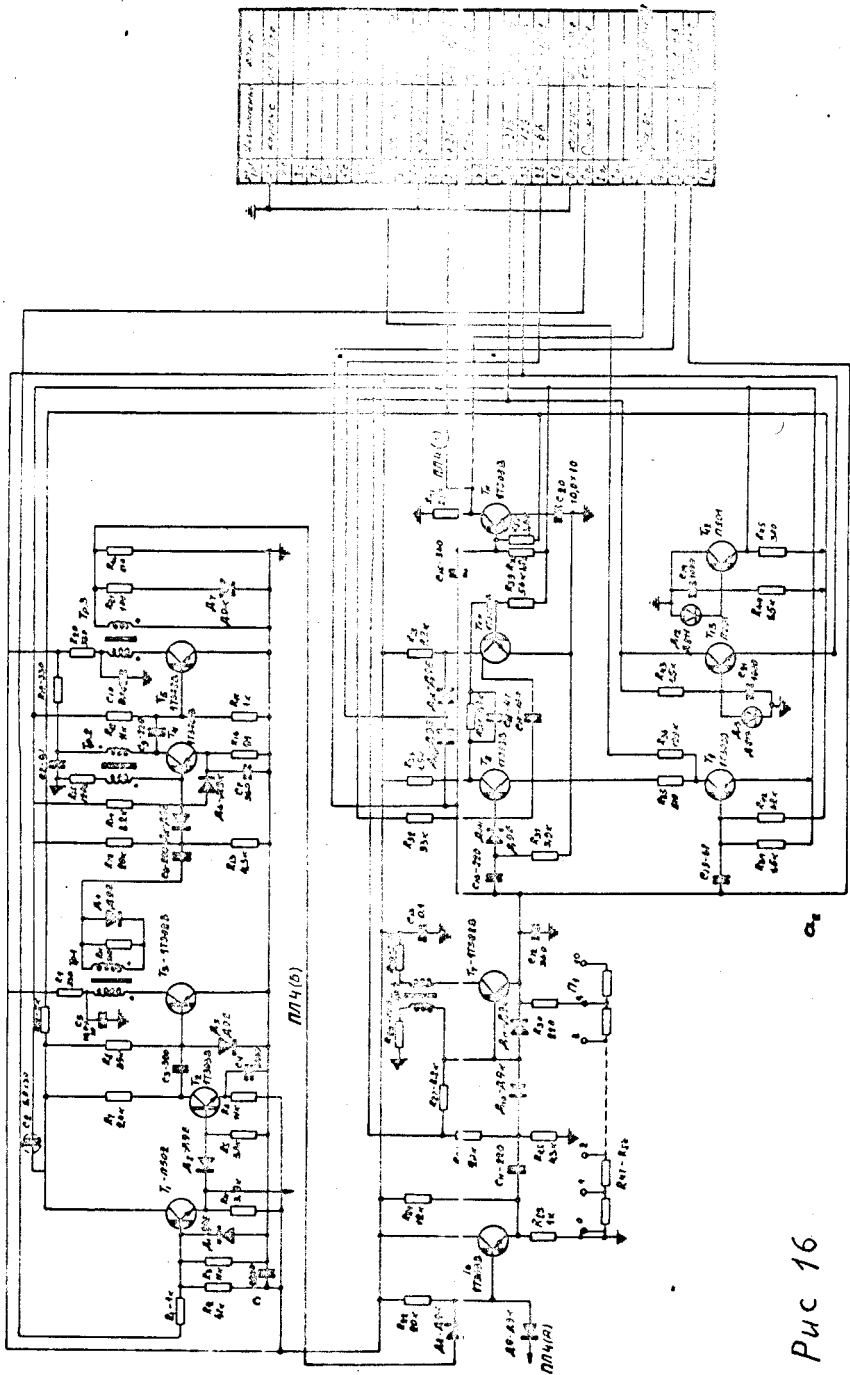
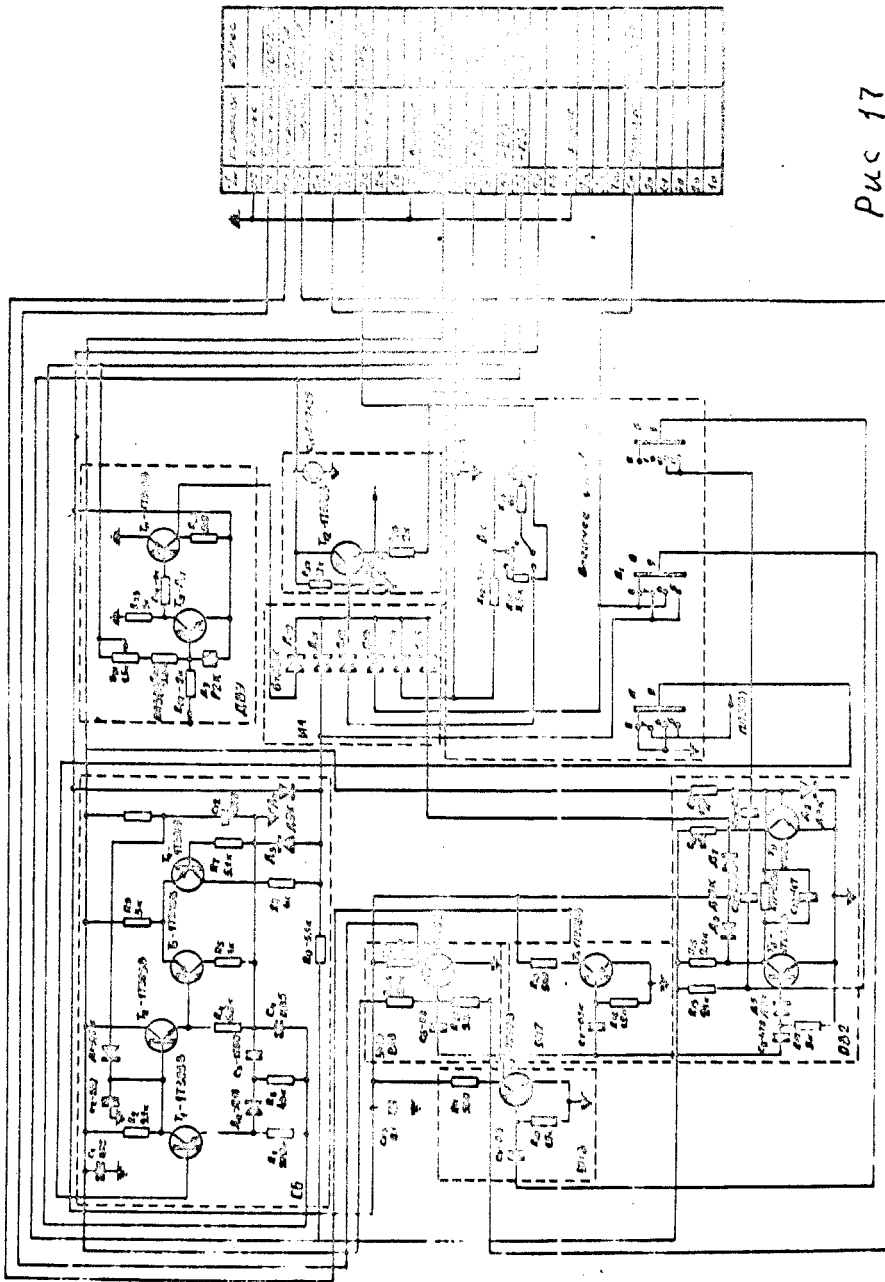
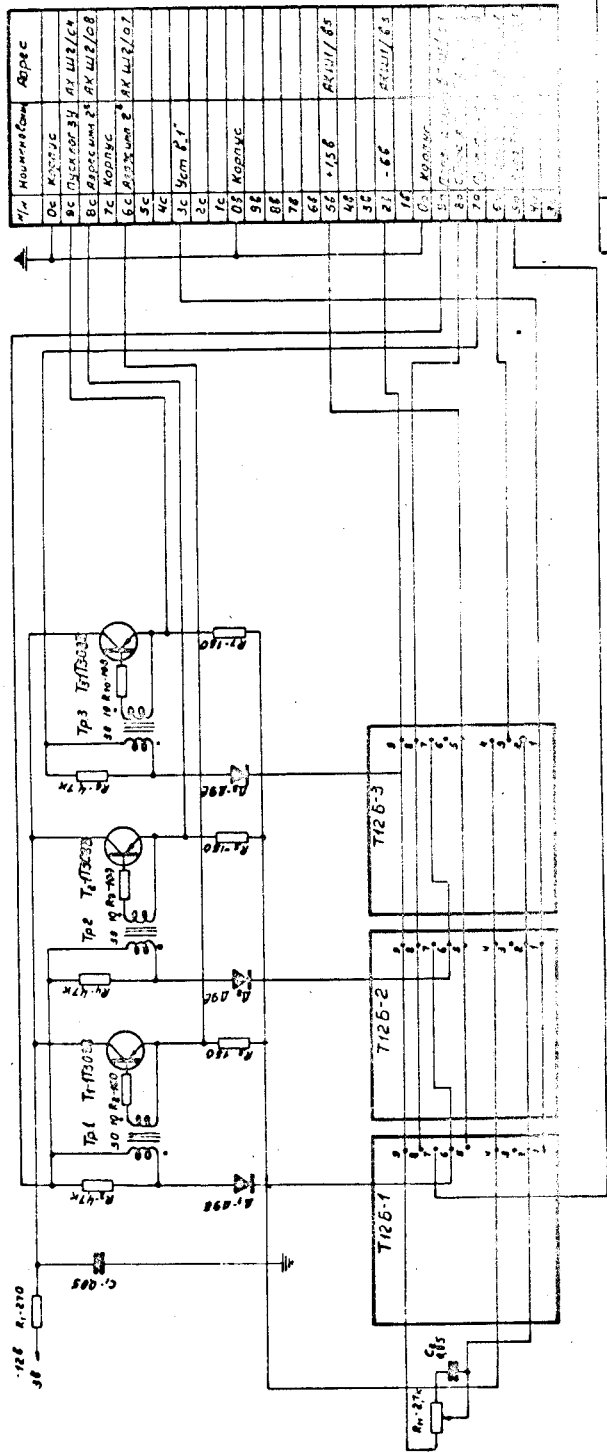


Рис 16



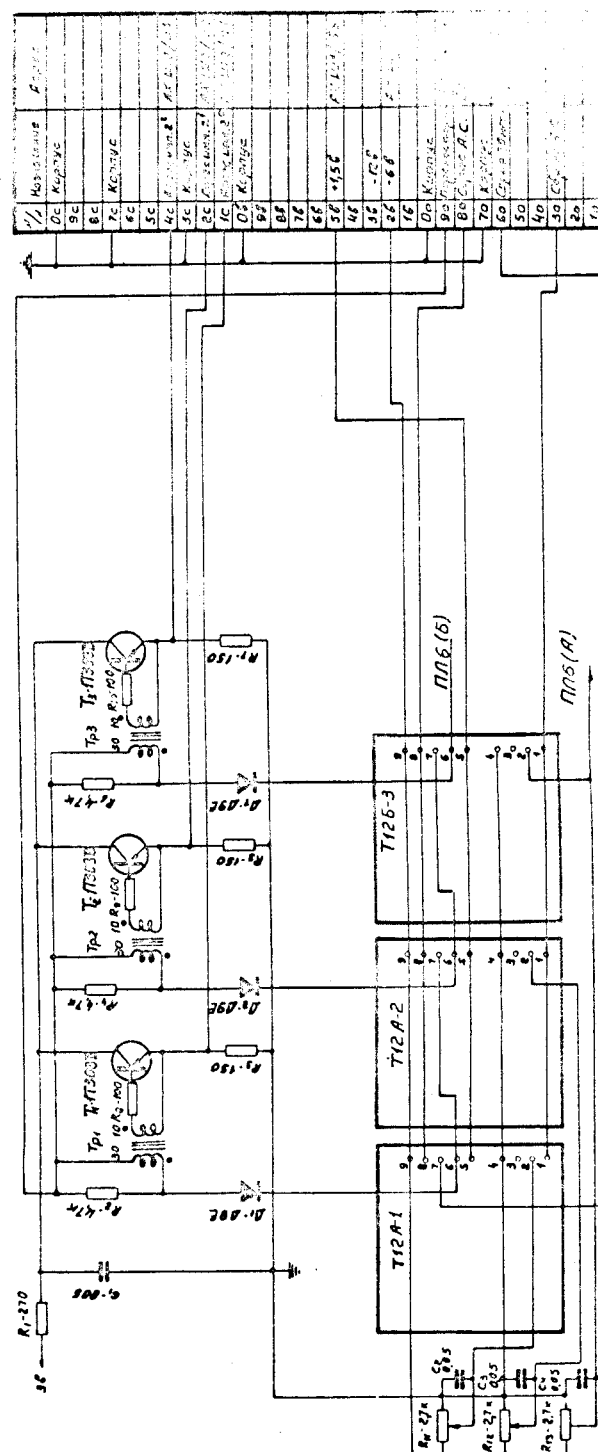
Puc 17

Рис 20



№	Наименование	Адрес
02	КОНД	
03	ДИОД	АХ 412/С4
04	ДИОД	АХ 412/С4
05	ДИОД	АХ 412/С4
06	ДИОД	АХ 412/С4
07	ДИОД	АХ 412/С4
08	ДИОД	АХ 412/С4
09	ДИОД	АХ 412/С4
10	ДИОД	АХ 412/С4
11	ДИОД	АХ 412/С4
12	ДИОД	АХ 412/С4
13	ДИОД	АХ 412/С4
14	ДИОД	АХ 412/С4
15	ДИОД	АХ 412/С4
16	ДИОД	АХ 412/С4
17	ДИОД	АХ 412/С4
18	ДИОД	АХ 412/С4
19	ДИОД	АХ 412/С4
20	ДИОД	АХ 412/С4
21	ДИОД	АХ 412/С4
22	ДИОД	АХ 412/С4
23	ДИОД	АХ 412/С4
24	ДИОД	АХ 412/С4
25	ДИОД	АХ 412/С4
26	ДИОД	АХ 412/С4
27	ДИОД	АХ 412/С4
28	ДИОД	АХ 412/С4
29	ДИОД	АХ 412/С4
30	ДИОД	АХ 412/С4
31	ДИОД	АХ 412/С4
32	ДИОД	АХ 412/С4
33	ДИОД	АХ 412/С4
34	ДИОД	АХ 412/С4
35	ДИОД	АХ 412/С4
36	ДИОД	АХ 412/С4
37	ДИОД	АХ 412/С4
38	ДИОД	АХ 412/С4
39	ДИОД	АХ 412/С4
40	ДИОД	АХ 412/С4
41	ДИОД	АХ 412/С4
42	ДИОД	АХ 412/С4
43	ДИОД	АХ 412/С4
44	ДИОД	АХ 412/С4
45	ДИОД	АХ 412/С4
46	ДИОД	АХ 412/С4
47	ДИОД	АХ 412/С4
48	ДИОД	АХ 412/С4
49	ДИОД	АХ 412/С4
50	ДИОД	АХ 412/С4
51	ДИОД	АХ 412/С4
52	ДИОД	АХ 412/С4
53	ДИОД	АХ 412/С4
54	ДИОД	АХ 412/С4
55	ДИОД	АХ 412/С4
56	ДИОД	АХ 412/С4
57	ДИОД	АХ 412/С4
58	ДИОД	АХ 412/С4
59	ДИОД	АХ 412/С4
60	ДИОД	АХ 412/С4

Рис 19



№	Наименование	Адрес
02	КОНД	
03	ДИОД	АХ 412/С4
04	ДИОД	АХ 412/С4
05	ДИОД	АХ 412/С4
06	ДИОД	АХ 412/С4
07	ДИОД	АХ 412/С4
08	ДИОД	АХ 412/С4
09	ДИОД	АХ 412/С4
10	ДИОД	АХ 412/С4
11	ДИОД	АХ 412/С4
12	ДИОД	АХ 412/С4
13	ДИОД	АХ 412/С4
14	ДИОД	АХ 412/С4
15	ДИОД	АХ 412/С4
16	ДИОД	АХ 412/С4
17	ДИОД	АХ 412/С4
18	ДИОД	АХ 412/С4
19	ДИОД	АХ 412/С4
20	ДИОД	АХ 412/С4
21	ДИОД	АХ 412/С4
22	ДИОД	АХ 412/С4
23	ДИОД	АХ 412/С4
24	ДИОД	АХ 412/С4
25	ДИОД	АХ 412/С4
26	ДИОД	АХ 412/С4
27	ДИОД	АХ 412/С4
28	ДИОД	АХ 412/С4
29	ДИОД	АХ 412/С4
30	ДИОД	АХ 412/С4
31	ДИОД	АХ 412/С4
32	ДИОД	АХ 412/С4
33	ДИОД	АХ 412/С4
34	ДИОД	АХ 412/С4
35	ДИОД	АХ 412/С4
36	ДИОД	АХ 412/С4
37	ДИОД	АХ 412/С4
38	ДИОД	АХ 412/С4
39	ДИОД	АХ 412/С4
40	ДИОД	АХ 412/С4
41	ДИОД	АХ 412/С4
42	ДИОД	АХ 412/С4
43	ДИОД	АХ 412/С4
44	ДИОД	АХ 412/С4
45	ДИОД	АХ 412/С4
46	ДИОД	АХ 412/С4
47	ДИОД	АХ 412/С4
48	ДИОД	АХ 412/С4
49	ДИОД	АХ 412/С4
50	ДИОД	АХ 412/С4
51	ДИОД	АХ 412/С4
52	ДИОД	АХ 412/С4
53	ДИОД	АХ 412/С4
54	ДИОД	АХ 412/С4
55	ДИОД	АХ 412/С4
56	ДИОД	АХ 412/С4
57	ДИОД	АХ 412/С4
58	ДИОД	АХ 412/С4
59	ДИОД	АХ 412/С4
60	ДИОД	АХ 412/С4

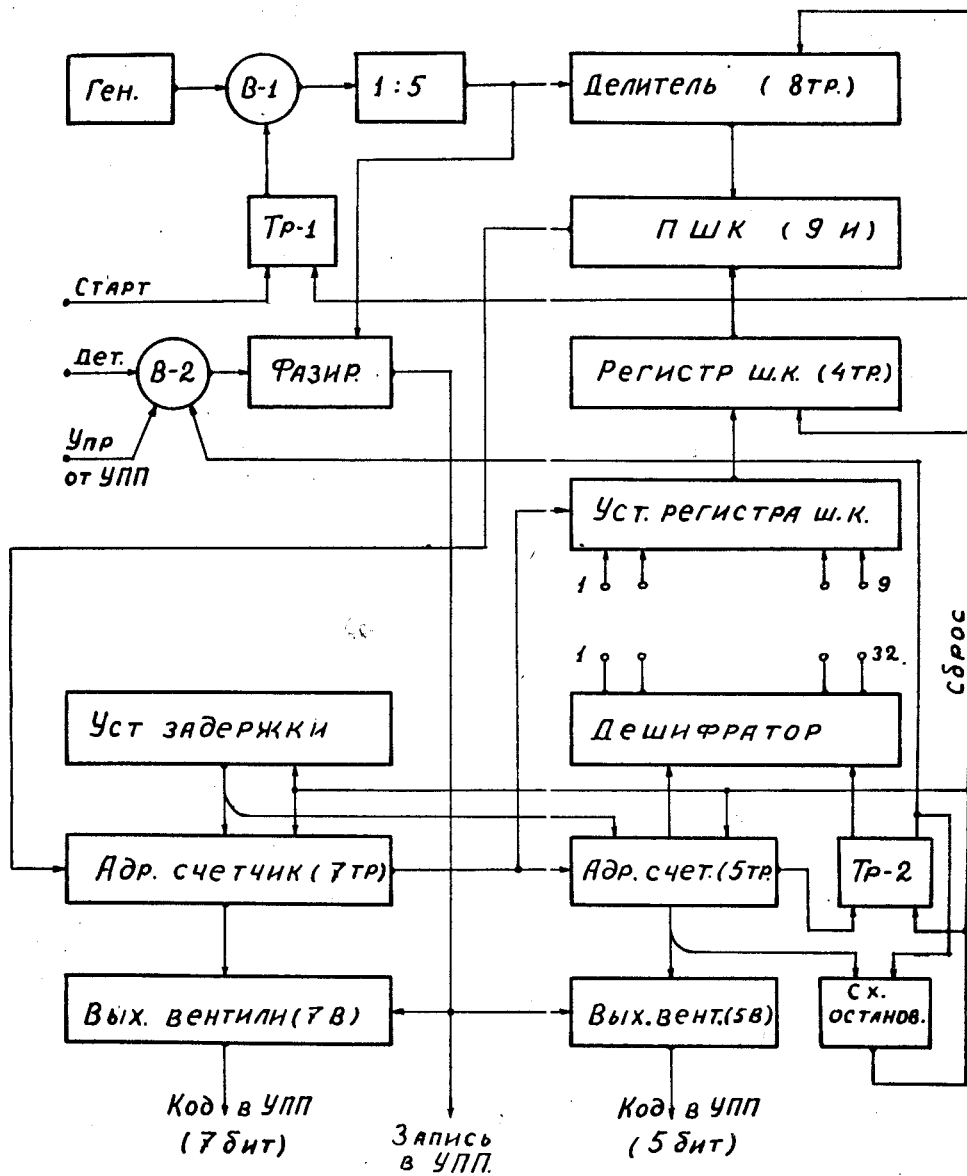
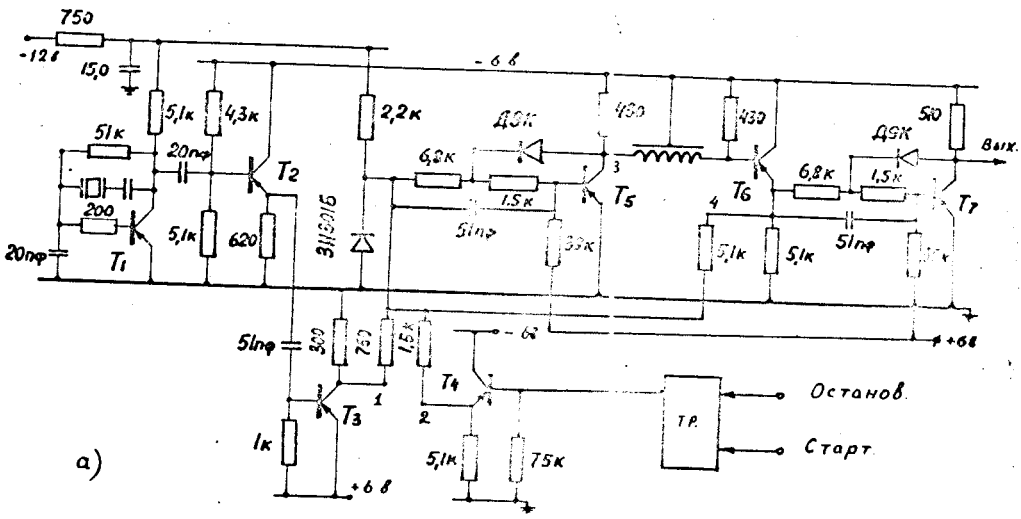
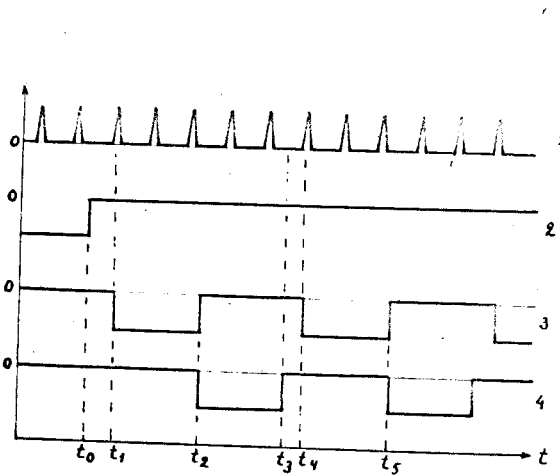


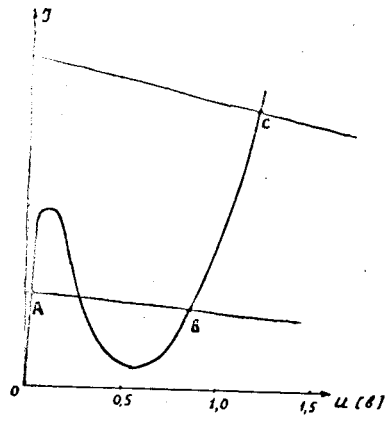
Рис 21 Структурная схема ВК



a)



б)



б)

Рис 22

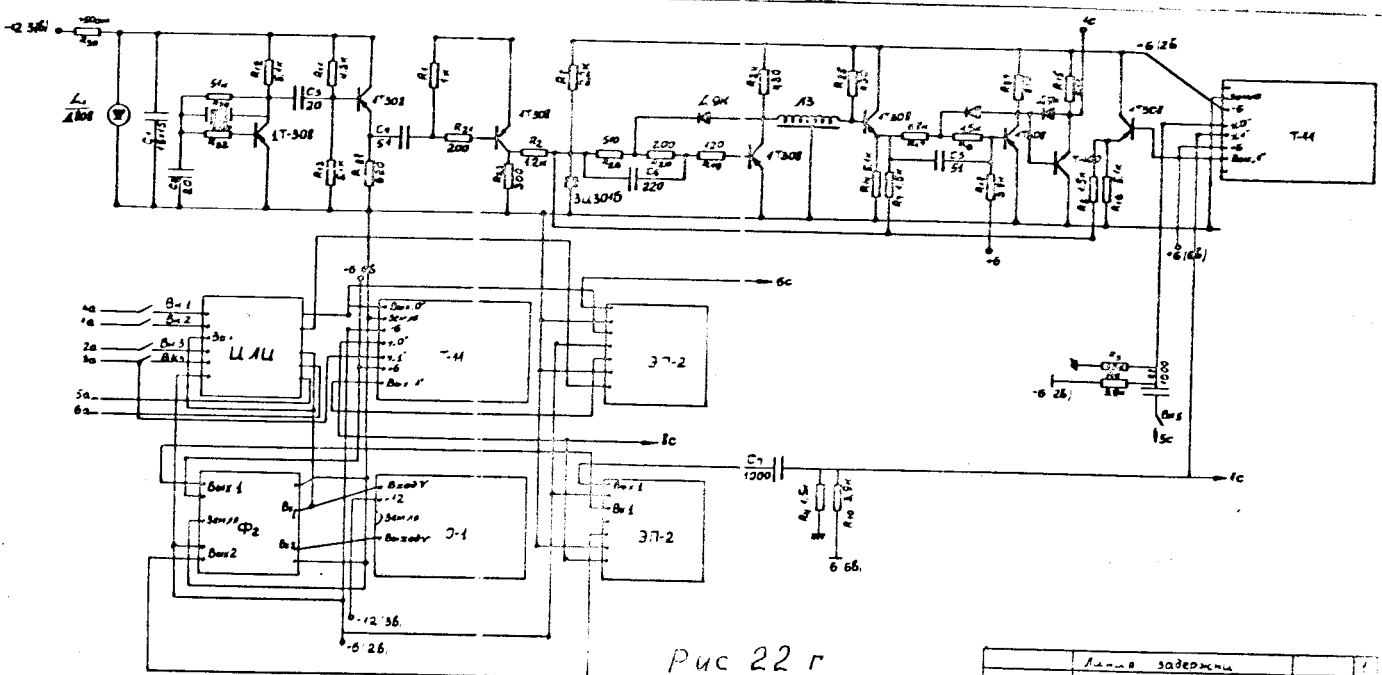


Рис 22 г

Обозначение	Наименование	Материал
	Линия задержки	
	кварц	

К выходным клапанам

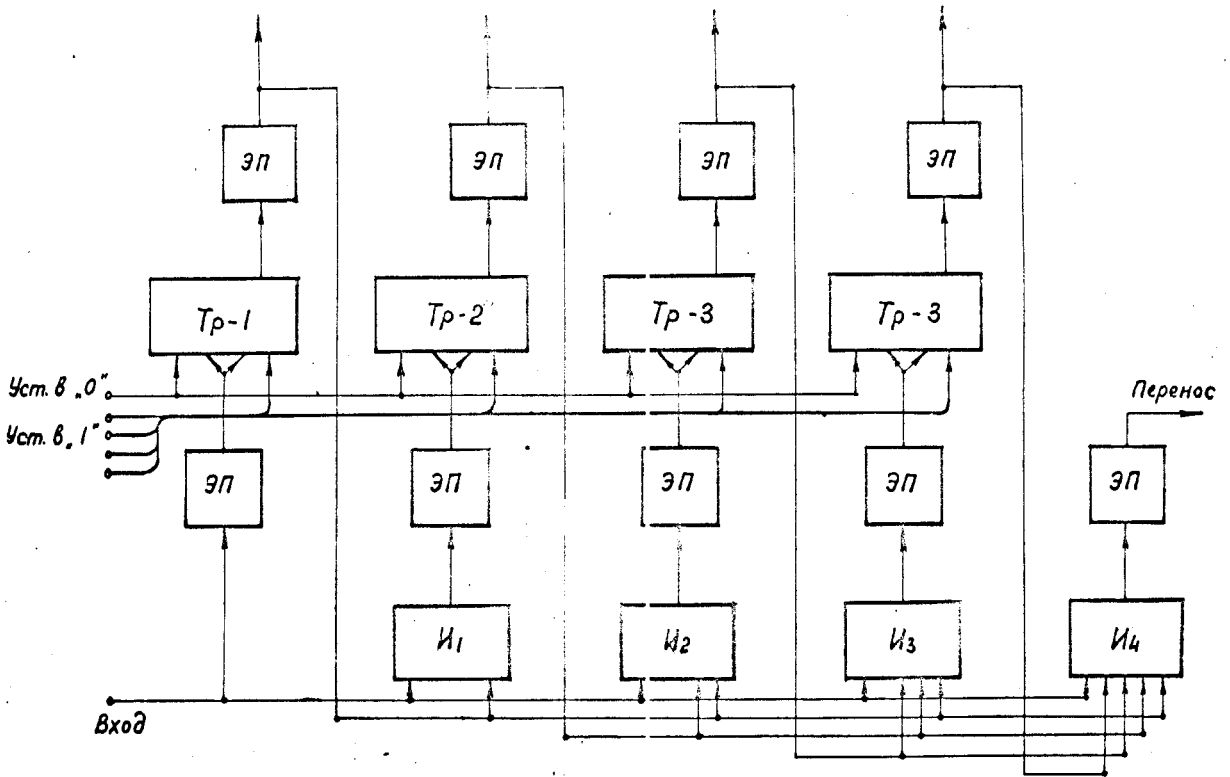
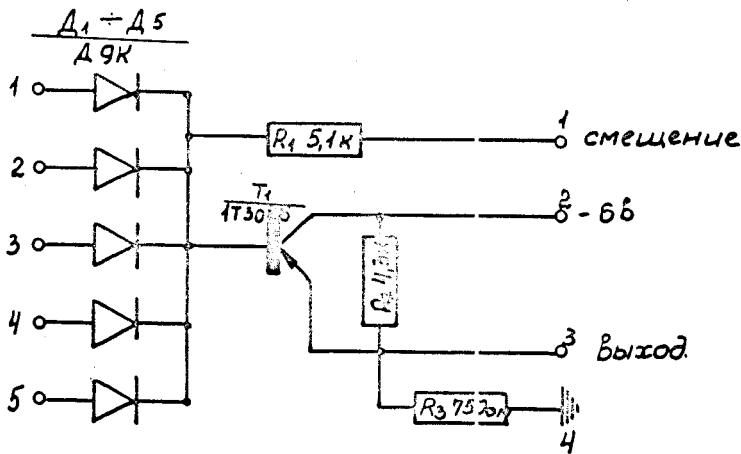


Рис 23. Делитель и адресный счетчик

Рис 23а Схема принципиальная электрическая элемента "И". М 2:1



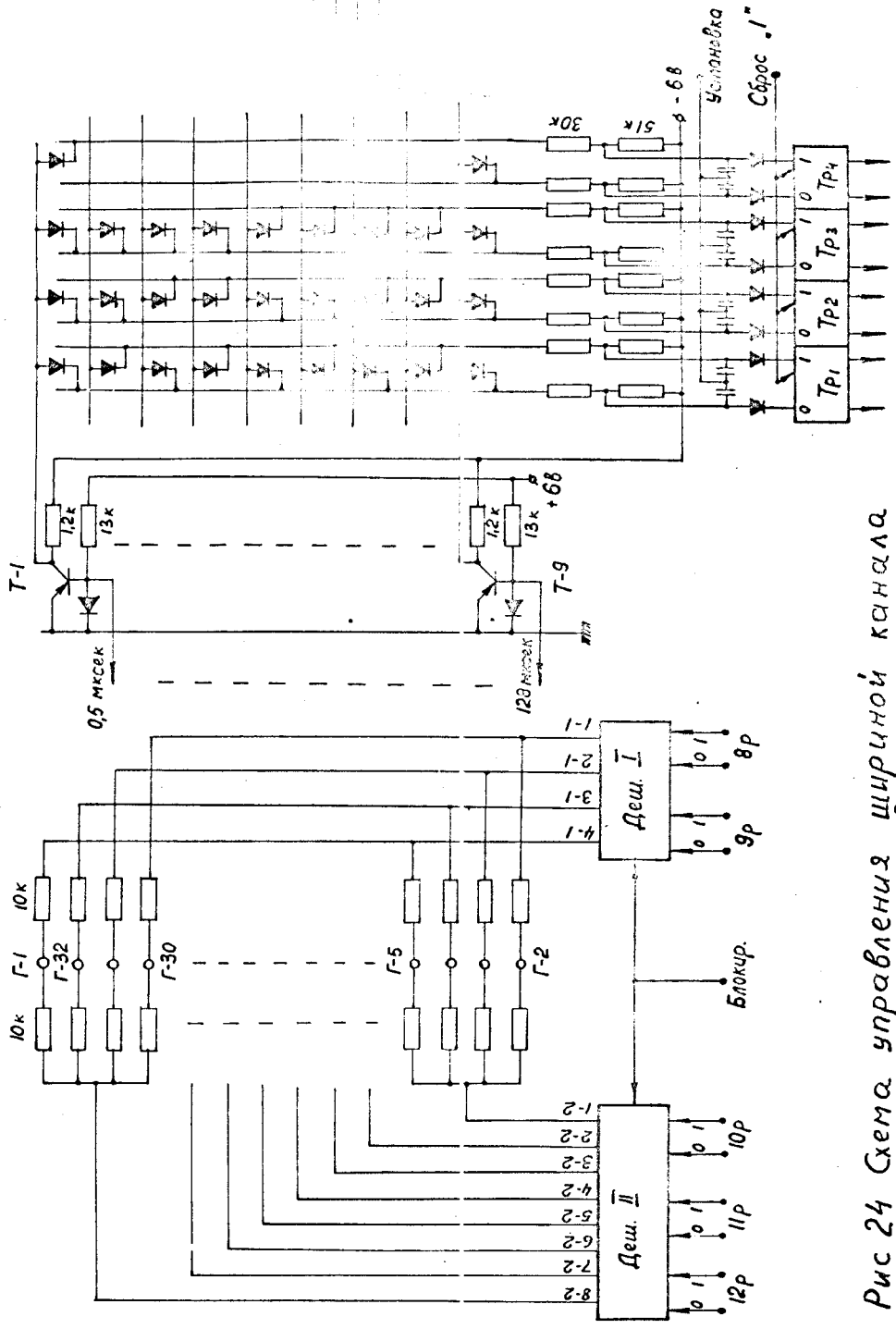
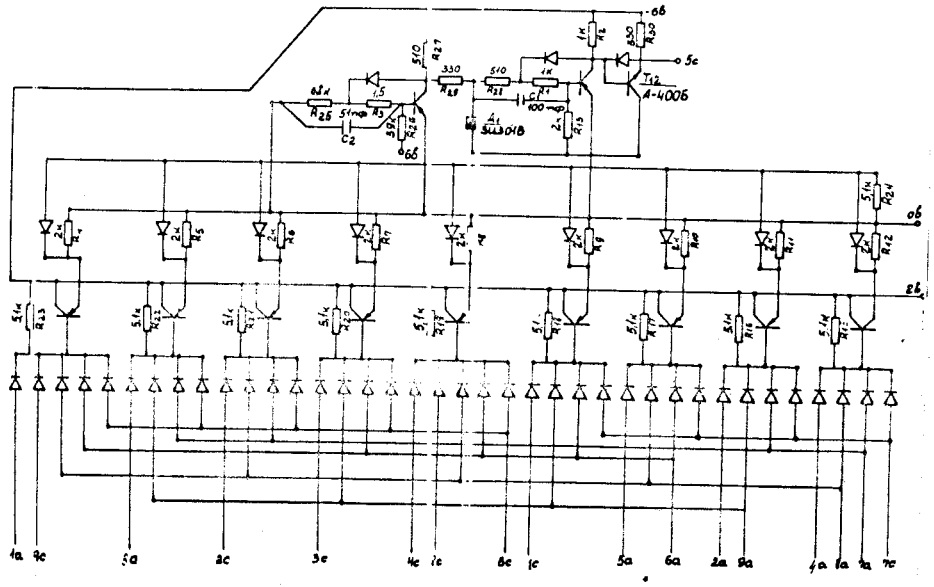


Рис 24 Схема управления шириной канала

Рис 25 ПШК-3



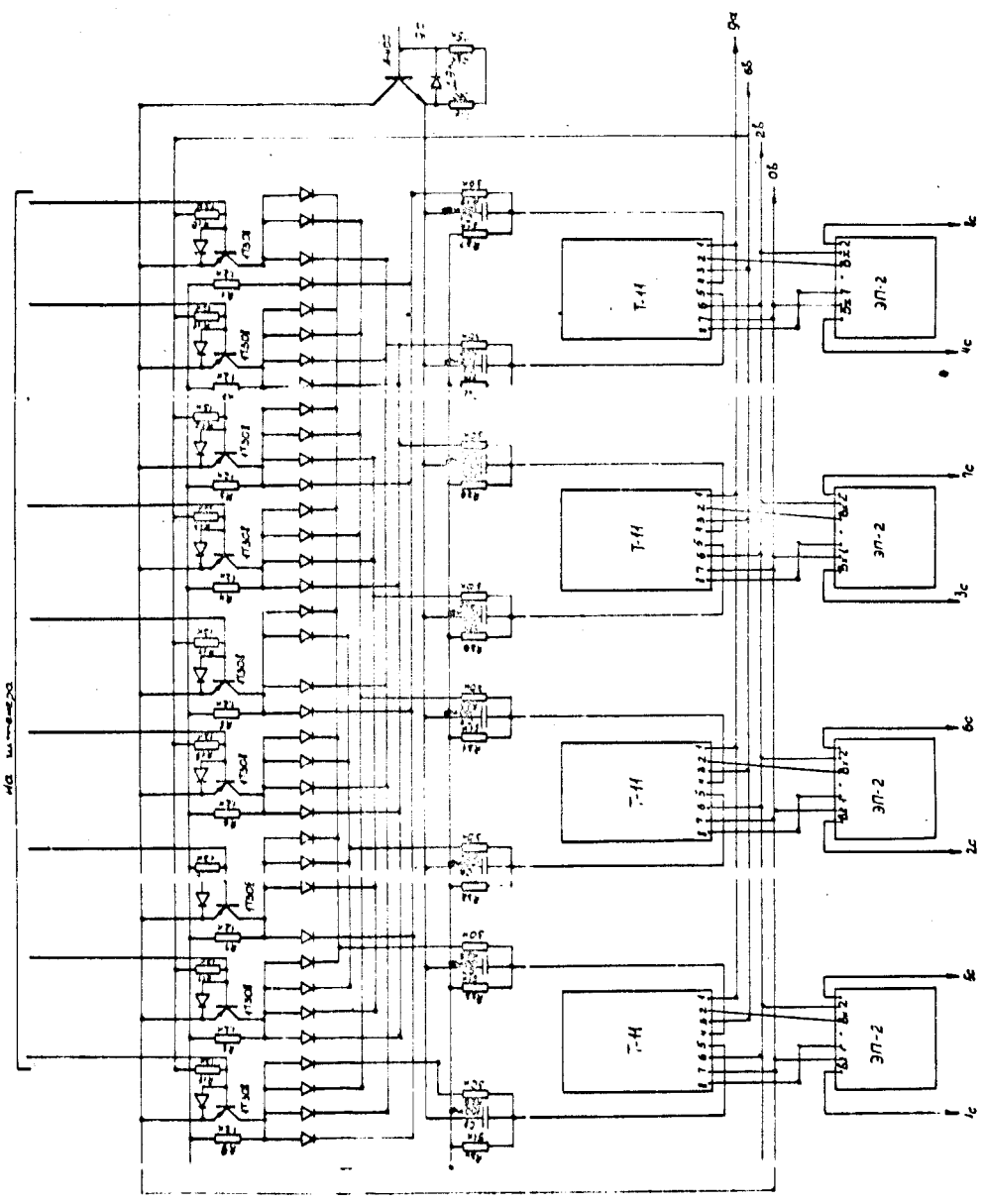


Рис 27

Рис 28. Схема принципиальная
электрическая. Ф2
М 1:1

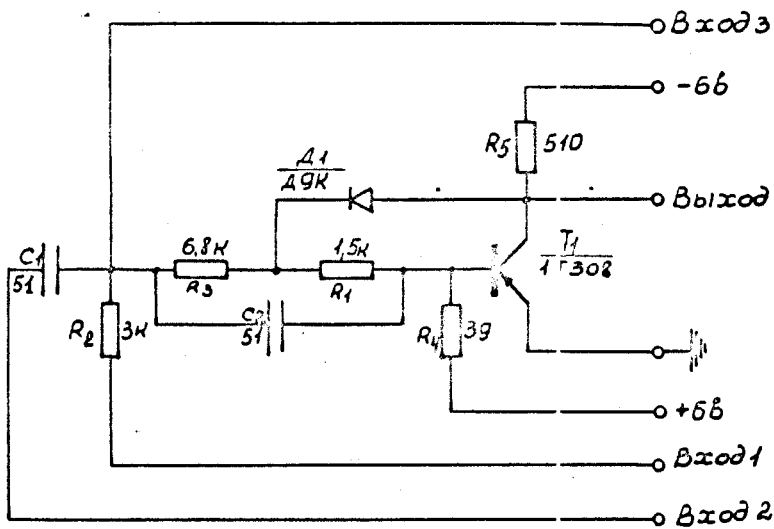
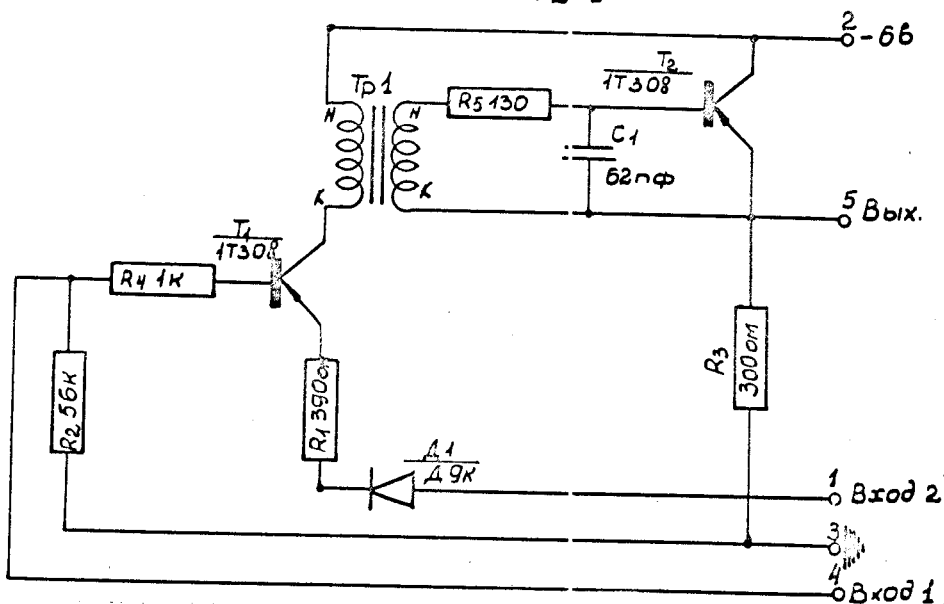


Рис 29. Схема принципиальная
электрическая. К
М 2:1



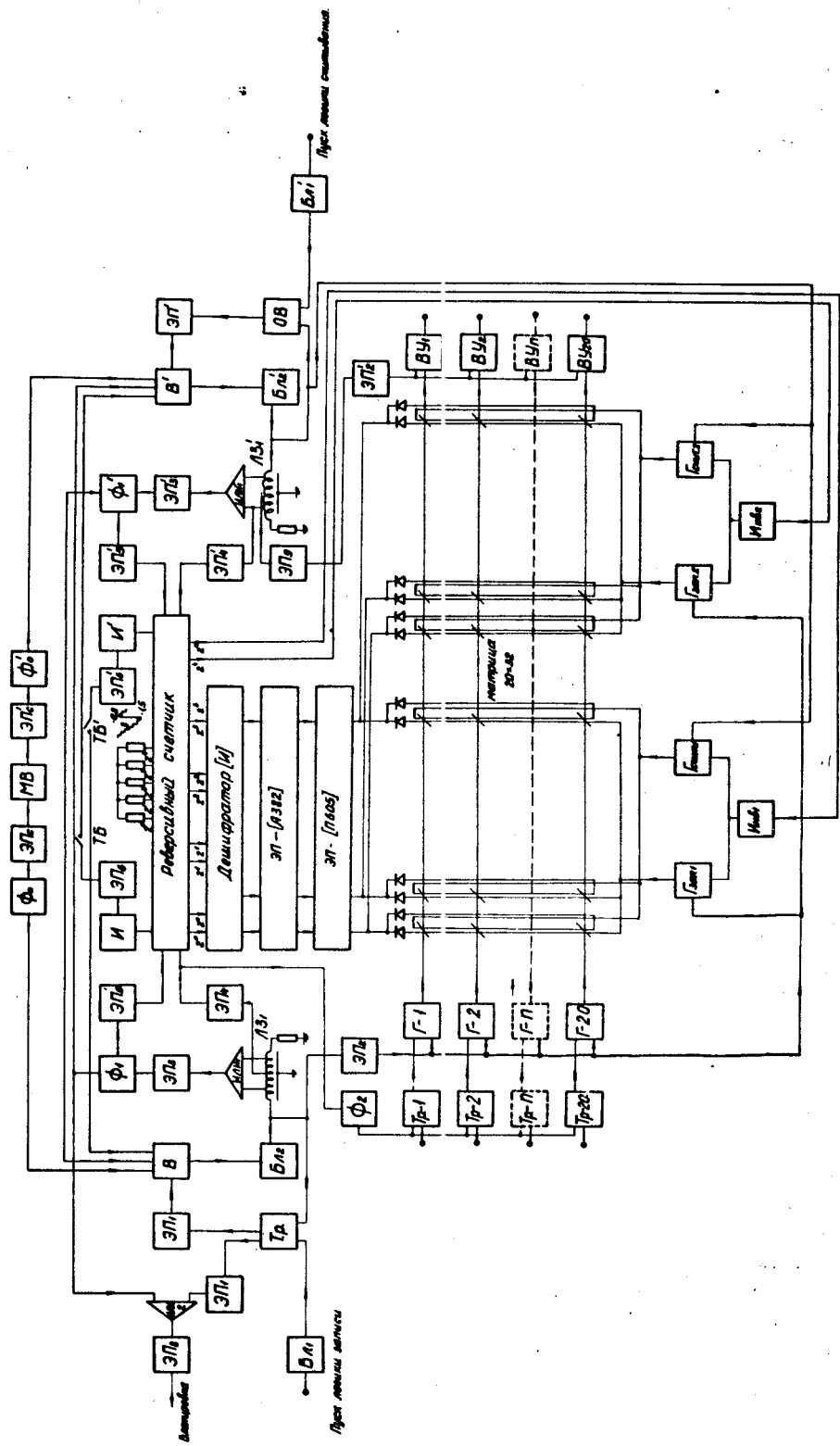


Рис 31 Блок-схема 511П

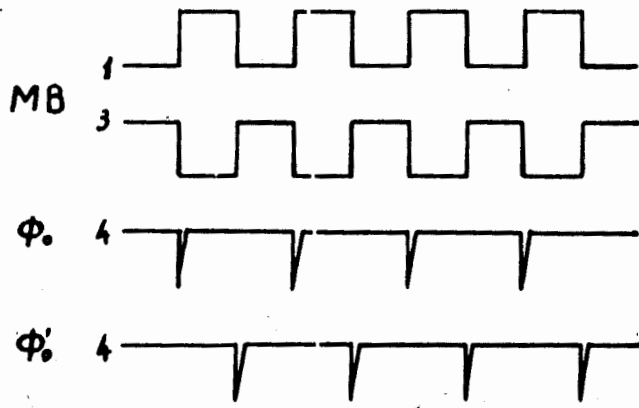


Рис 32

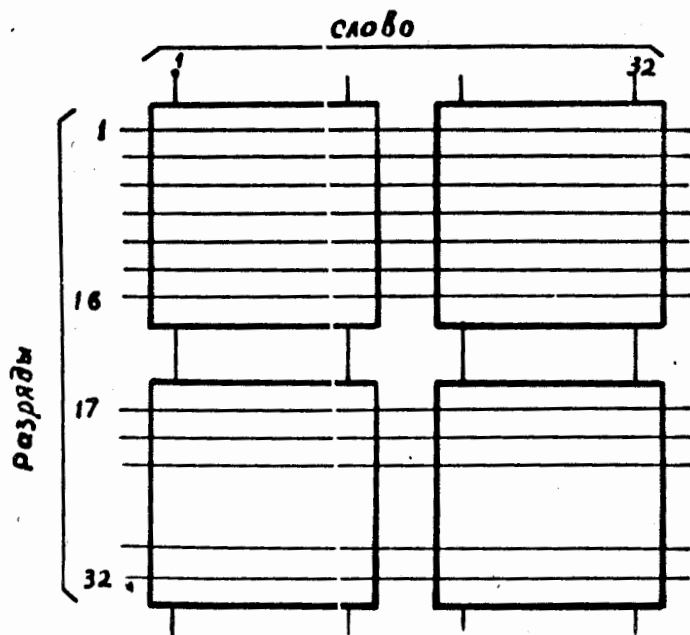


Рис 33

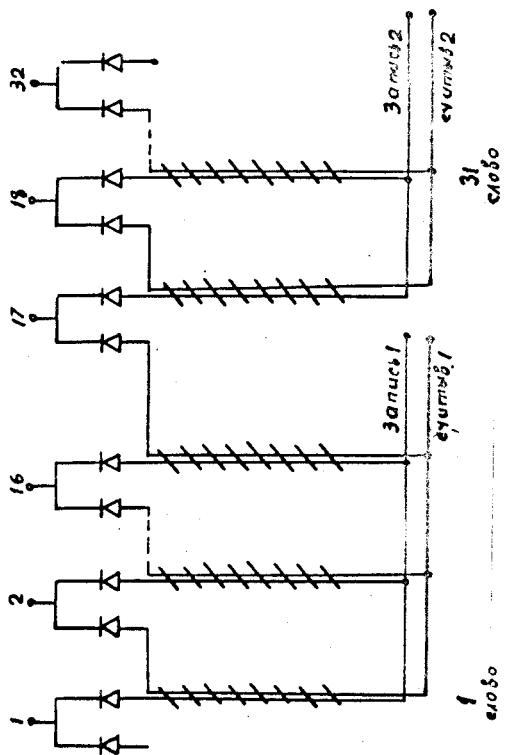


Рис 34

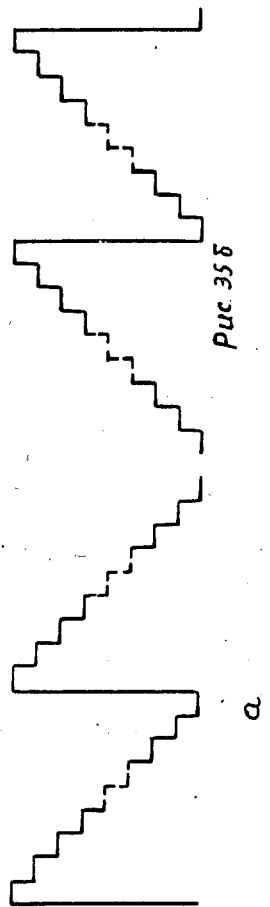


Рис 35

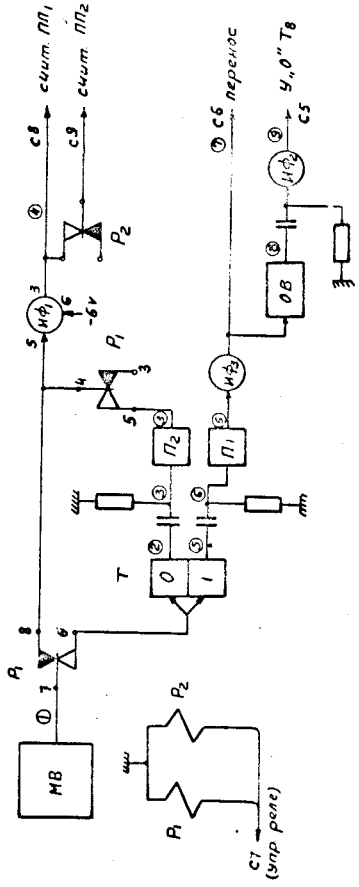
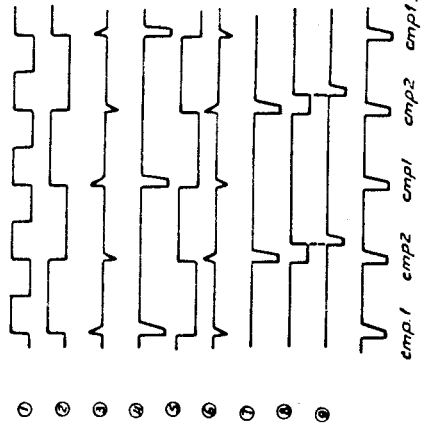
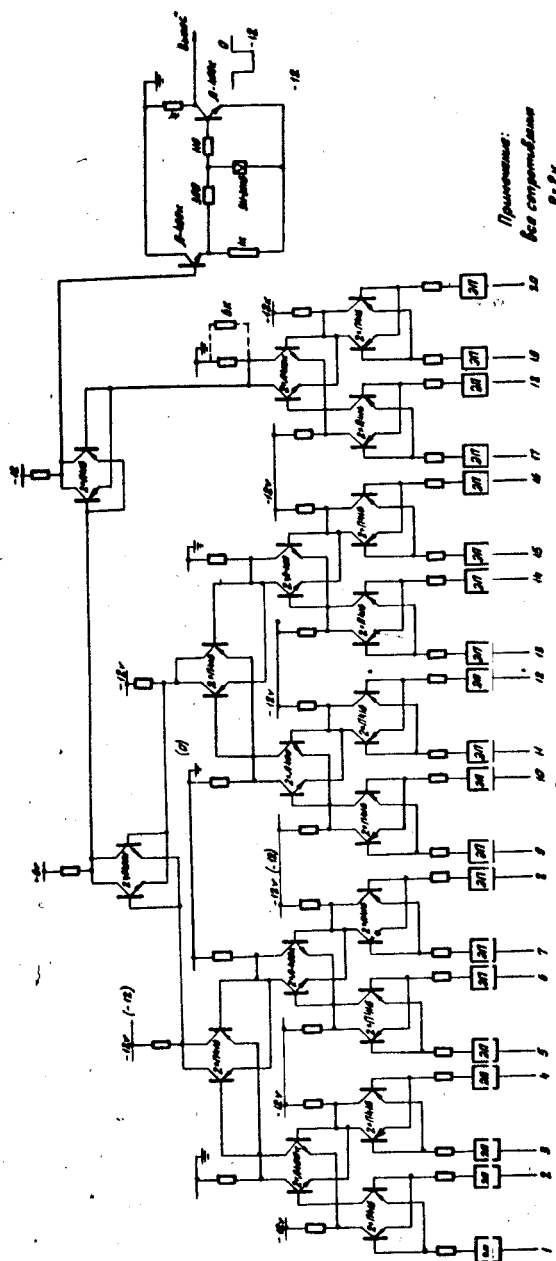


Рис 37





Примечание:
 для стробирования
 R₁ = R₂

Рис. 36

СХЕМА "ZEM - HEREM"

Осциллограмма входных сигналов

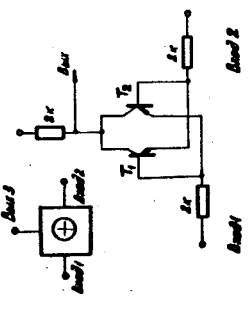


Рис. 3а

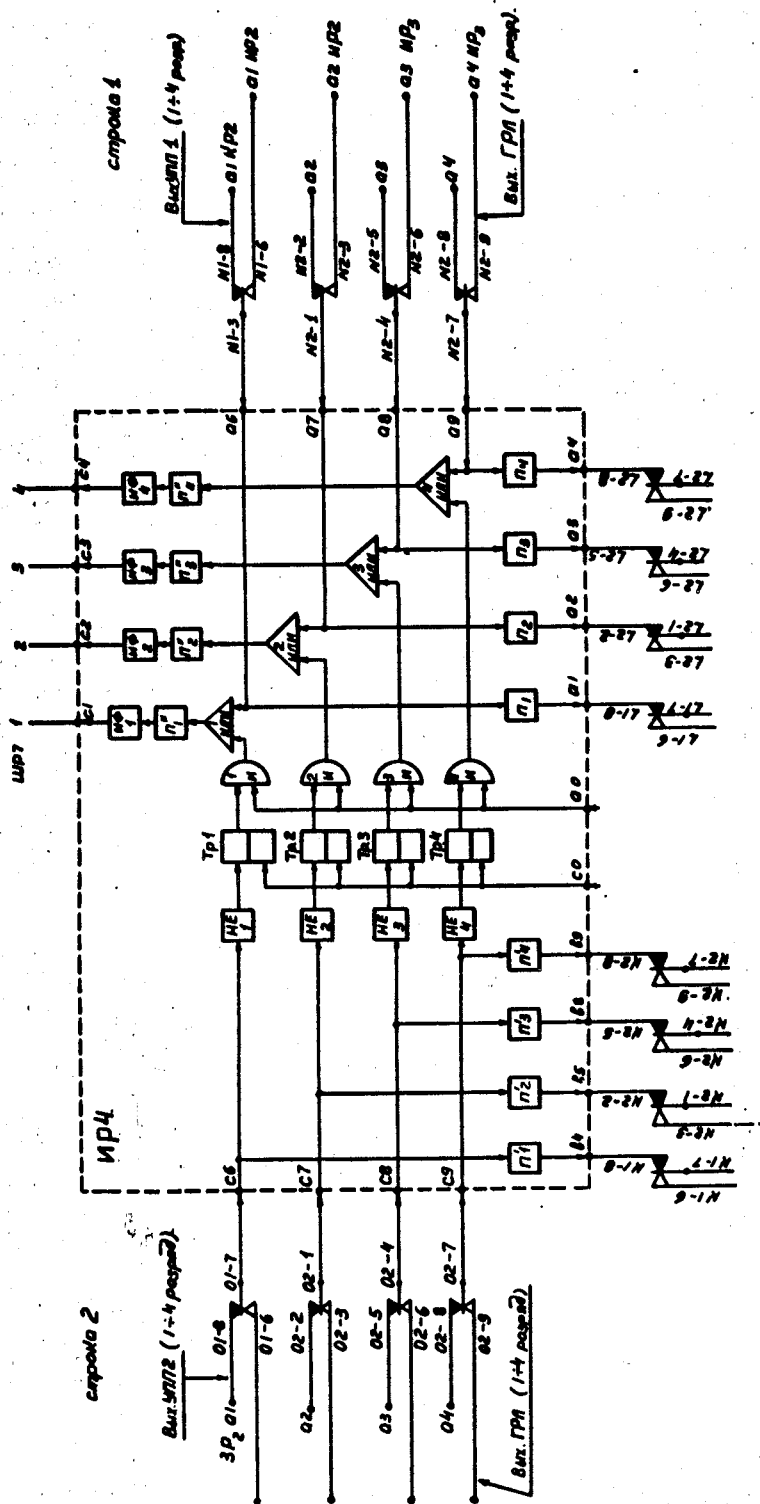


Рис 38 БПН-1 (1+4 posp.)

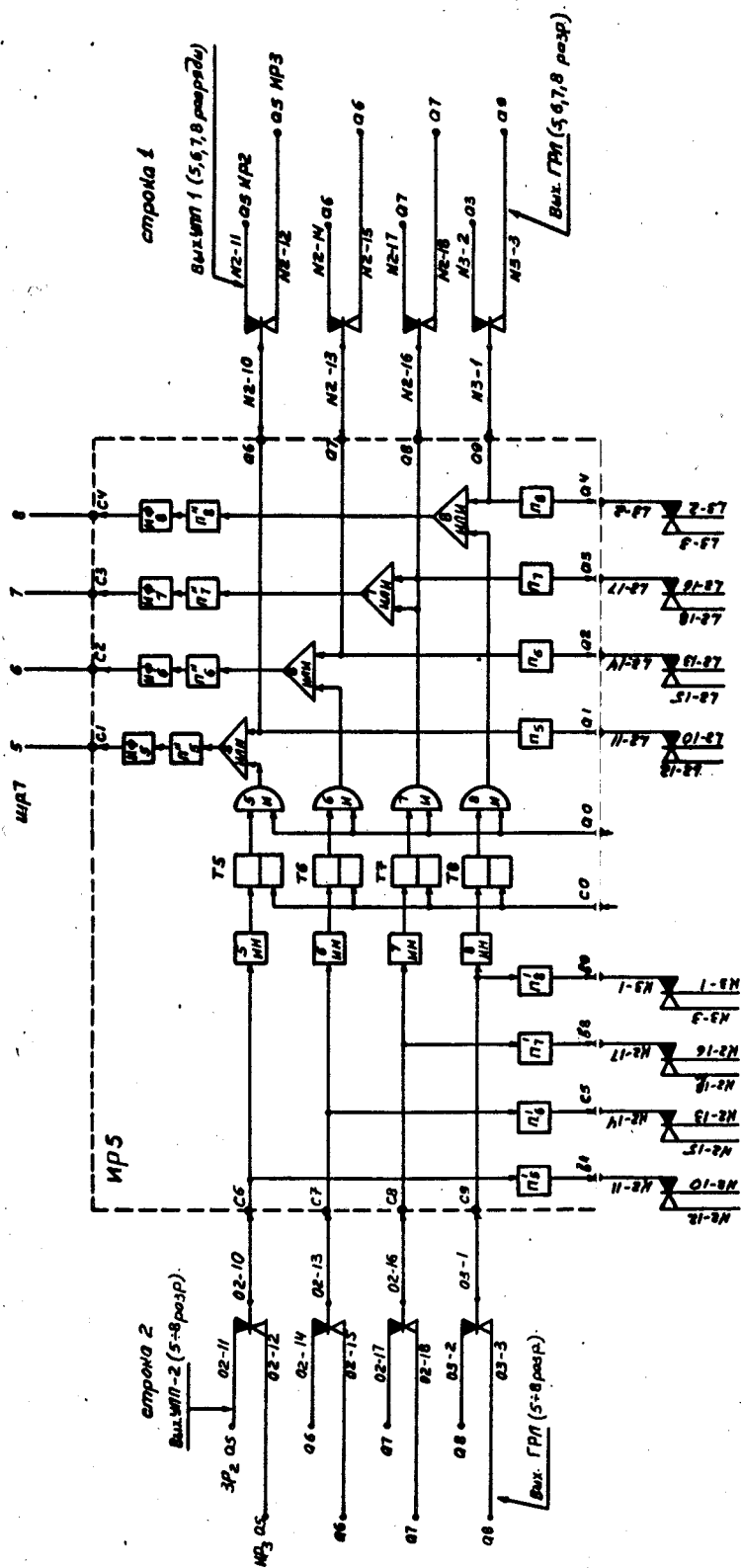


Рис 39 БНН-1 (5+8 passp.)

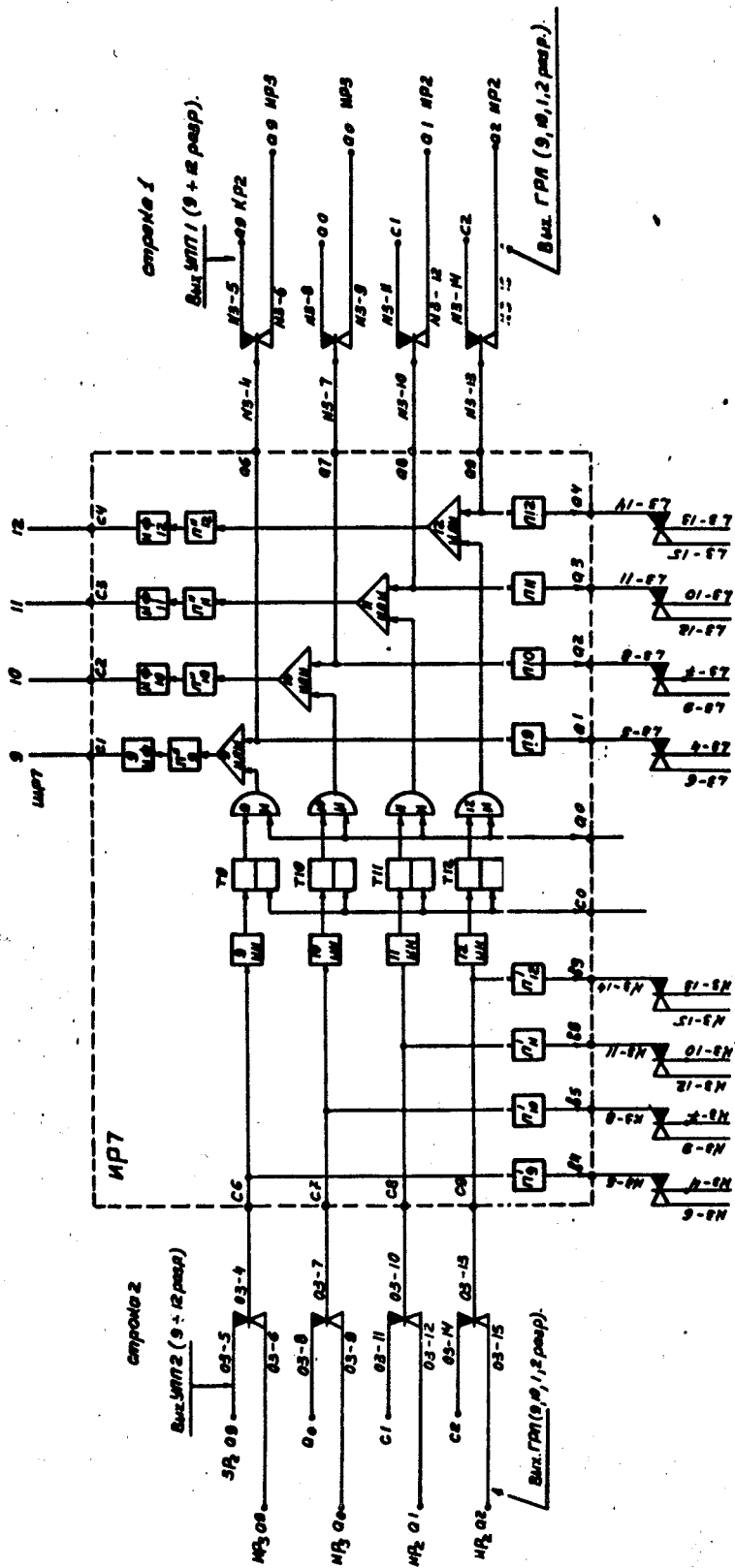


Рис 40 БРН-1 (9+12 пазов)

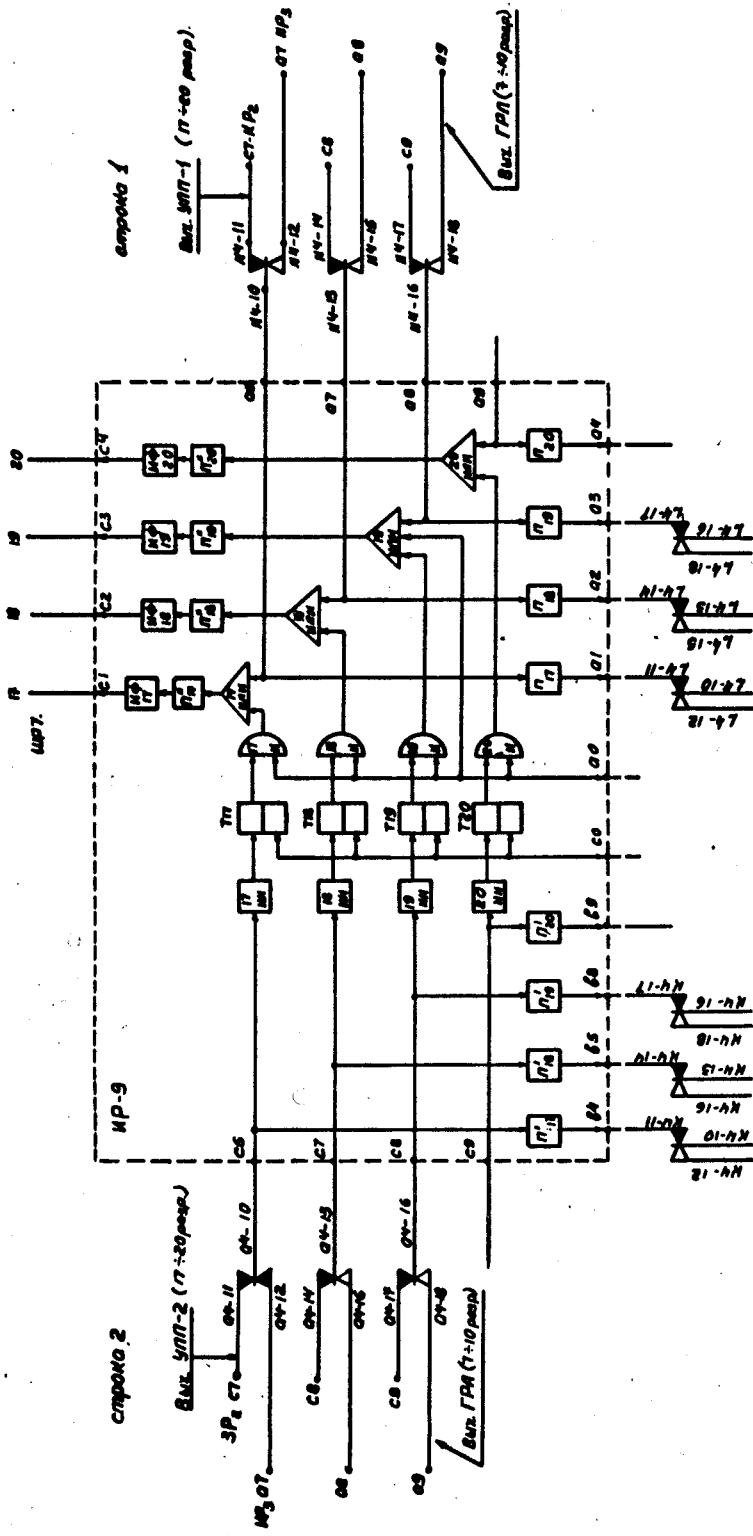


Рис 42. БЛН-1 (17-20 разряды).

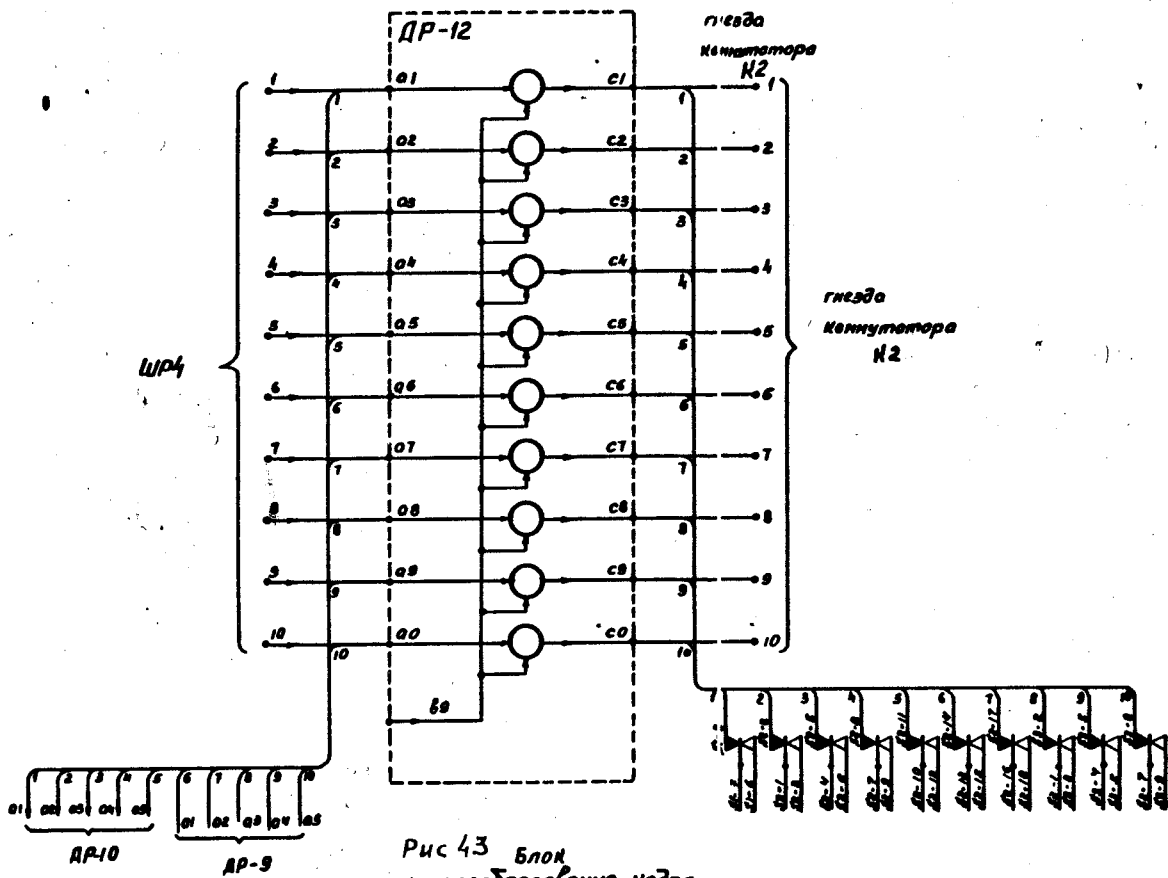


Рис 43 Блок преобразования адреса в параллельный код (1-10 разр.).
БПК-2.

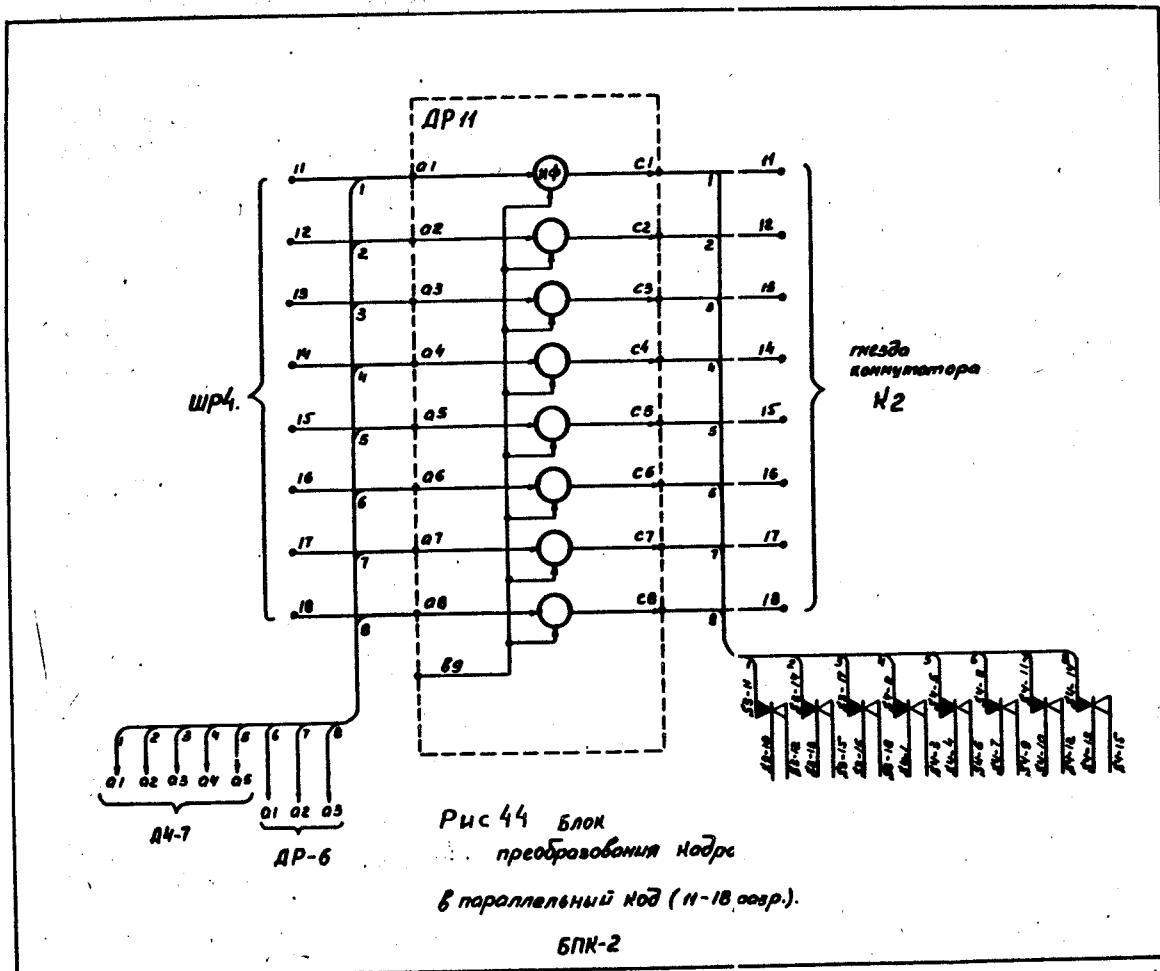
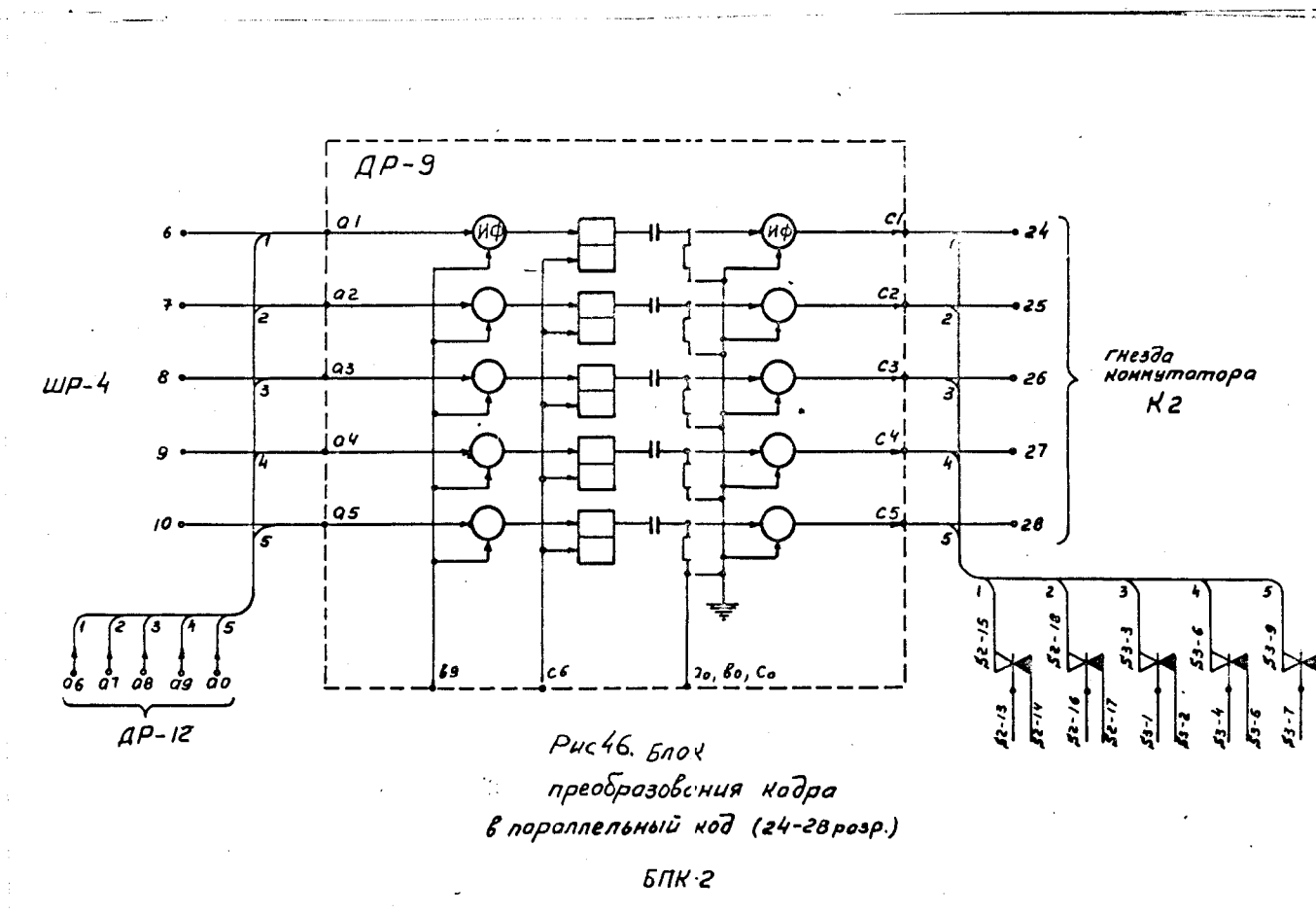
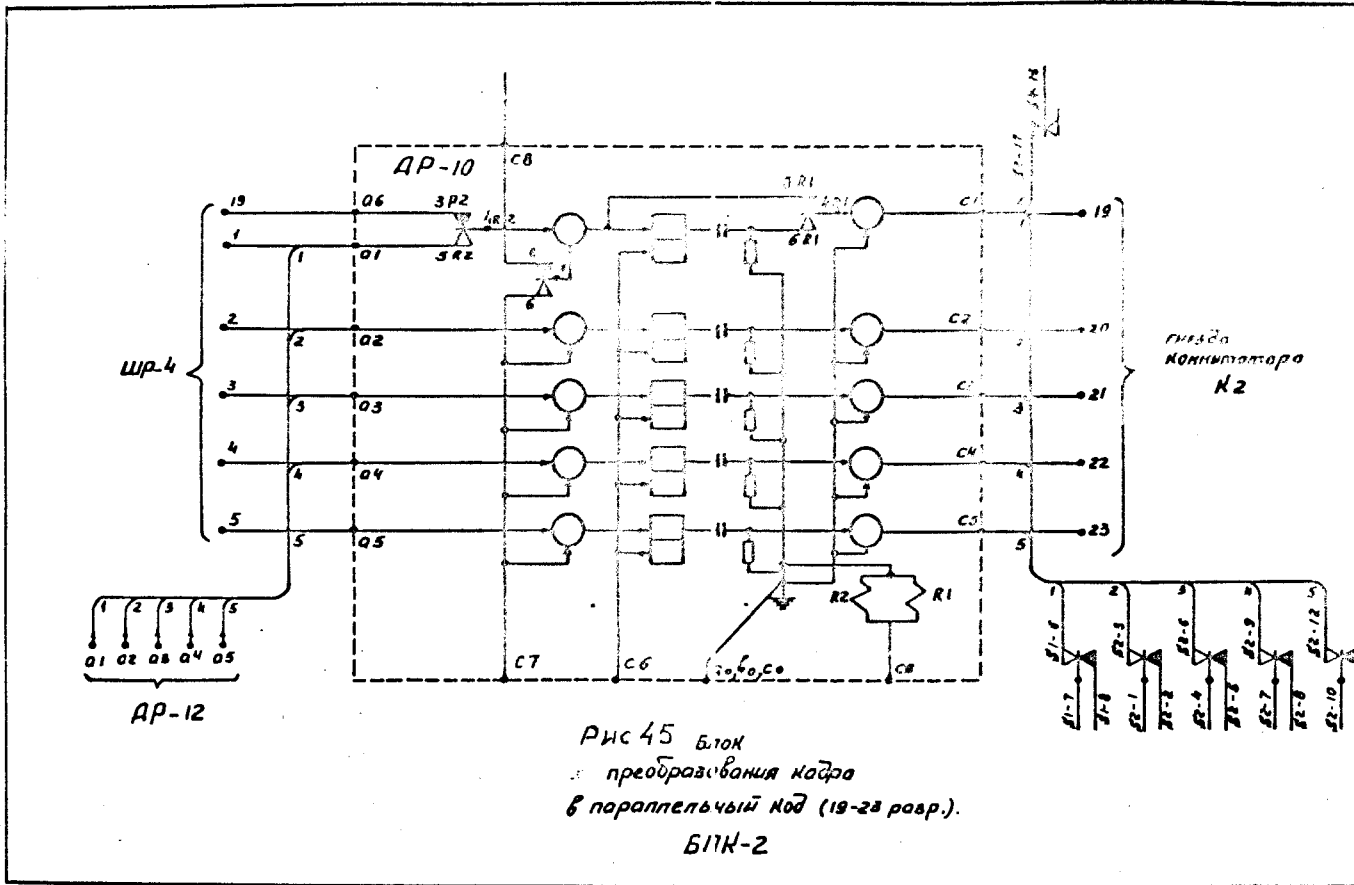


Рис 44 Блок преобразования адреса в параллельный код (11-18 разр.).
БПК-2



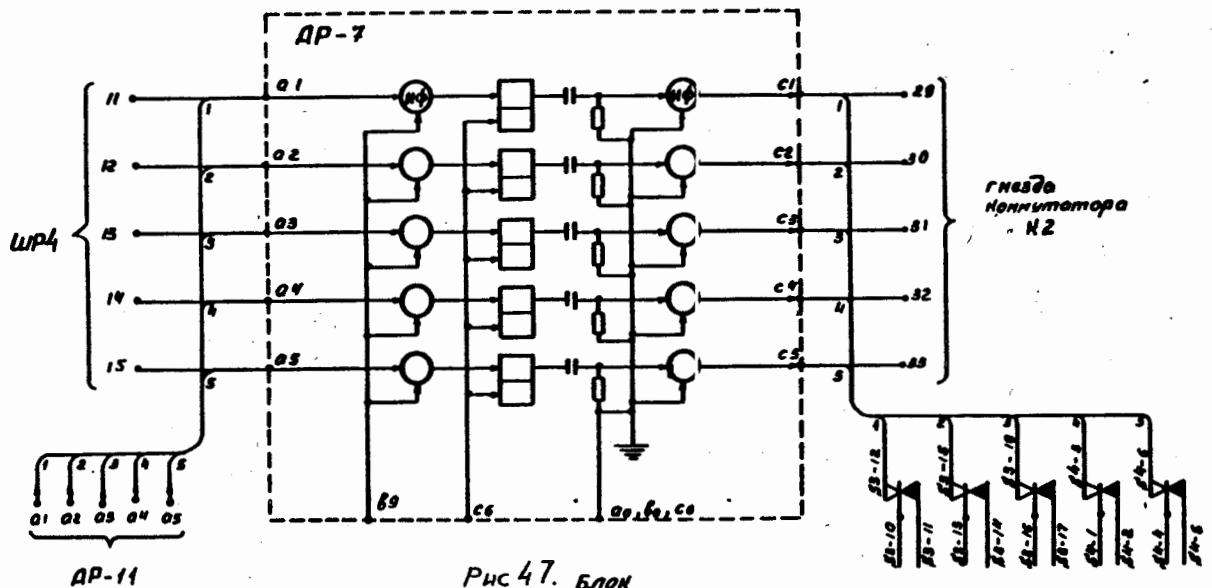


Рис 47. Блок
преобразования кода
в параллельный код (30-33 разр.).
БПК-2

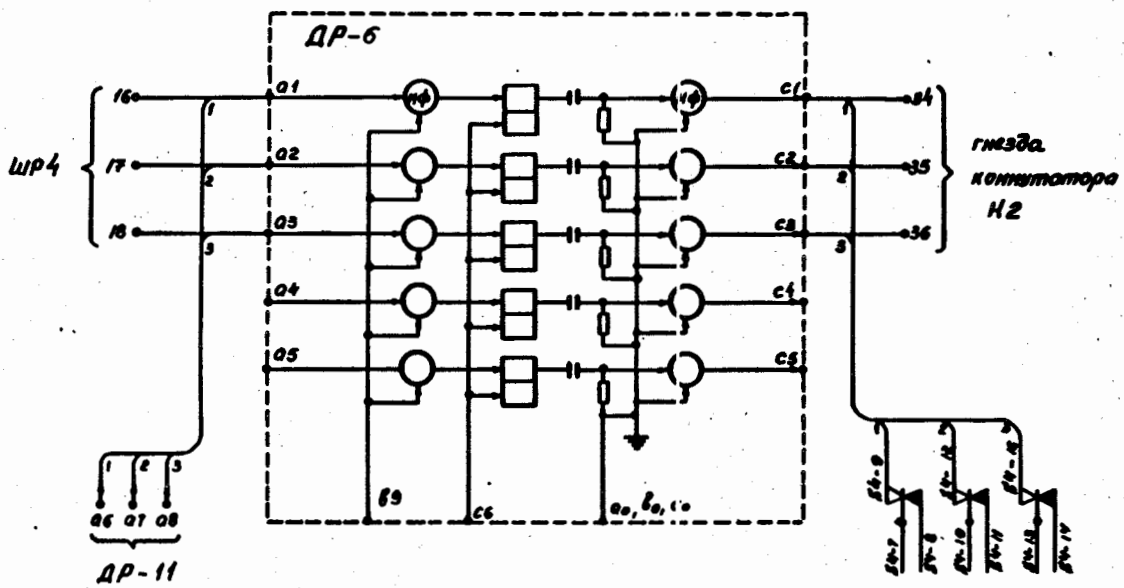


Рис 48 Блок
преобразования кода
в параллельный код (34-36 разр.).
БПК-2

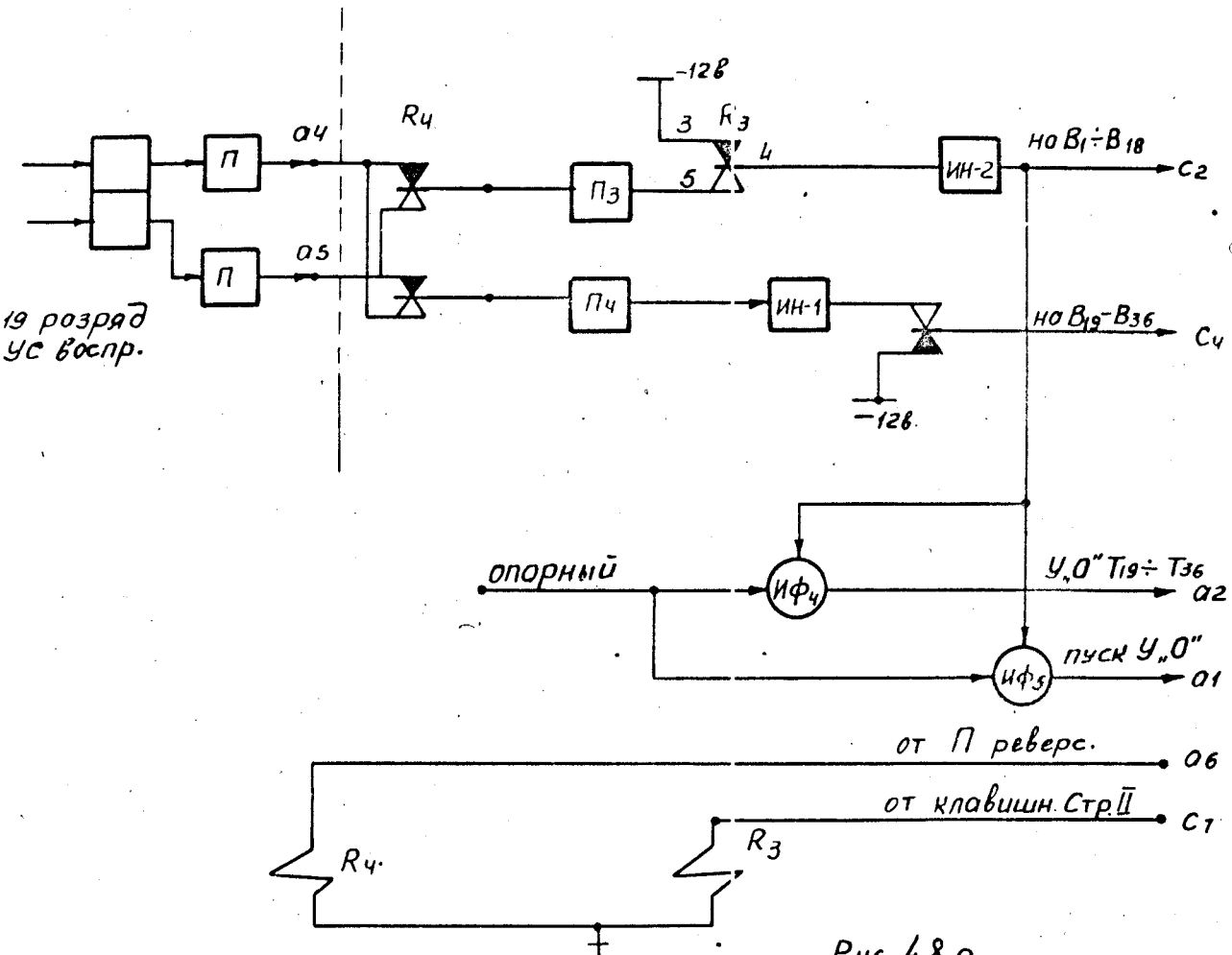


Рис 48 а

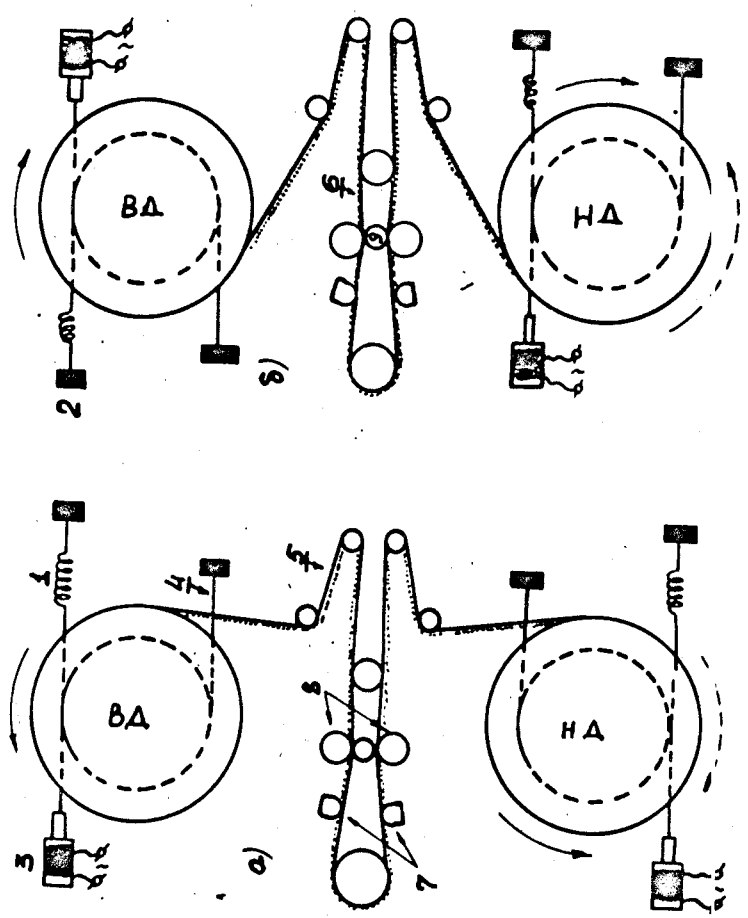


Рис 50. Кинематическая схема тормозного устройства.

а) - исходная схема.
б) - переделанная схема.

- 1- муфта.
- 2- корпус
- 3- соленоид тормоза
- 4- тормозная лента
- 5- магнитный слой
- 6- магнитный слой
- 7- магнитные головки
- 8- триггерные ролики
- 9- тон. вал.

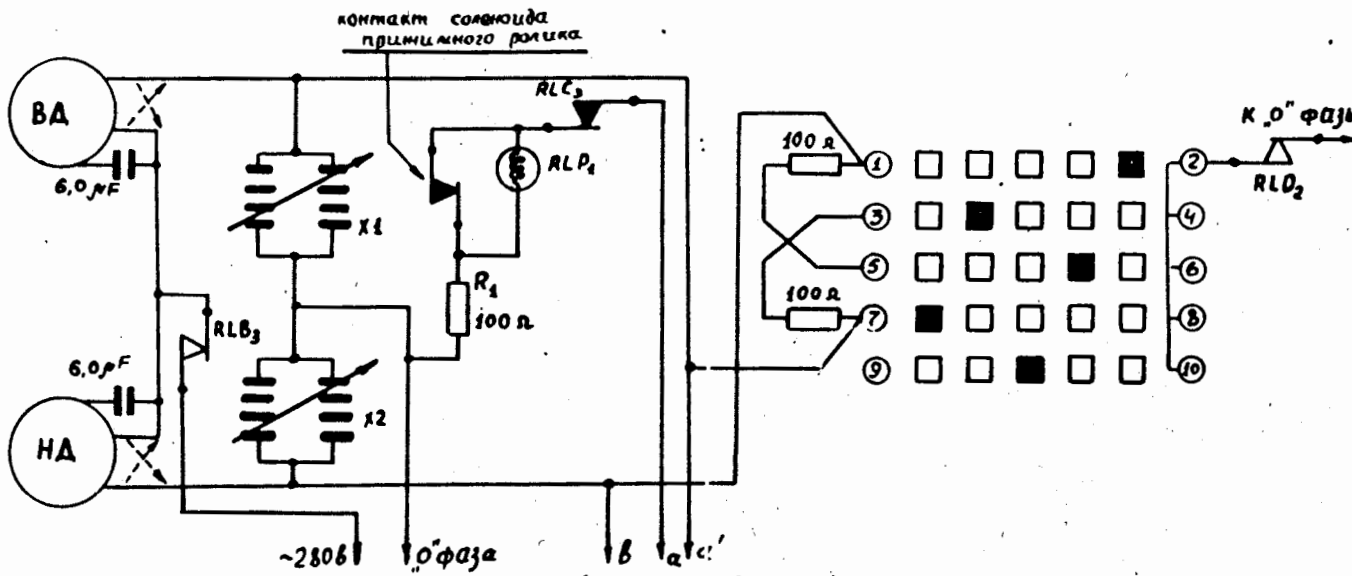


Рис 51 Схема коммутации верхнего и нижнего двигателей.

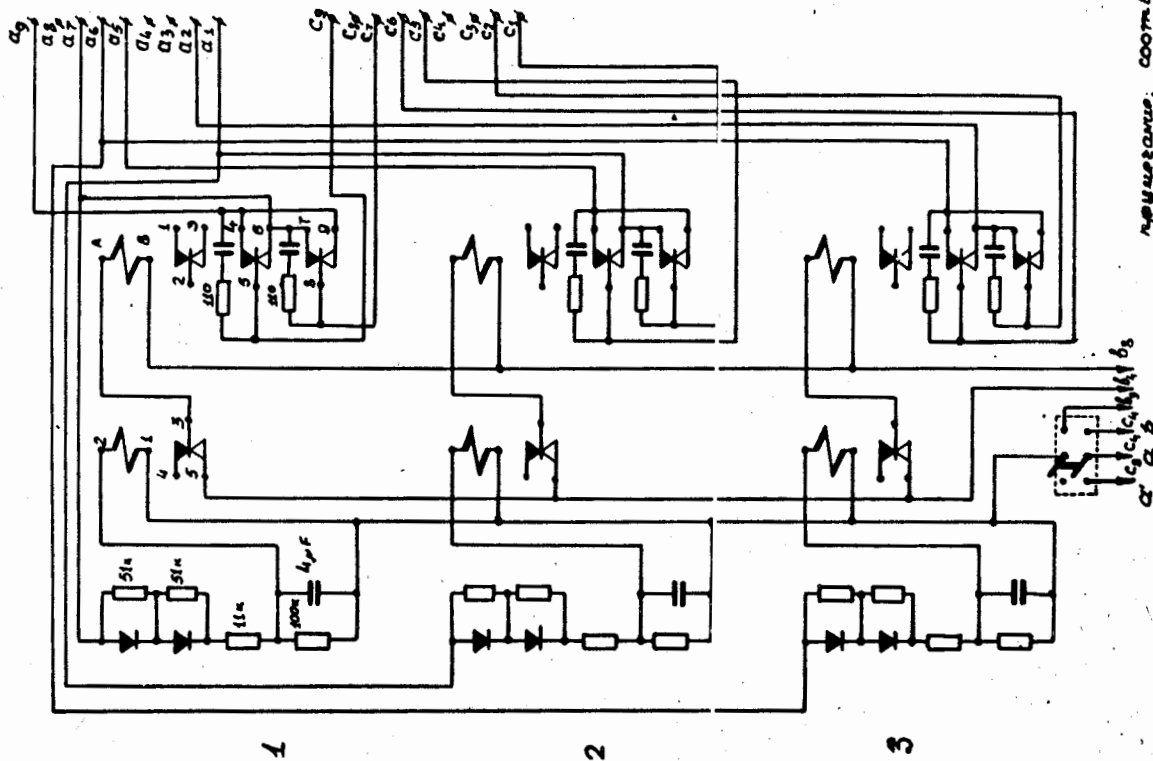
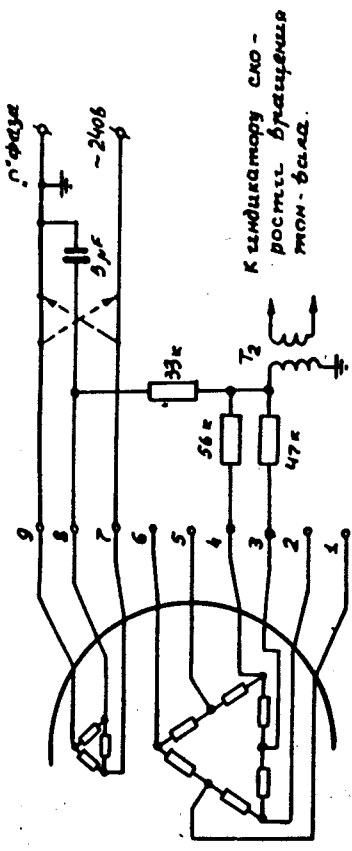
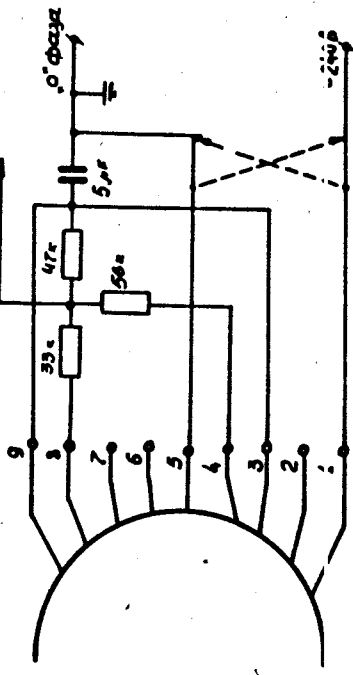


Рис 52. Схема реверса центрального двигателя.



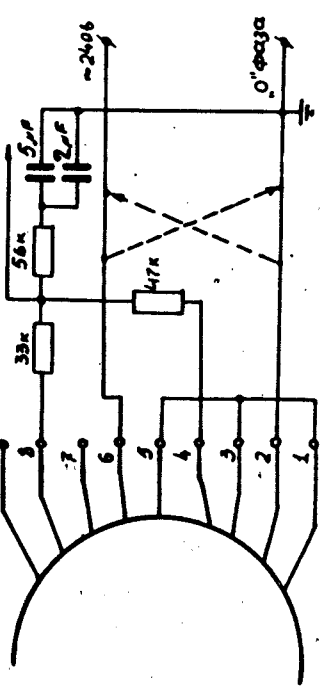
К конденсатору СЮ -
достигается баланс
мощности.

1 и 1' поочередно пер. SD



в трансформаторе T₂

1 и 1' поочередно пер. SD



1 и 1' поочередно пер. SD.

Замечание: стрелками обоз-
начены контакты,
когда катушка переключается
обратно в обратном направлении.

Рис 53 Схема балансировки
центрального обмоточного

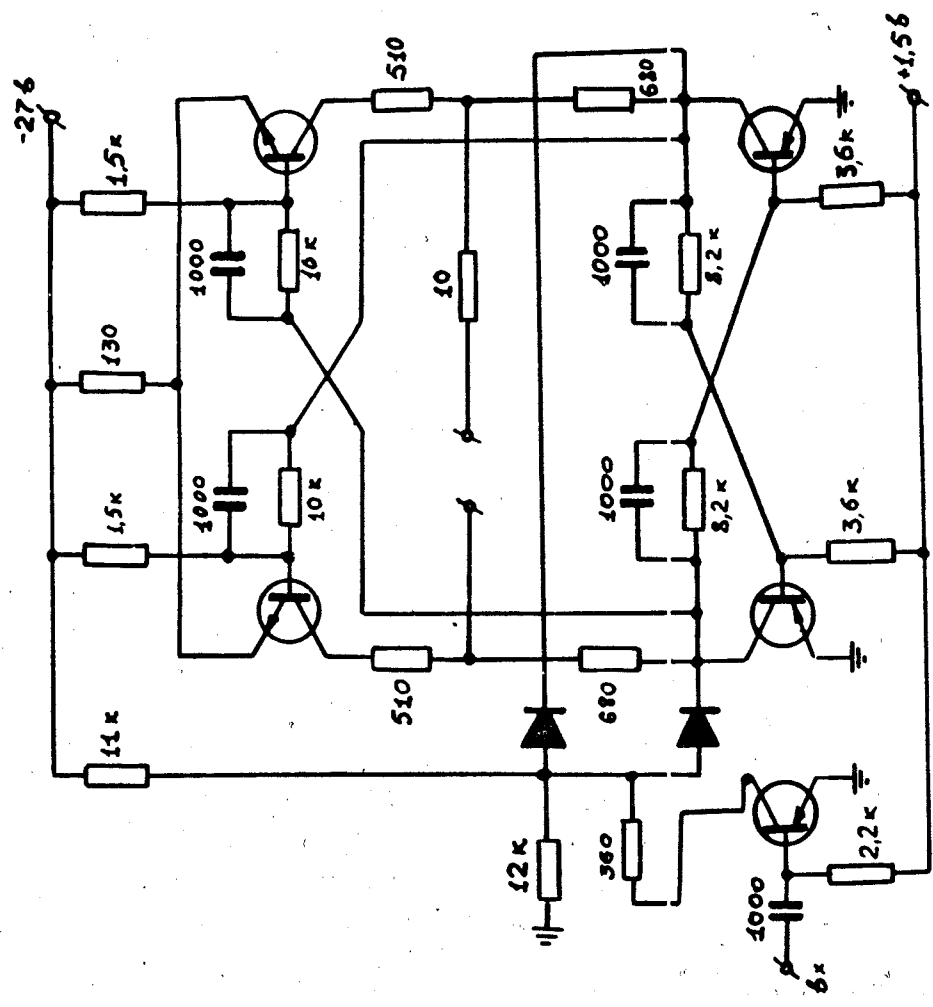


рис. 54 Усилитель записи

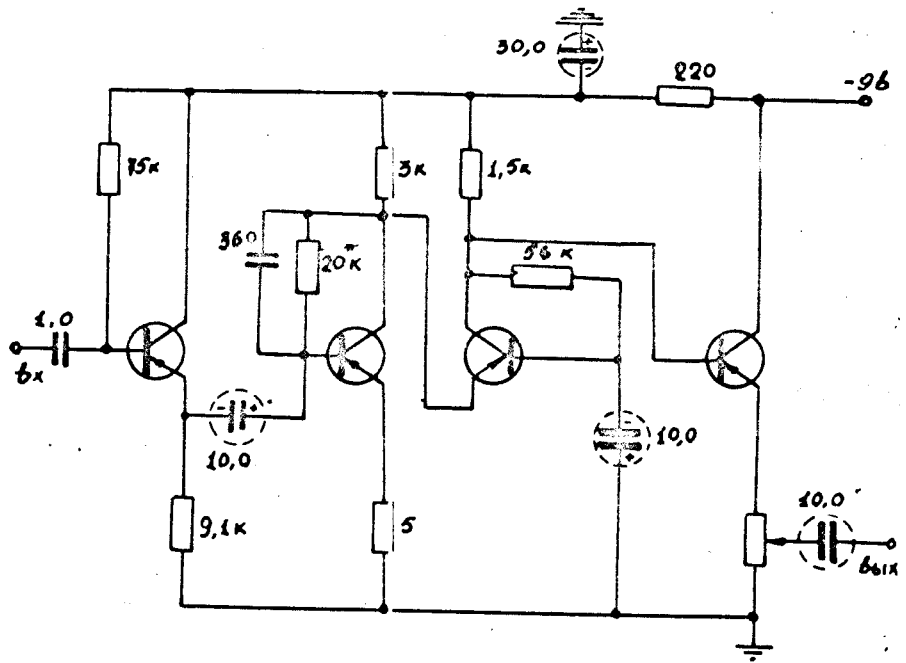


рис 55. Предварительный усилитель
воспроизведения

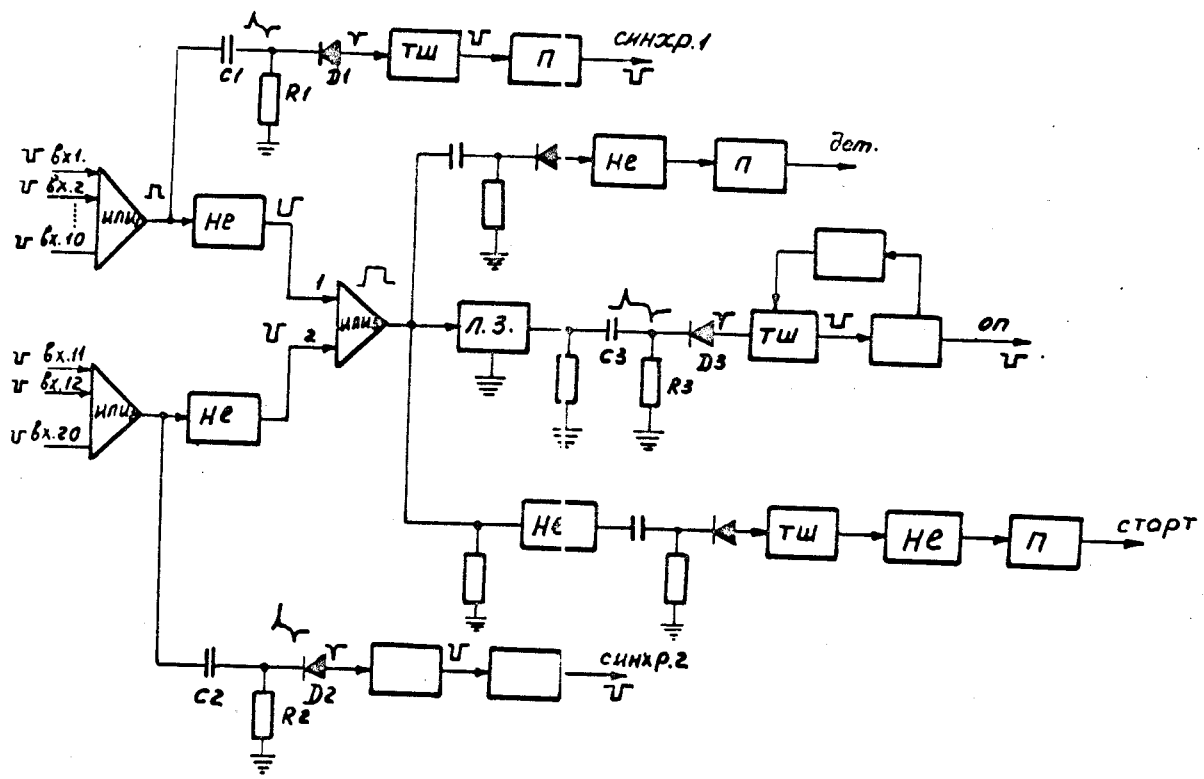


Рис 57. функциональная схема логики.

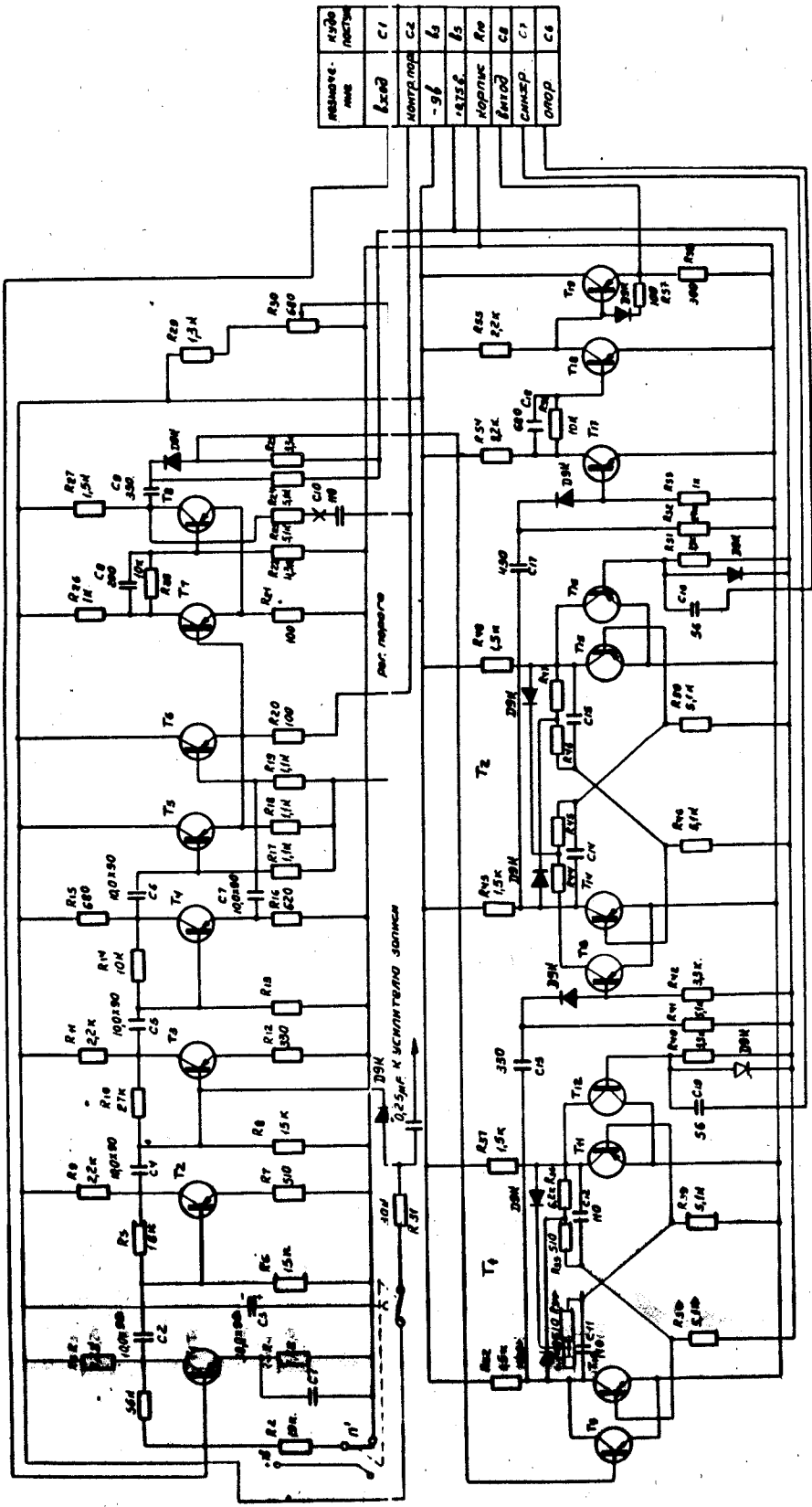
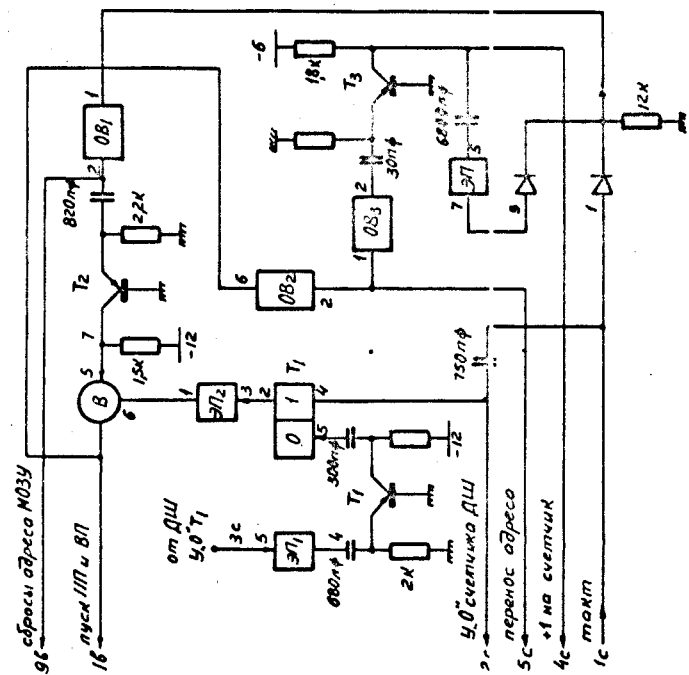
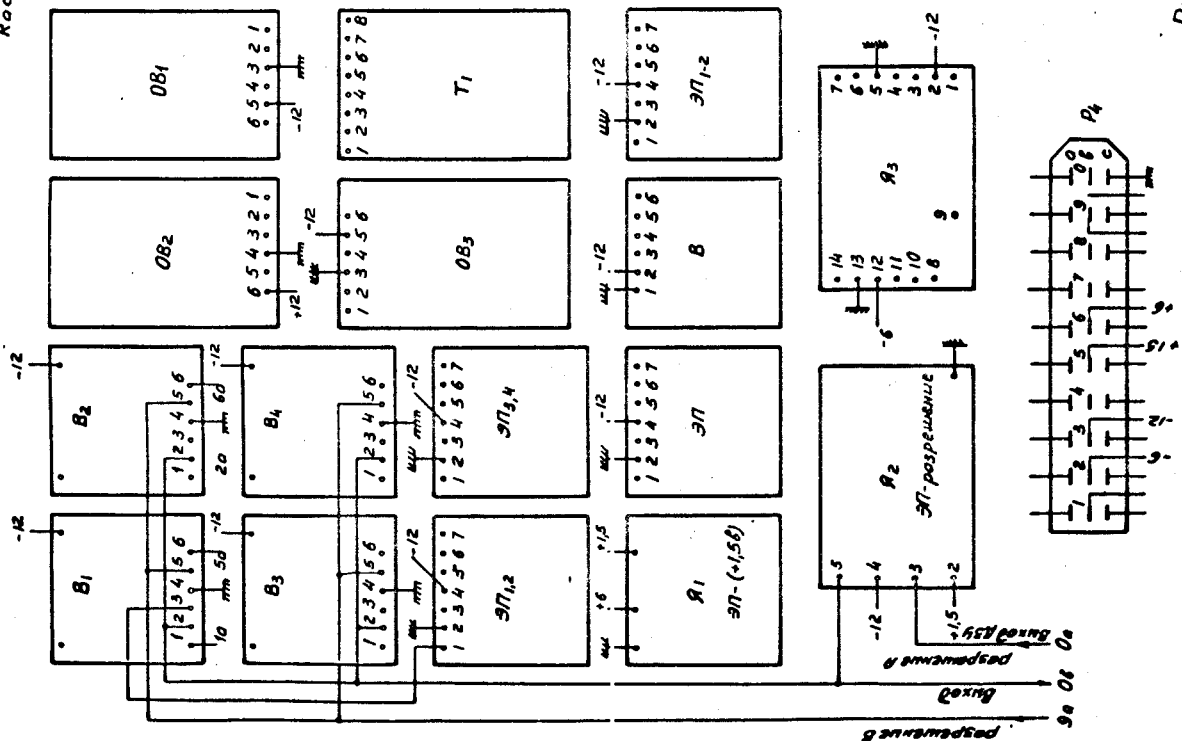


Рис 56. Принципиальная схема усилителя воспроизведения.



Примечание:
Фурнитура сбросо адреса
МОЗУ расположена в косама 4.

Касета 5

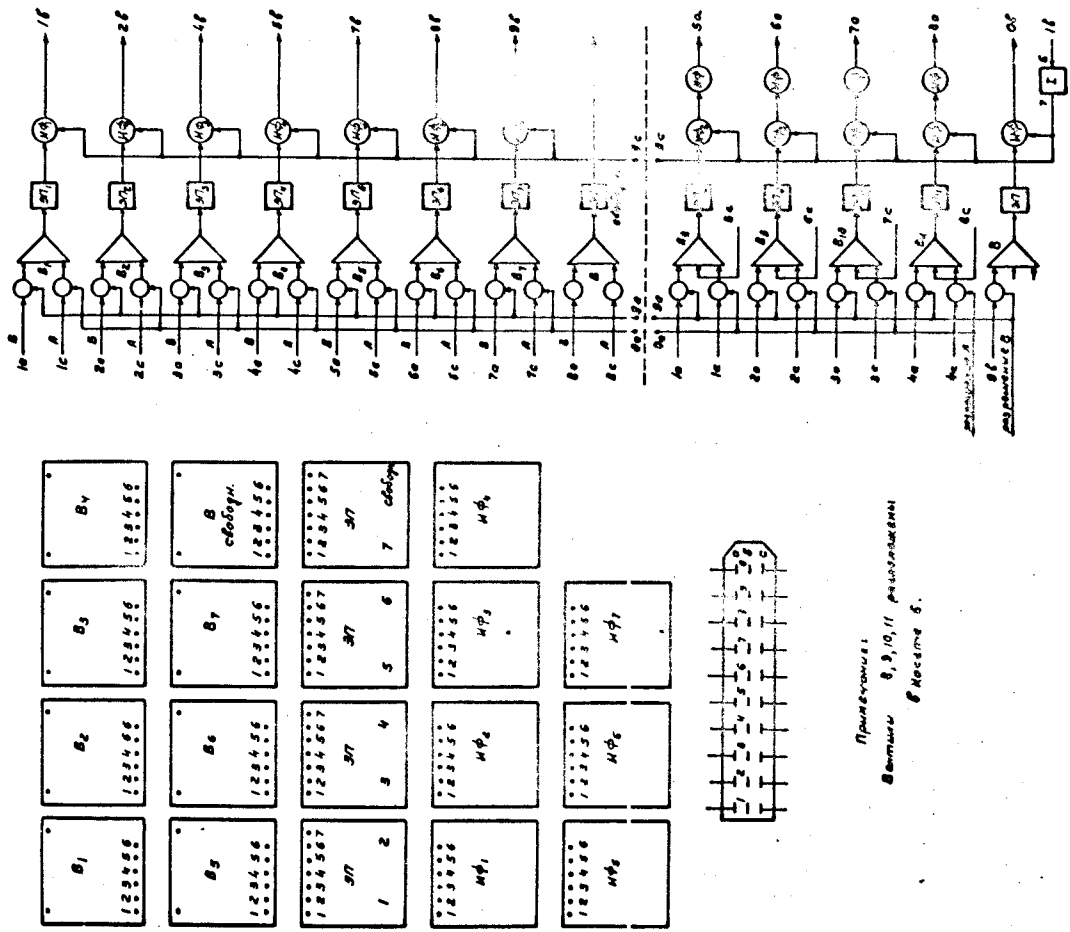


Рис 64

Касета 6

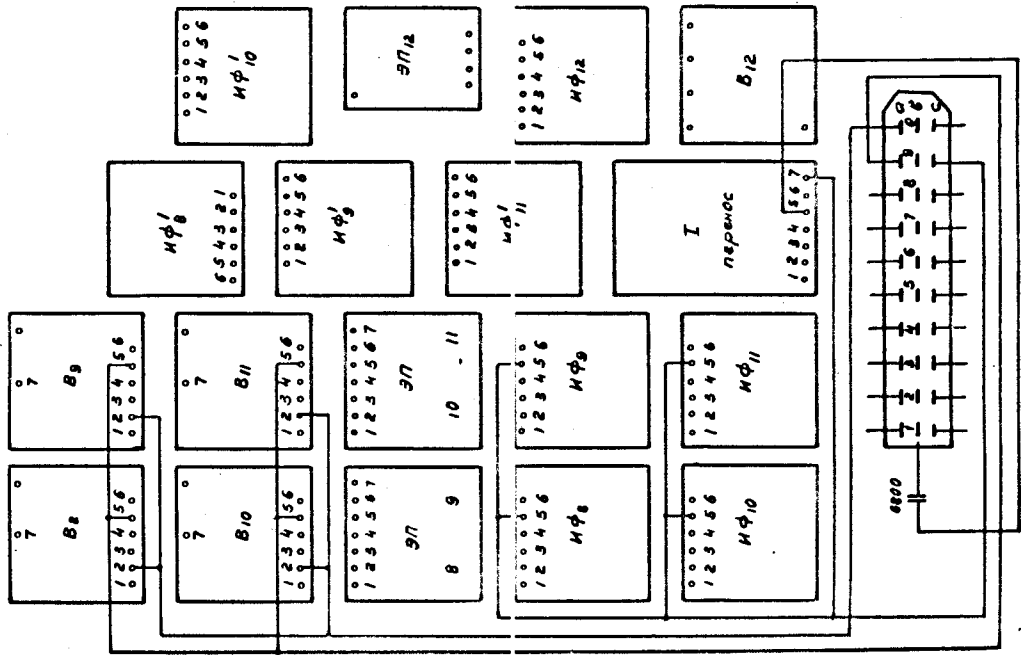


Рис 65

