

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА

9-84-528

Э.М.Глейбман, Н.В.Пиляр

НАБОР МОДУЛЕЙ В СТАНДАРТЕ КАМАК
НА ОСНОВЕ БОЛЬШИХ ИНТЕГРАЛЬНЫХ СХЕМ
ДЛЯ СИСТЕМЫ СИНХРОНИЗАЦИИ УСКОРИТЕЛЯ

Направлено в журнал "Приборы и системы
управления" и на III Всесоюзный семинар по
обработке физической информации, Ереван, 1984 г.

1984

Развитие и совершенствование электронной аппаратуры физических лабораторий, непосредственно связанное с усложнением решаемых задач, в значительной мере определяется состоянием элементной базы - развитием интегральной схемотехники.

Большие интегральные схемы /БИС/ не только заменяют в аппаратуре десятки микросхем средней и малой степени интеграции, но и за счет программируемости и функциональной законченности придают им новые полезные качества.

Для системы временной синхронизации, входящей в состав автоматизированной системы управления тяжелоионного синхротрона ^{/1/}, требуется около 600 каналов синхронизации ^{/2/}. Каждый из таких каналов представляет собой цифровую управляемую задержку, спроектированную на определенный диапазон и шаг изменения.

Основу структуры наиболее распространенной в настоящее время схемы цифровой задержки составляют пересчетные синхронные декады, буферные регистры установок, схемы сравнения и тактовый генератор с кварцевой стабилизацией частоты. В такой структуре число пересчетных декад и частота тактового генератора определяют диапазон изменения задержки, а период частоты - шаг ее изменения.

С целью управления ускорителями цифровые задержки изготавливаются на основе микросхем серий ТТЛ средней степени интеграции ^{/2-5/}. Тактовая частота таких устройств выбирается кратной десяти и лежит в пределах от 10 кГц до 10 МГц, а число пересчетных декад в канале обычно равно $4 + 6$.

Естественное желание разработчиков разместить в блоке большее число каналов наталкивается на трудности, связанные с ограничениями на число возможного размещения микросхем на плате и организацией их связей, а также на энергетическое потребление и отвод тепла. Цифровые задержки, построенные по схеме сканирования памяти ^{/6/}, также не освобождены от этих недостатков. Приблизительно технический уровень такого типа разработок в настоящее время можно проиллюстрировать на примере цифровых управляемых задержек, выполненных в стандарте КАМАК, где четыре канала с шагом 100 нс и диапазоном изменения 0 ± 99999 размещаются в модуле КАМАК двойной ширины ^{/5/}.

Поскольку создаваемая в настоящее время электронная аппаратура управления предназначена для тяжелоионного синхротрона, то при разработке данного набора модулей была выбрана ориентация на максимальное использование больших интегральных схем. Для реализации всего набора в качестве базового элемента выбрана БИС - программируемый таймер типа КР580ВИ53 ^{/7,8/}.

В БИС КР580ВИ53 имеются три 16-разрядных двоичных счетчика, каждый из которых может быть использован как счетчик внешних событий, программируемый делитель частоты, одновибратор с программируемой длительностью импульса. Режимы работы каждого из счетчиков задаются независимо друг от друга путем занесения управляющего слова в специальный регистр /один из разрядов этого регистра задает систему счисления для счетчика - двоичную или двоично-десятичную/. Каждый счетчик имеет свой 16-разрядный буферный регистр и схему анализа на ноль. На вход счетчиков могут поступать импульсы тактового генератора или подсчитываемые импульсы с различных устройств. Пределы изменения входной частоты - от 1 Гц до 2 МГц. Прием входных импульсов управляется независимыми сигналами стробирования. Счетчики работают на вычитание, при равенстве содержимого какого-либо счетчика нулю вырабатывается соответствующий выходной сигнал. Начальные значения счетчиков /соответственно, содержимое буферных регистров/ загружаются в БИС через шину данных. Аналогичным образом загружаются и управляющие слова. Выбор одного из трех счетчиков либо управляющего регистра производится подачей соответствующего кода выборки по двум шинам адреса /A0, A1/, БИС КР580ВИ53 выполняется в пластиковом или керамическом корпусе с 24 выводами, требуемое напряжение питания 5 В, потребляемая мощность 1 Вт.

Сравнение стоимости БИС с суммарной стоимостью 12 ИС типа К155ИЕ7 и 12 ИС типа К155ТМ7 по уровню цен текущего года дает выигрыш в два раза в пользу БИС КР580ВИ53. Таким образом, даже без учета стоимости схем сравнения и других схем "обвязки", а также если не принимать во внимание очевидный выигрыш за счет упрощения топологии печатной платы модуля и уменьшения потребляемой мощности, использование БИС КР580ВИ53 в схемах цифровых задержек экономически целесообразно.

Возможности модулей с точки зрения пользователя иллюстрируют их структурные схемы и временные диаграммы, приведенные на рис.1.

Модули БЗ-8К и БЗН /рис.1а/ имеют по восемь каналов цифровых управляемых задержек с общим стартовым входом, относительно которого производится задержка сигнала в независимом канале.

В режиме двоично-десятичного счета задержка выходного сигнала в канале относительно стартового сигнала может изменяться в модуле БЗ-8К от 0 до 9999 п, а в модуле БЗН - от 0 до 99999 п, где п - величина периода тактовой частоты внешнего генератора. Максимальное значение тактовой частоты для модуля БЗ-8К равно 1 МГц, для модуля БЗН-10 МГц, что соответствует минимальному шагу изменения задержки в канале 1 мкс и 100 нс соответственно.

Модуль БВ0 /рис.1б и рис.2/ содержит восемь независимых каналов, каждый из которых может работать как цифровая управляемая задержка /минимальный шаг - 1 мкс, диапазон изменения $0 \div 9999$ п/, одновибратор с программируемой длительностью /минимальный шаг

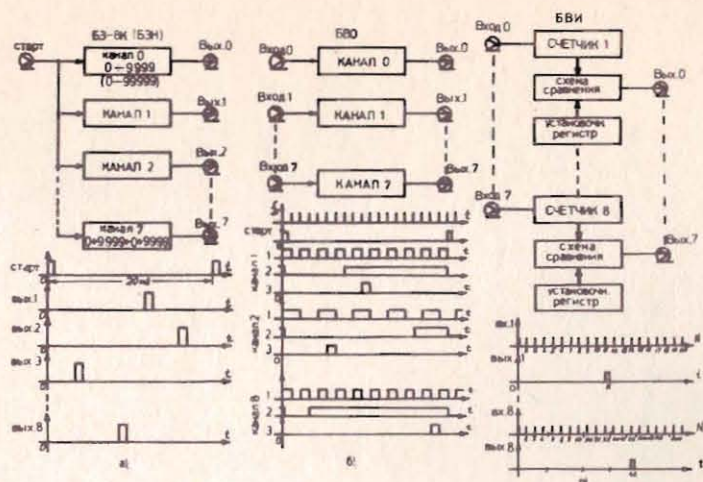


Рис.1. Блок-схема и временные диаграммы работ модулей.

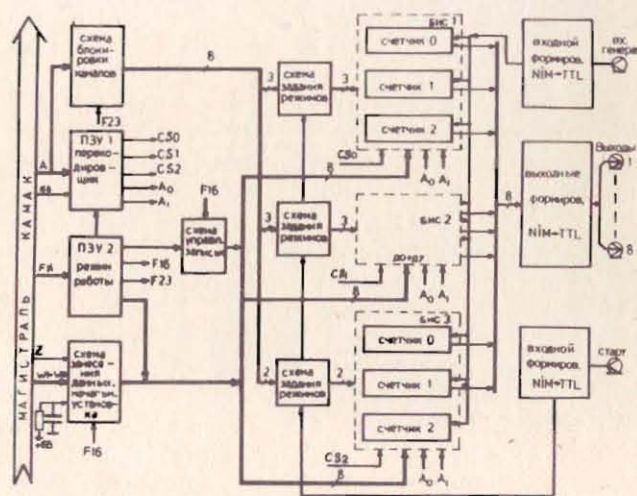


Рис.2. Функциональная схема блока временных отметок.

изменения длительности - 1 мкс, диапазон изменения $0 \div 9999 \cdot n /$ и управляемый делитель частоты /диапазон изменения частоты $1 \text{ МГц} \div 100 \text{ Гц}/$.

Схема модуля реализована таким образом, что при переходе с одного режима на другой пользователю не надо программировать состояние управляющего регистра, достаточно только подать соответствующую функцию КАМАК и номер канала в поле субадреса.

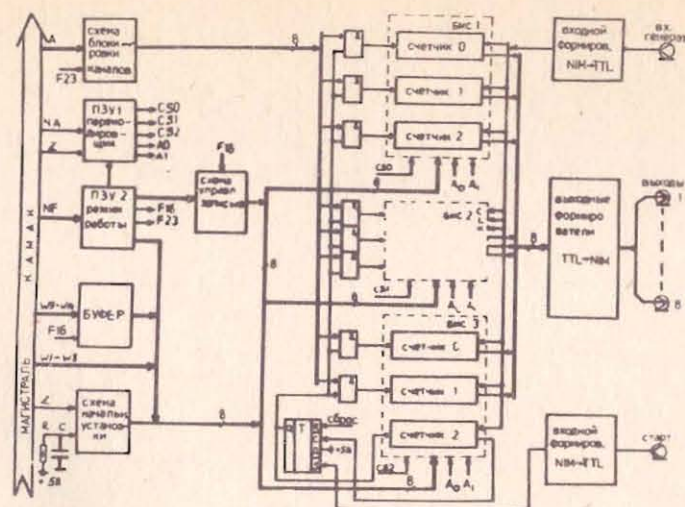


Рис.3. Функциональная схема блока задержек.

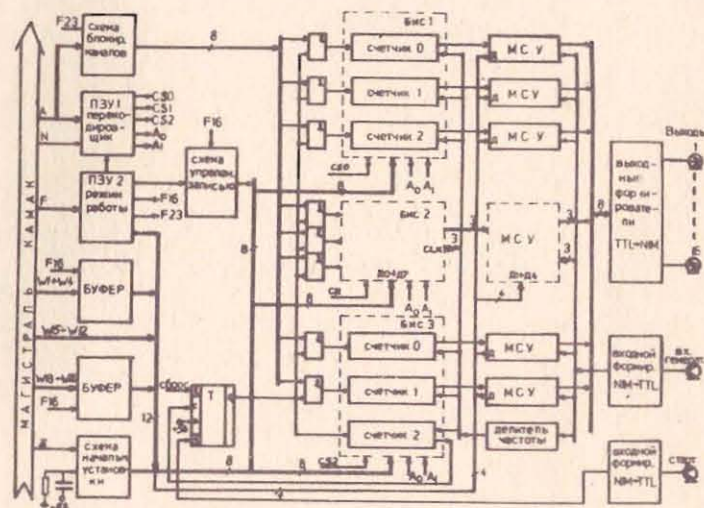


Рис.4. Функциональная схема блока задержек с шагом 100 нс.

Специальной командой возможно расширение диапазона работы 7-го канала путем подключения последовательно к его выходу еще четырех декад.

В модуле BVI /рис.1в/ имеется восемь идентичных каналов, каждый из которых состоит из 16-разрядного счетчика, схемы сравнения и установочного регистра.

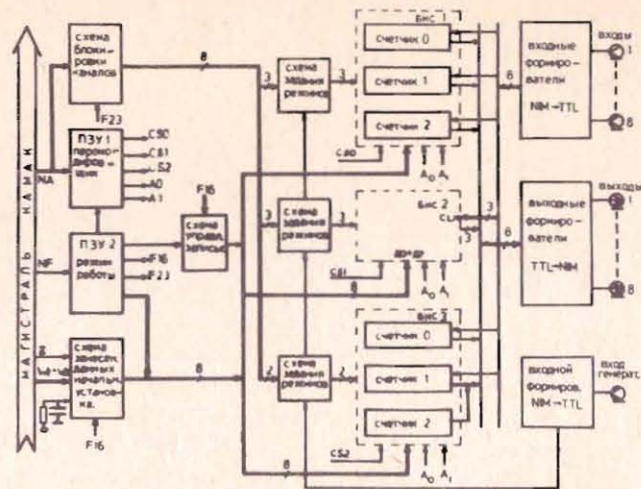


Рис.5. Функциональная схема блока выбора импульсов.

На входы модуля могут поступать импульсы стационарной либо случайной последовательности. При совпадении кода, установленного в регистре, с числом импульсов, просчитанных счетчиком, выдается маркерный сигнал. Тем самым осуществляется выделение нужного импульса из последовательности.

Максимальная частота импульсов входной последовательности - 2 МГц.

Во всех модулях набора реализована процедура начальной установки, по которой при включении питания в крейте /либо при подаче команды КАМАК "Z"/ производится блокировка работы всех каналов и устанавливается режим управляемой задержки.

Разблокировка канала осуществляется специальной функцией КАМАК с указанием в поле субадреса номера соответствующего канала.

Функциональные схемы модулей набора приведены на рис.2-5, структура их достаточно идентична.

В каждом модуле используется по три БИС - программируемых таймера типа КР 580ВИ53, схемы сопряжения шины данных БИС с шинами магистрали крейта, схемы управления записью в БИС, два ПЗУ /К155РЕ3/, схемы начальной установки режимов, входные и выходные формирователи, схемы установки и снятия блокировки в каналах.

Постоянное запоминающее устройство ПЗУ1 служит для перекодировки двоичного номера канала, поступающего по шинам А0+А8 магистрали крейта в управляющие сигналы выбора кристалла /CS0÷CS2/ и коды выборки счетчиков /A0, A1/. "Прошивка" ПЗУ1 для всех модулей идентична. ПЗУ2 используется как декодер функции КАМАК, кроме того, в нем же хранятся константы для управляющих регистров,

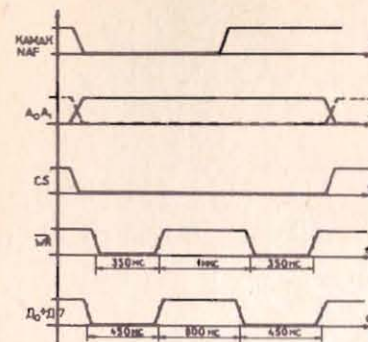


Рис.6. Временная диаграмма записи 16-разрядного слова.

соответствующие задействованным режимам. "Прошивка" ПЗУ2 для различных модулей разная и определяется набором используемых в модуле функций КАМАК.

Поскольку шина данных БИС КР580ВИ53 восьмиразрядная, то для установки значения задержки /шестнадцать двоичных разрядов/ требуется два такта записи с промежутком между командами записи не менее 1 мкс. Это неудобно с точки зрения применения аппаратуры КАМАК, т.к. для установки шестнадцатиразрядного кода задержки потребуется две команды КАМАК - побайтные пересылки данных на двадцатичетырехразрядной магистрали не оправданы, кроме того, усложняется программирование модулей.

Для исключения этого недостатка во всех модулях введен буферный регистр на старший байт записываемого 16-разрядного слова и реализована специальная схема управления, формирующая два последовательных сигнала записи для младшего и старшего байтов /рис.6/.

Схема установки и снятия блокировок в каналах представляет собой дешифратор 3 на 8 и восемь независимых триггеров, входы которых через логические ворота управляют входом стробирования соответствующего канала. Для установки /или снятия/ блокировки используется одна функция КАМАК F23, производящая смену состояния блокировки в канале, номер которого указан в субадресной части команды КАМАК. На второй вход ворот в модулях БЗ-8К, БЗН и БВИ подается выход счетчика №2 третьего БИС.

Всякий раз при включении питания этот счетчик устанавливается в режим 1 /программируемый одновибратор/ на максимальную длительность выходного сигнала. Поскольку на вход CLK счетчика №2, так же как и на все счетчики БИС, подаются сигналы тактовой частоты, а на вход стробирования - стартовый сигнал, то вторые входы всех ворот будут открыты на все время длительности диапазона задержки /либо времени экспозиции для модуля БВИ/.

Выходные формирователи обеспечивают возможность работы на согласованную нагрузку 50 Ом, используются уровни сигналов, принятые для КАМАК по передней панели /стандарт NIM/. Для каскадирования каналов по входам модулей установлены формирователи, преобразующие сигналы уровня стандарта NIM в уровни сигналов транзисторно-транзисторной логики.

Для увеличения диапазона изменения задержки до пяти двоичных декад в модуле БЗН применена БИС многофункционального синхронизирующего устройства /МСУ/ типа К589ХЛ4, вход которой после-

довательно подключен к выходу соответствующего счетчика в канале /рис.4/. Использование БИС К589ХЛ4 в модуле БЗН позволило также получить минимальный шаг изменения задержки в канале 100 нс.

ОСНОВНЫЕ ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ МОДУЛЕЙ

Модуль БВО

Входные и выходные уровни сигналов соответствуют стандарту

NIM.	
Входное сопротивление	50 Ом
Длительность выходного сигнала	100 нс
Шаг изменения задержки	1000 нс
Диапазон изменения задержки	от 0 до 9,999 мс
Температурная нестабильность	не хуже $10^{-5}/^{\circ}\text{C}$
Длительность выходного сигнала	100 нс
Сигнал Z сбрасывает триггеры и устанавливает БИС в режим задержки.	

Запись данных производится по шинам W1 ÷ W16

Задействованные команды КАМАК:

- F16 - запись в БИС
- F23 - блокировка каналов
- F22 - расширение диапазона 7-го канала
- F24 - режим задержки
- F25 - режим одновибратора
- F26 - режим "Делитель частоты".

При выполнении перечисленных команд в модуле формируется сигнал X = 1.

Ширина блока	1 М
Используемое питание	+6 В, -6 В
Потребляемый ток	1,15 А по +6 В

Модуль БЗ-8К

Функции КАМАК

- F24 - задержка
- F23 - блокировка/разблокировка
- F16 - запись данных

Входное сопротивление	50 Ом
Длительность входного сигнала	100 нс
Минимальный шаг изменения задержки	1000 нс
Диапазон изменения задержки	от 0 до 9999
Длительность входного сигнала	100 нс
Запись данных производится по шинам	W1 ÷ W16
Ширина блока	1 М
Используемое питание	+6 В
Потребляемый ток питания +6 В	1,1 А.

Модуль БЗН-8К

Функции КАМАК

- F24 - задержка
- F23 - блокировка/разблокировка каналов
- F16 - запись данных

Входное сопротивление	50 Ом
Длительность входного сигнала	100 нс
Минимальный шаг изменения задержки	100 нс
Диапазон изменения задержки	от 0 до 99999
Длительность выходного сигнала	100 нс
Запись данных производится по шинам	W1 ÷ W6
Ширина блока	1 М
Используемое питание	+6 В
Потребляемый ток на +6 В	1,9 А

ЗАКЛЮЧЕНИЕ

Использование БИС КР580ВИ53 позволило:

- максимально сократить номенклатуру модулей, входящих в стандартный набор, за счет программируемости функций;
- повысить технико-экономический уровень модулей по сравнению с аналогами за счет увеличения числа каналов в модуле, снижения энергопотребления и упрощения топологии печатной платы, а также единого схемотехнического решения;
- повысить такие важные эксплуатационные качества модулей, как надежность и удобство в использовании.

В процессе исследования макетов и наладки модулей мы убедились, что БИС КР580ВИ53, выполненные в керамическом корпусе, имеют более высокие частотные характеристики, чем в пластмассовом корпусе. Так, например, запись двух байтов в БИС в керамическом корпусе можно проводить с интервалом не в 1 мкс, как это указано в /7/, а с интервалом в $250 \div 300$ нс, что в применении к стандарту КАМАК позволило бы отказаться от буферного регистра для старшего байта и провести запись шестнадцатиразрядного числа за 1 мкс.

Опыт использования БИС К589ХЛ4 показывает, что эта универсальная и удобная в применении схема, на наш взгляд, была бы еще более полезна, если бы имела входной четырехразрядный регистр.

Авторы выражают благодарность Г.Е.Королевой и А.Г.Мицельмахер за разработку печатных плат блоков.

ЛИТЕРАТУРА

1. Глейбман Э.М. и др. В сб.: Труды VIII Всесоюзного совещания по ускорителям заряженных частиц. Протвино, 1982, ОИЯИ, Дубна, 1983, т. 2, с. 304.

2. Матюхин С.С. и др. В сб.: "Аппаратура радиоэлектроники, диагностики и автоматизированного управления бустера серпуховского ускорителя". Изд-во ФИАН СССР, М., 1980, с. 72.
3. Груздев В.С. и др. В сб.: Труды VII Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1982, т. П, с. 147.
4. Кресло Е.А., Осипов В.В., Сухоруков А.Н. Приборы и системы управления. "Машиностроение", М., 1981, №4.
5. Лебедев Н.И. ОИЯИ, 9-12326, Дубна, 1979.
6. Каргальцев В.В. и др. В сб.: Тезисы докладов VI Всесоюзной конференции "Автоматизация научных исследований на основе применения ЭВМ". Изд. СО АН СССР, Новосибирск, 1981, с. 37.
7. INTEL DATA CATALOG.
8. Алексеенко А.Г., Галицын А.А., Иванников А.Д. "Проектирование радиоэлектронной аппаратуры на микропроцессорах", "Радио и связь", М., 1984.
9. Березенко А.И., Корягин Л.Н., Назарьян А.Р. "Микропроцессорные комплекты повышенного быстродействия", "Радио и связь", М., 1981.

Рукопись поступила в издательский отдел
18 июля 1984 года.

Глейбман Э.М., Пиляр Н.В. 9-84-528
Набор модулей в стандарте КАМАК на основе больших интегральных схем для системы синхронизации ускорителя

Разработан набор модулей в стандарте КАМАК на основе больших интегральных схем для системы синхронизации ускорителя. Диапазон изменения задержек от 0 до 9999 /0 ÷ 99999/ с шагом регулировки 1 мкс /100 нс/. Применение БИС КР580ВИ53 позволило повысить технико-экономический уровень модулей по сравнению с аналогами за счет увеличения числа каналов в модуле, снижения энергопотребления и упрощения топологии печатной платы, а также единого схемотехнического решения.

Работа выполнена в Отделе новых методов ускорения ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1984

Перевод О.С.Виноградовой

Gleibman E.M., Pilar N.V. 9-84-528
CAMAC Module Family Based on Big Integral Circuits for the Accelerator Synchronization System

The new family of CAMAC modules has been constructed on the basis of BIC-memory for the accelerator synchronization system. Total scale of range delay is 0 ÷ 9999 with 1 mks step (100 ns). The utilization of BIC-memory allowed one to improve the technical economical level of modules as compared with analogues due to increasing the number of module channels, to decrease the energy consumption and to simplify the topology of printed plate, circuit, as well as the single circuit-technical solution.

The investigation has been performed at the Department of New Acceleration Methods, JINR.

Preprint of the Joint Institute for Nuclear Research. Dubna 1984