

3138 / 2-79



сообщения
Объединенного
института
ядерных
исследований
Дубна

СЗУЧ.36

Л-33

12/8-79

9 - 12326

Н.И.Лебедев

УПРАВЛЯЕМЫЙ БЛОК ЗАДЕРЖЕК
ИМПУЛЬСНЫХ СИГНАЛОВ

1979

9 - 12326

Н.И. Лебедев

УПРАВЛЯЕМЫЙ БЛОК ЗАДЕРЖЕК
ИМПУЛЬСНЫХ СИГНАЛОВ

Лебедев Н.И.

9 - 12326

Управляемый блок задержек импульсных сигналов

Описан четырехканальный блок задержек импульсных сигналов с общим стартом, предназначенный для системы синхронизации ускорительных установок. Диапазон изменения величины задержки каждого канала от 0 до 9,9999 мс с шагом 100 нс. Управление блоком производится по стандартным командам КАМАК. Дополнительно значение величины задержки любого из каналов отображается индикатором данных, который расположен на передней панели блока. При разработке схемы особое внимание уделялось снижению нестабильности временного положения выходных импульсов между каналами.

Работа выполнена в Отделе новых методов ускорения ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1979

Lebedev N.I.

9 - 12326

Controlled Unit of Pulse Delays

A four-channel unit for pulse delay with a common start for synchronization of accelerators is described. The range of delay changing for each unit channel is from 0 to 9.9999 ms, its quantization incidence is 100 ns. The unit is operated by CAMAC commands. The delay of any channel is displayed by a data indicator in the unit front panel. Decreasing of nonstability of the dead time between channels has been elaborated.

The investigation has been performed at the Department of New Acceleration Methods, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1979

Устройства задержки электрических сигналов широко применяются в аппаратуре синхронизации линейных индукционных ускорителей ^{1/}. В данном сообщении описан четырехканальный блок задержек импульсных сигналов в стандарте КАМАК, предназначенный для системы синхронизации линейного наносекундного ускорителя СИЛУНД ^{2/}, поэтому при разработке схемы особое внимание уделялось снижению нестабильности временного положения выходных импульсов между каналами. В предлагаемой схеме использован метод сравнения чисел ^{3,4/}.

Состояние счетчика, управляемого генератором с кварцевой стабилизацией, сравнивается со значениями кода, записанного в регистры каналов. Диапазон изменения задержек каждого канала от 0 до 9,9999 мс, с шагом 100 нс. Управление блоком производится по стандартным командам КАМАК. Дополнительно значение величины задержки любого из каналов отображается индикатором данных, который расположен на передней панели.

Конструктивно блок состоит из двух плат: платы синхронного счетчика со схемами сравнения и выходными формирователями, платы регистров и индикации данных.

Структурная схема платы синхронного счетчика со схемами сравнения и выходными формирователями приведена на рис. 1. При подаче сигнала запуска на вход блока задержек триггер старта и устройство синхронизации производят фазировку частоты кварцевого генератора. Серия стабильных колебаний частотой 10 МГц поступает на синхронный счетчик и триггер сравнения каждого канала. В момент равенства значений состояний счетчика и регистра данных схема сравнения подготавливает триггер сравнения канала к переключению. Следующим фронтом тактовой серии запускается триггер сравнения. Длительность задержанного сигнала и его амплитуду определяет

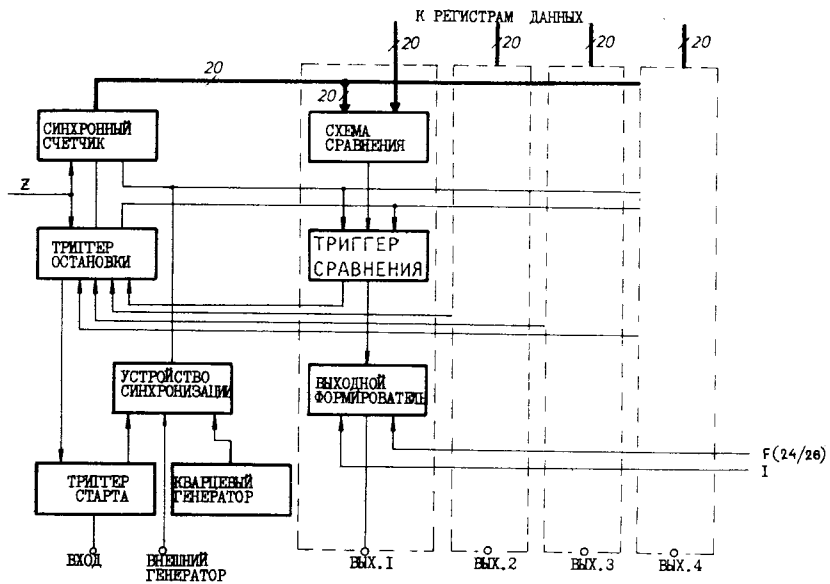


Рис. 1. Структурная схема платы синхронного счетчика со схемами сравнения и выходными формирователями.

выходной формирователь. После обработки всех четырех значений задержек, а также при переполнении счетчика триггер остановки возвращает элементы схемы в исходное состояние и устанавливает счетчик в состояние "0".

Стробирование тактовой серией триггера сравнения, а также применение эмиттерно-связанной логики в выходных устройствах формирования задержанного импульса значительно снижают нестабильность временного положения выходных сигналов между каналами во всем диапазоне изменения величины задержки. Использование нескольких описываемых блоков с параллельным стартом и внешним кварцевым генератором позволяет организовать практически безджиттерные системы синхронизации ускорительных установок. Логическая схема устройства сравнения приведена на рис. 2. При равенстве значений регистра данных и состояния синхронного счетчика в базе транзистора появляется высокий уровень.

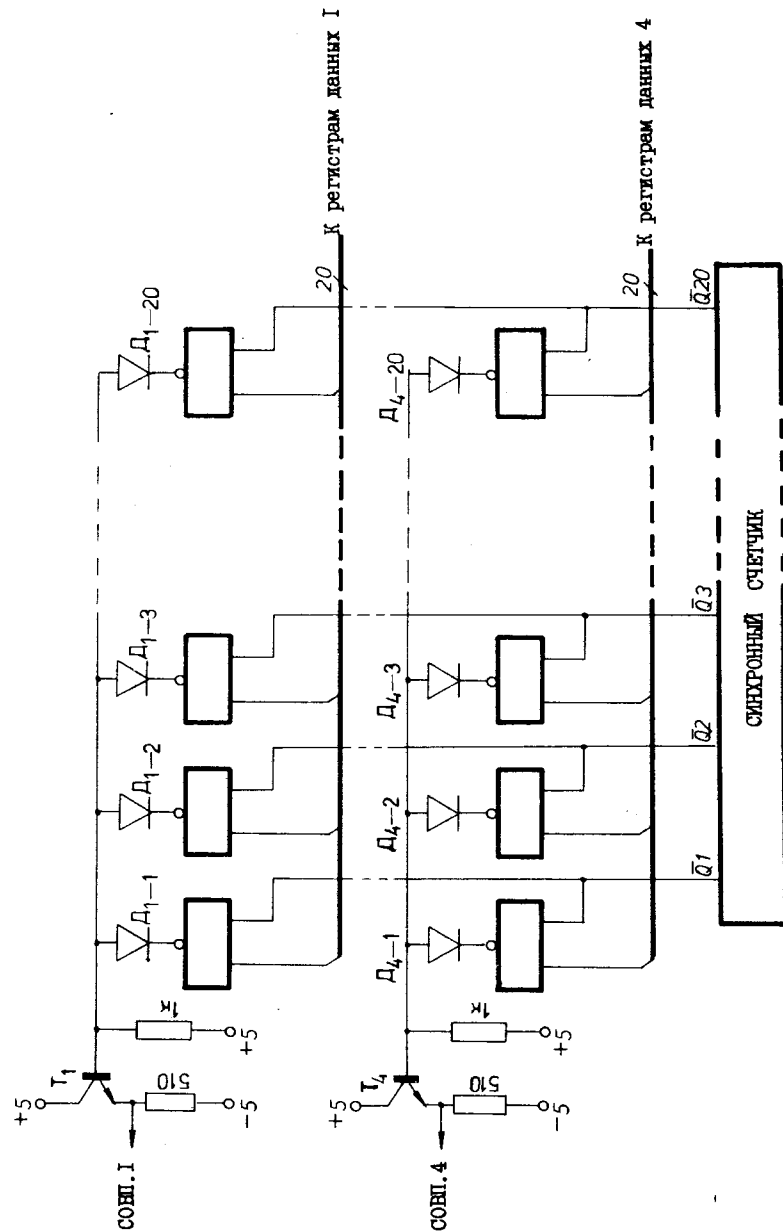


Рис. 2. Логическая схема устройства сравнения.

ЛИТЕРАТУРА

1. Вахрушин Ю.П., Анацкий А.И. *Линейные индукционные ускорители*. Атомиздат, М., 1978.
2. Горинев Б.Г., Долбилов Г.В. и др. *ОИЯИ, 9-12148, Дубна, 1979.*
3. Ватенина З.П., Волкова И.Н., Чадович Н.И. *Методика и схемы временной задержки импульсных сигналов*. "Сов. Радио", М., 1971.
4. Беспалова Т.В. и др. *ОИЯИ, 9-9041, Дубна, 1975.*

*Рукопись поступила в издательский отдел
22 марта 1979 года.*