

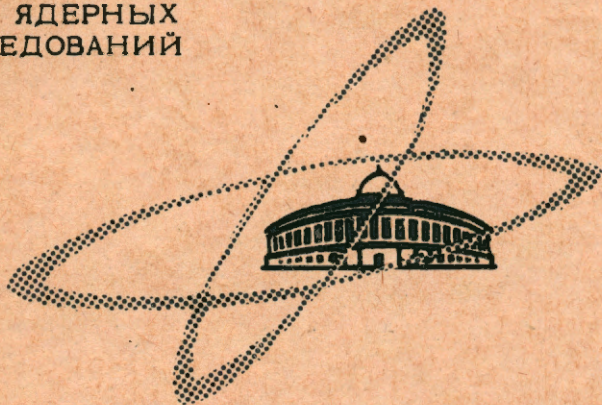
2163

ЭКЗ. ЧИТ. ЗАЛА

ОБЪЕДИНЕННЫЙ  
ИНСТИТУТ  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ

Дубна

2163



ЛАБОРАТОРИЯ НЕЙТРОННОЙ ФИЗИКИ

В.Г.Тишин

БЫСТРЫЙ АМПЛИТУДНЫЙ КОДИРОВЩИК  
НА 256 КАНАЛОВ

1965

2163

В.Г.ТИШИН

БЫСТРЫЙ АМПЛИТУДНЫЙ КОДИРОВЩИК  
НА 256 КАНАЛОВ

**Научно-техническая  
библиотека  
ОИЯИ**

## 1. В в е д е н и е

Для ряда физических задач, связанных с амплитудным анализом импульсов от детектора ядерного излучения (амплитуда - время, амплитуда-датчики и т.п.), существенную роль играют "мертвое" время амплитудного кодировщика и его способность работать при высокой скорости счета <sup>1/</sup>.

Ниже приводится описание быстрого амплитудного кодировщика, предназначенного для физических экспериментов с повышенными требованиями к таким устройствам.

Кодировщик включает экспандер, линейный усилитель, аналого-цифровой преобразователь, работающий по принципу линейного разряда емкости, быстрый адресный счетчик (20 Мгц). При разработке кодировщика основное внимание было уделено сокращению времени преобразования амплитуды в код и улучшению характеристик кодировщика при высокой скорости счета (до  $10^5$  имп/сек). Сравнительно небольшое время преобразования (16 мксек на 256 каналов) достигается повышением частоты генератора кодовой серии до 20 Мгц. Требуемые характеристики при высокой скорости поступления детекторных импульсов, а именно, сдвиг порога не более одного канала при скорости поступления до  $10^5$  имп/сек, обеспечиваются восстановлением постоянных составляющих сигналов на входе экспандера и аналого-цифрового преобразователя.

"Логика" кодировщика позволяет использовать его для многомерных измерений (амплитуда-время, амплитуда-датчики, амплитуда-амплитуда).

Кодировщик имеет следующие технические характеристики:

- |   |  |
|---|--|
| а) число каналов                              | - 256  |
| б) "мертвое" время<br>где $n$ - число каналов | - $(3 + 0,05 n)$ мксек,                      |
| в) диапазон                                   | 0-0,8 в с усилителем,<br>0-8 в без усилителя |
| г) порог экспандирования                      | - 50%  |
| д) интегральная нелинейность                  | - 0,2%                                       |

- е) дифференциальная нелинейность -  $\pm 1\%$ ,
- ж) уход порога на 1 канал при скорости счета -  $10^5$  имп/сек,
- з) температурная нестабильность  
1 канал на  $10^\circ\text{C}$ ; уход усиления 0,5% на  $10^\circ\text{C}$ , - уход порога:
- и) полярность входных импульсов - любая.

## 2. Описание работы амплитудного кодировщика (АК).

На рис. 1 показана функциональная схема АК. Взаимодействие узлов поясняется временной диаграммой (рис. 2). На плате ПЛ 1 (рис. 3) смонтированы следующие блоки кодировщика: линейный инвертор ЛИ (транзистор Т1), линейный усилитель ЛУ ( $T_2, T_3, T_4$ ), пороговый ограничитель ОГ (диоды  $D_3, D_4$ ), три эмиттерных повторителя П-1, П-2, П-3 ( $T_5, T_6, T_7$ ). Линейность передачи детекторных импульсов через инвертор обеспечивается тем, что через него передаются небольшие по амплитуде импульсы, требуемые на входе линейного усилителя, диапазон 0-0,8 в. Усилитель состоит из двух усилительных каскадов ( $T_2, T_3$ ) и эмиттерного повторителя ( $T_4$ ), охваченных отрицательной обратной связью с выхода эмиттерного повторителя в эмиттер первого каскада. Коэффициент усиления - 10. Регулировка усиления от 1 до 10 - омическим делителем на переключателе П1. Выходной импульс - положительный. Время нарастания выходного импульса - 0,1 мксек. Требуемая линейность - 0,2 - 0,3% сохраняется до амплитуды выходных импульсов 15в. Пороговый ограничитель - это стабильная к изменению температуры дифференциальная схема на кремниевых диодах ( $D_3, D_4$ ). Порог задается запирающим диода  $D_3$  положительным потенциалом, величина которого меняется переключателем П2.

Диоды  $D_1, D_2, D_9, D_{10}$  восстанавливают постоянную составляющую, что обеспечивает допустимый уход порога ( $\leq 1$  канал) при скорости счета  $10^5$  имп/сек.

Аналого-цифровой преобразователь (принципиальная схема на рис. 4) работает по принципу линейного разряда емкости. Положительный детекторный импульс с выхода порогового ограничителя (шина 5) через линию задержки ЛЗ (2 мксек) и эмиттерный повторитель П-4 ( $T_1$ ) подается на линейную схему пропускания ЛСП (нормально закрытую), выполненную на сопротивлении  $R_4$ , шунтирующем диоде  $D_1$  и ключевом каскаде ( $T_2$ ). Схема открывается при запирающем отрицательном импульсом, подаваемым в базу  $T_2$  из цепи управления АК. При этом шунтирующее действие диода  $D_1$  прекращается, и детекторный импульс через каскад дискриминатора тока разряда ДТР ( $T_3$ ) и диод  $D_2$  заряжает емкость  $C_3$  до максимума амплитуды. После того как ЛСП закроется, начинается линейный разряд  $C_3$  постоянным током схемы линейного разряда СР ( $T_4$ ). При запирающем диода  $D_2$  ток линейного разряда (0,2 ма) переключается

из цепи эмиттера  $T_3$  на линейный разряд, при этом в коллекторе  $T_3$  получается небольшой положительный импульс (1-2в), длительность которого равна времени линейного разряда ( $C_3$ ). Этот импульс через повторитель П5 ( $T_5$ ) формируется дифференциальным усилителем ДУ1 ( $T_6, T_7$ ), на выходах которого получаются два прямоугольных импульса положительной ( $T_7$ ) и отрицательной ( $T_6$ ) полярности с крутыми фронтами (30-50 нсек). Длительность этих импульсов, равная времени линейного разряда  $C_3$ , пропорциональна амплитуде детекторного импульса. Отрицательный импульс подается в цепь генератора кодовой серии 20 Мгц на вход схемы пропускания ИЗ для фазировки момента окончания этого импульса с импульсами кодовой серии. Триггер управления генератора ТУ (туннельный диод  $D_{15}$ ) взводится положительным импульсом, получаемым от дифференцирования спада отрицательного импульса с одновибратора ОВ1 на RC-цепочке ( $R_{47}, C_{15}$ ). Длительность этого импульса определяет время задержки между началом линейного разряда емкости  $C_3$  и началом работы генератора кодовой серии. Задержка вводится для того, чтобы уменьшить время работы генератора по сравнению с временем линейного разряда на постоянную величину (1 - 2 мксек). Таким способом вычитается имеющийся после линейной схемы пропускания "пьедестал". Импульс с ТУ усиливается и формируется дифференциальным усилителем ДУ2 ( $T_8, T_9$ ). Отрицательный перепад напряжения 6в с коллектора  $T_9$  через повторитель П9 ( $T_{11}$ ) запускает ждущий генератор импульсов частотой 20 Мгц Г (туннельный диод  $D_{16}$ ). Серия импульсов усиливается на УИ2 ( $T_{13}$ ) и на выходе П7 ( $T_{14}$ ) получается кодовая серия в виде пачки положительных импульсов амплитудой 8 в и частотой 20 Мгц. Схема пропускания ИЗ (туннельный диод  $D_{18}$ ) пропускает на выход только 1 импульс кодовой серии, следующий сразу же после окончания импульса с повторителя П6, который усиливается на УИ3 ( $T_{16}$ ) и через повторитель П11 ( $T_{17}$ ) сбрасывает триггер управления ТУ. Введение фазировки необходимо, чтобы предотвратить уменьшение амплитуды последнего импульса кодовой серии, что приводит к неустойчивой работе адресного счетчика.

Быстрый адресный счетчик состоит из восьми триггеров Т-1 - Т-8, первые два триггера - более быстрые, а остальные 6 - менее быстрые (рис.5). Состояния триггеров после счета кодовой серии передаются во внешнее запоминающее устройство импульсом переноса адреса (шина 19) через вентили В1-В8 и формирователи Ф1-Ф8, на выходе которых получают отрицательные импульсы параллельного восьмиразрядного двоичного кода. Одновременно с переносом адреса в цепи В9 и Ф9 формируется отрицательный импульс пуска логики запоминающего устройства. Девятый триггер Т12Б-9 блокирует через вентиль В10 перенос адреса во внешнее запоминающее устройство при переполнении адресного счетчика, т.е. детекторные импульсы, амплитуда которых превышает 256 каналов, попадают в нулевой канал.



Принципиальные схемы формирователей, а также схемы соединений на платах ПЛ5-ПЛ7 показаны на рис. 6.

Цепь управления АК расположена на ПЛ3, ПЛ4. Схема "обострителя" СО (рис.7) формирует начало фронта детекторного импульса. Минимальная чувствительность - 30/50 мВ. "Мертвое" время - 1 мксек. Отрицательный импульс с выхода СО запускает блокинг-генератор задержки БГ1 (рис. 8). Усилитель У2 (Т1 на рис. 9) формирует спад положительного импульса с выхода БГ1. На выходе У2 получается отрицательный импульс длительностью 0,1-0,2 мксек. Этот импульс подается на схему пропускания И2 (Д3), на второй вход этой схемы (Д4) подается открывающий АК отрицательный потенциал с выхода схемы И1 (Д5-Д10) через повторитель П13, (Т3). Отрицательные потенциалы входов схемы пропускания И-1 означают следующее:

- 1) амплитуда анализируемого импульса не превышает задаваемый ДВУ верхний порог диапазона входных импульсов (шина "35");
- 2) наличие внешнего управляющего импульса отрицательной полярности (если он подается) (шины "12" и "14");
- 3) анализ предыдущего детекторного импульса окончен, отсутствуют положительные импульсы блокировки кодировщика со схемы блокировки СБ, одновибратора ОВ-2 и схемы ДУ-1, формирующей импульс, длительность которого равна времени линейного разряда. Если анализ детекторного импульса разрешен, то на выходе П14 появляется отрицательный импульс, запускающий блокинг-генератор БГ2. Отрицательный импульс с выхода БГ2 подается на линейную схему пропускания (шина "6") и на усилитель УИ4 (Т4), формирующий положительный импульс для запуска схемы блокировки СБ (рис. 11). Этот импульс подается также во внешние цепи (например, в качестве детекторного импульса для временного кодировщика при амплитудно-временном анализе). Спадом отрицательного импульса с Б12 запускается одновибратор ОВ1 (рис. 10). Усилитель УИ5 (Т5) из фронта отрицательного выходного импульса ОВ1 формирует положительный импульс сброса триггеров адресного счетчика (шина "15"). Дискриминатор верхнего уровня ДВУ (рис. 12) блокирует анализ импульсов большой амплитуды. "Мертвое" время дискриминатора 2-3 мксек. Назначение СБ: блокировка АК на постоянное время 16 мксек. Схема имеет нулевое "мертвое" время. Назначение ОВ2: блокировка АК на время переноса адреса из адресного счетчика. Импульсы переноса адреса и пуска логики формируются усилителями УИ6, УИ7 (Т2, Т3 на рис. 13). Функцию вентиля В10 выполняет эмиттер-базовый переход транзистора Т2.

Одновибратор ОВ-2 взводится фронтом положительного импульса с УИ-8, а В-10 и затем УИ-6, УИ-7 срабатывают на спаде этого импульса. Таким образом, импульсом с УИ-8 осуществляется небольшая задержка при переносе адреса из адресного счетчика по отношению к моменту окончания счета кодовой серии.

Работа кодировщика при трех положениях переключателя ПЗ происходит следующим образом:

1), - 16 мксек": блокировка кодировщика осуществляется положительным импульсом с выхода ДУ-1 и импульсом одновибратора ОВ-2, длительность которого равна 1-2 мксек. Вход СБ заземляется. Полное время блокировки АК в этом режиме переменное и равно:  $(2 \pm 0,05 \alpha)$  мксек, где  $\alpha$  - номер канала регистрируемого детекторного импульса. Импульсы переноса адреса и пуска логики формируются на спаде положительного импульса с выхода ДУ-2 (шина "9") через УИ-8.

2) " - 16/мксек + / = 16/мксек": все остается в том же положении, как и при "1", за исключением ОВ-2, длительность импульса которого увеличивается до 16 мксек.

3) " =18 мксек": блокировка кодировщика осуществляется положительными импульсами от СБ и ОВ-2, длительность которых в этом режиме, соответственно, равняется 16 и 2 мксек, так что полное время блокировки постоянное и равняется 18 мксек. Импульсы переноса адреса и пуска логики формируются на спаде положительного импульса с СБ (шина "31") после УИ-8.

4) " =32 мксек": все остается таким же как и в положении "3", за исключением ОВ-2, длительность импульса которого увеличивается до 16 мксек, так что полное время блокировки также остается постоянным и равным 32 мксек.

#### Л и т е р а т у р а

1. M.G.Strauss, Rev. Scient. Instr. v.34, No. 4, 1963, p.p. 335-346.
2. J.Nagumo. Proc. YRE, v. 48, 1961, No. 8, p.p. 1281-1291.

Рукопись поступила в издательский отдел  
10 мая 1965 г.

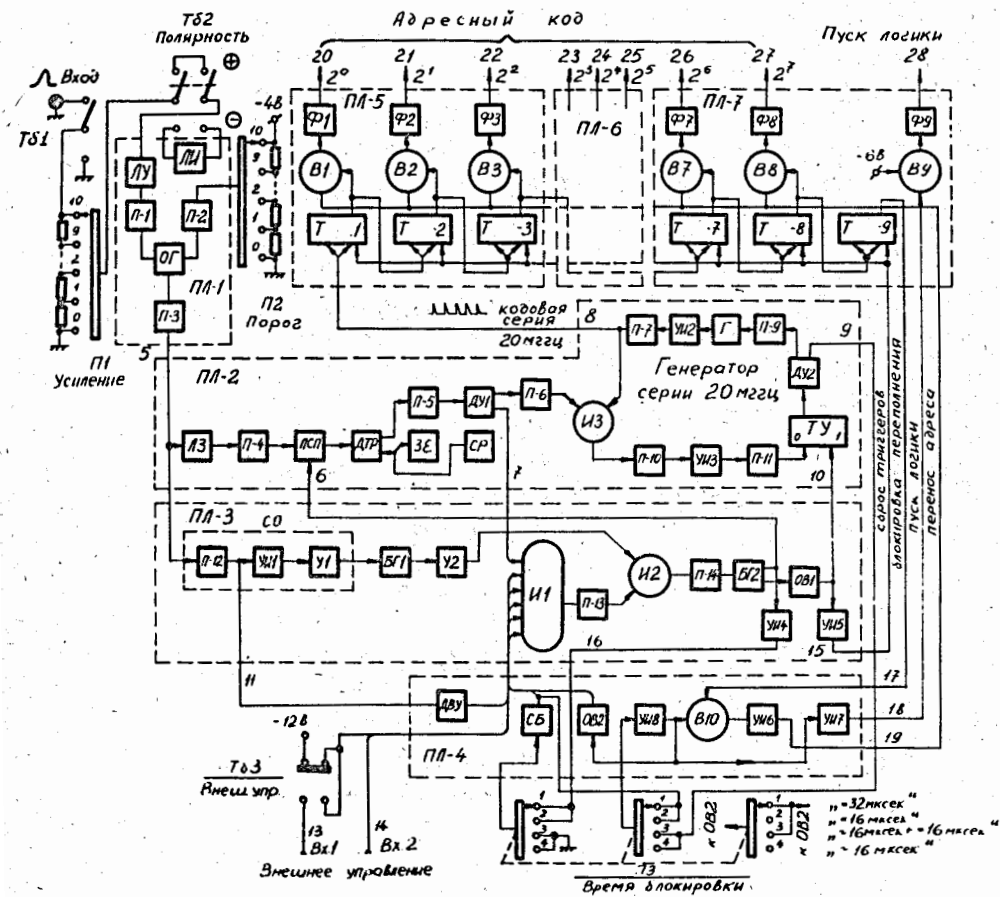


Рис. 1. Функциональная схема кодировщика.

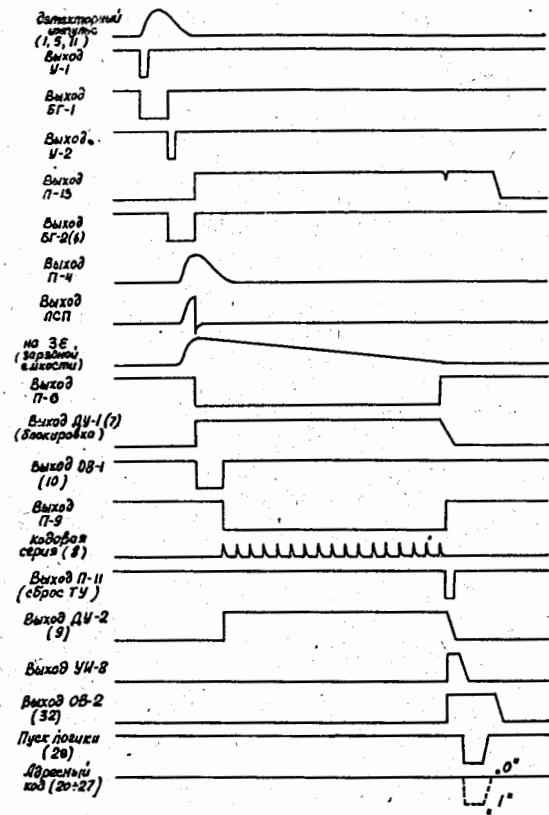


Рис. 2. Временная диаграмма.

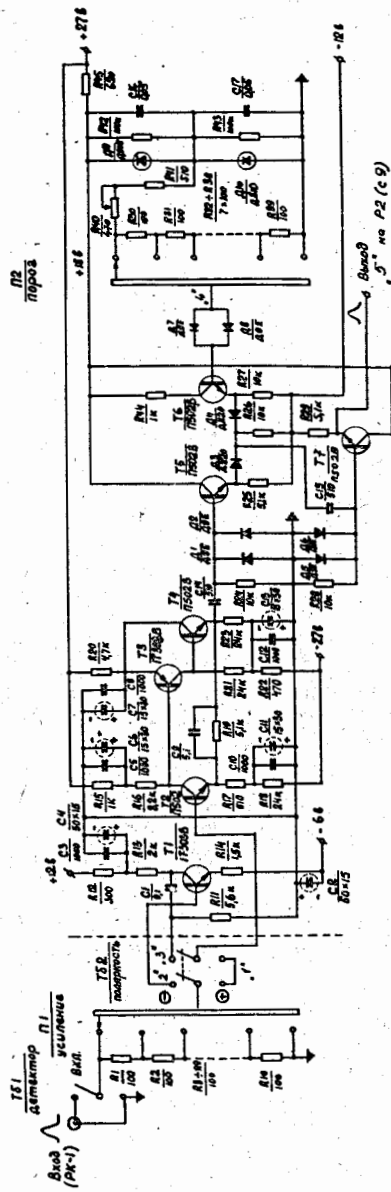


Рис. 3. Инвертор, усилитель, экспандер.

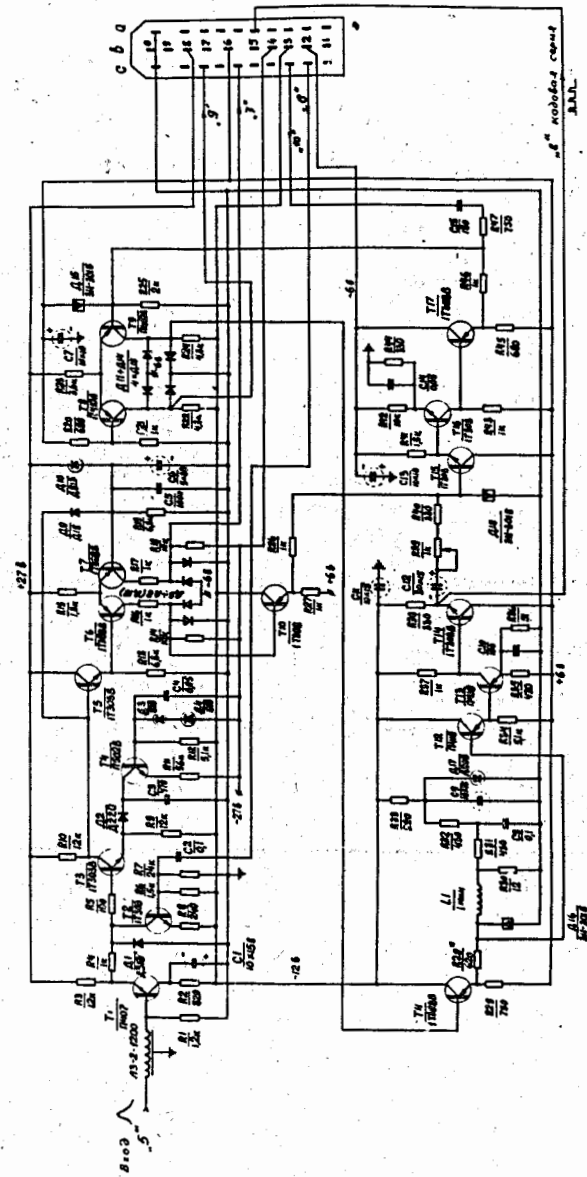


Рис. 4. Аналого-цифровой преобразователь

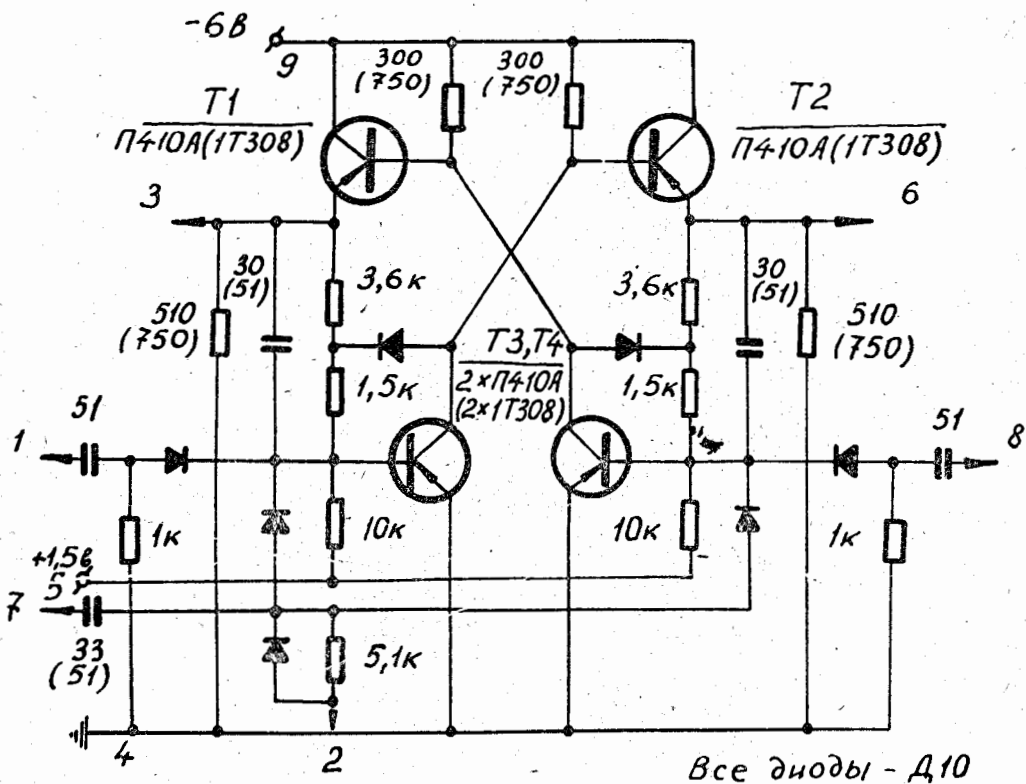


Рис. 5. Триггер.

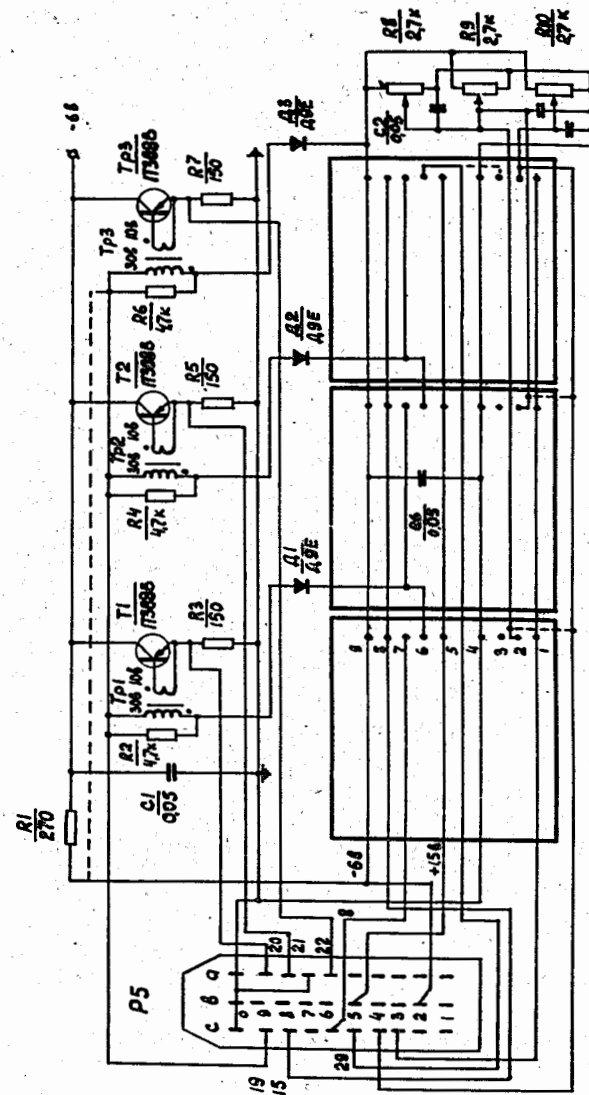
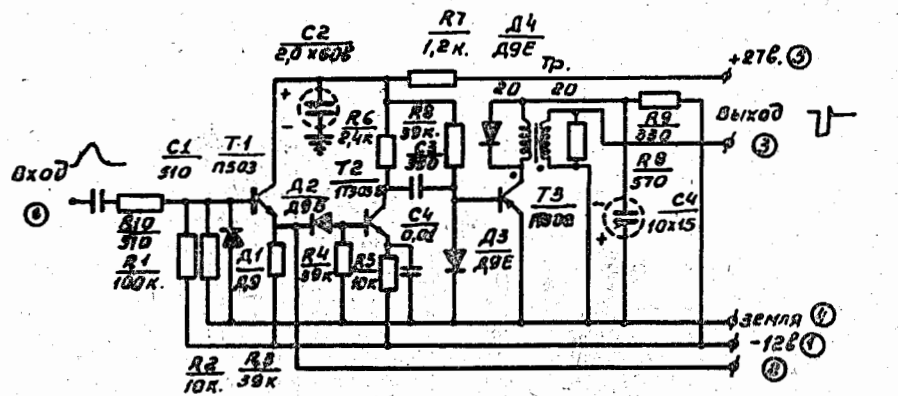


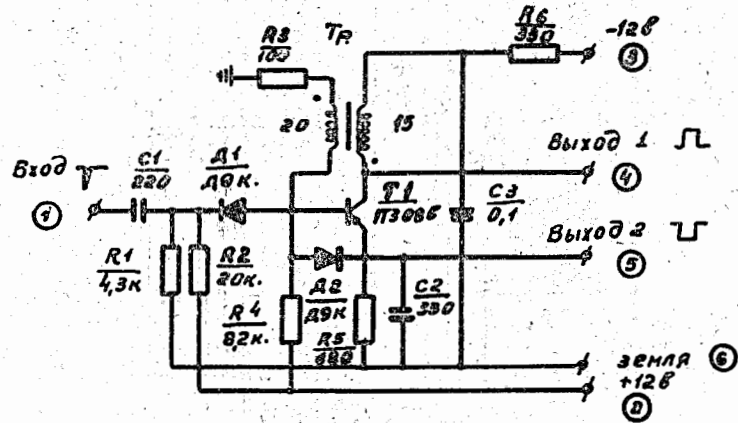
Рис. 6. Адресный счетчик, выходные каскады.





Tr - сердечник,  $\phi 10, \mu-1000$ .

Рис. 7. "Обостритель" фронта импульса СО.



Tr - сердечник  $\phi 10, \mu-1000$ .

Рис. 8. Блокинг-генератор БГ.

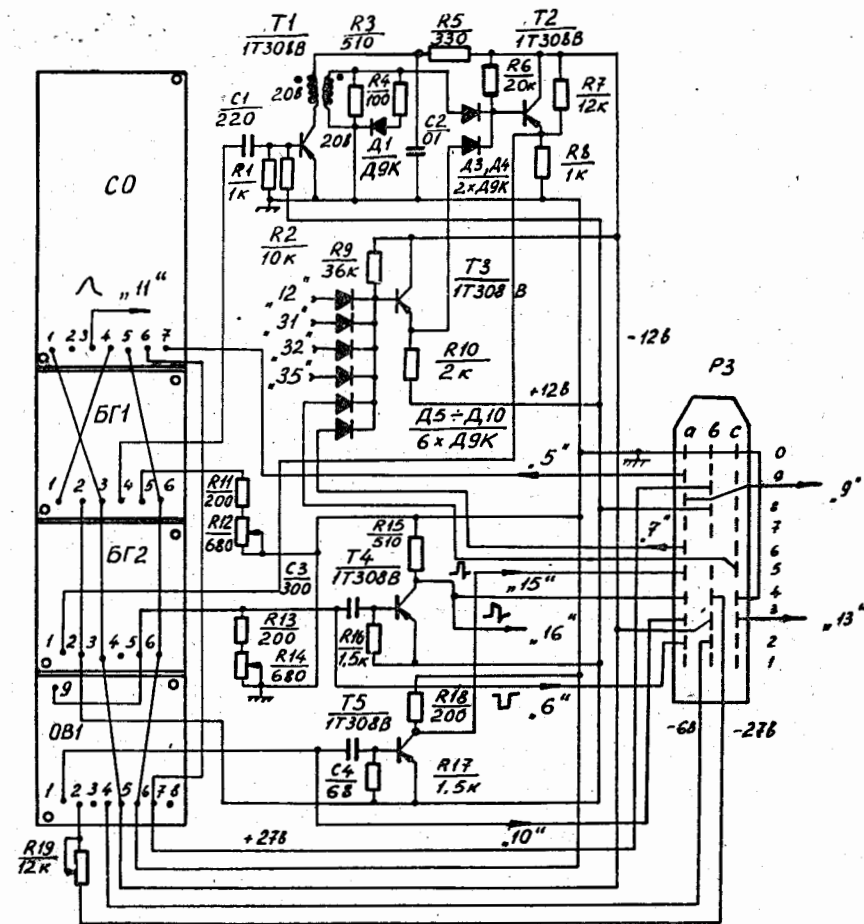


Рис. 9. Схемы каскадов: У-1, И-1, И-2, У-4, У-5.

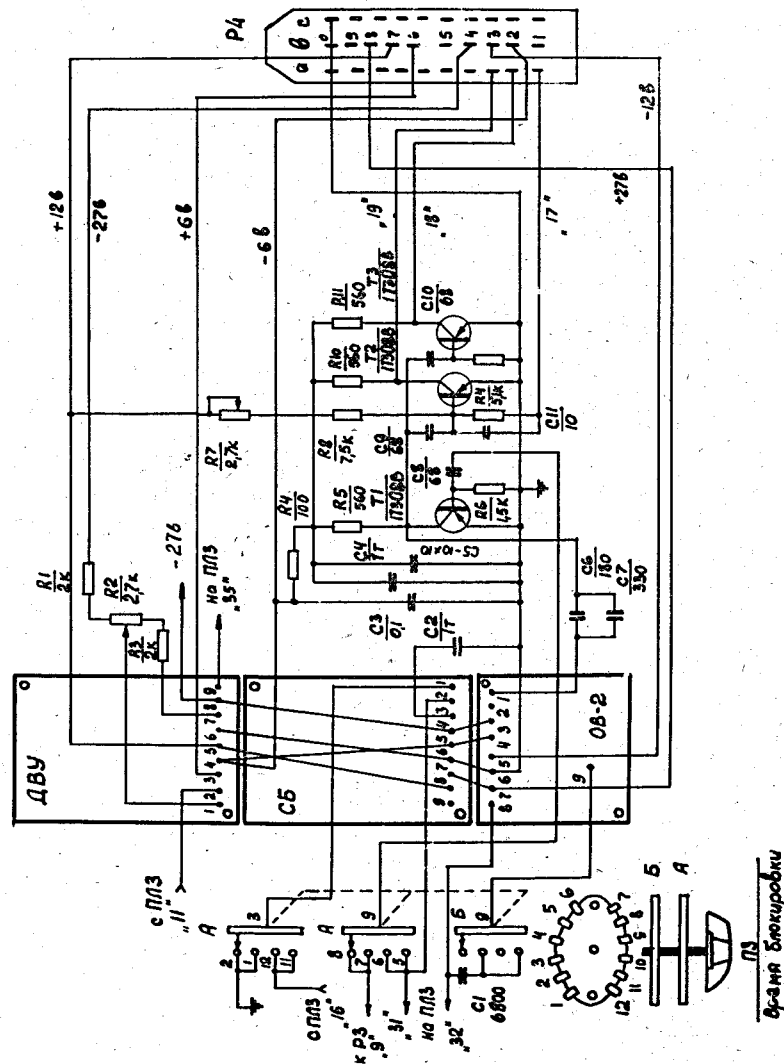


Рис. 13. Схемы каскадов УИ-6, УИ-7, УИ-8, В-10.

В-10  
Блок-схема