

15

Ш-36



ОБЪЕДИНЕННЫЙ ИНСТИТУТ ЯДЕРНЫХ ИССЛЕДОВАНИЙ
ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОБЛЕМ

Б. Шебештген

1413

КОЛЬЦЕВАЯ ДИФФЕРЕНЦИАЛЬНАЯ
ПЕРЕСЧЕТНАЯ СХЕМА
НА ТРАНЗИСТОРАХ ДЛЯ УПРАВЛЕНИЯ
ПРОМЕЖУТОЧНЫМ ЗАПОМИНАЮЩИМ УСТРОЙСТВОМ

Дубна 1963

Б. Шебештьен

1413

2120 / 1 чф
КОЛЬЦЕВАЯ ДИФФЕРЕНЦИАЛЬНАЯ
ПЕРЕСЧЕТНАЯ СХЕМА
НА ТРАНЗИСТОРАХ ДЛЯ УПРАВЛЕНИЯ
ПРОМЕЖУТОЧНЫМ ЗАПОМИНАЮЩИМ УСТРОЙСТВОМ

Объединенный институт
высших исследований
БИБЛИОТЕКА

Дубна 1963

1. Применение дифференциальной пересчетной схемы для управления промежуточным запоминающим устройством

Промежуточные запоминающие устройства (ПЗУ) на ферритовых сердечниках работают по принципу последовательного циклического доступа. Пусть ПЗУ имеет k числовых ячеек. Обращение к этим ячейкам при записи, а также при считывании всегда происходит в определенном порядке в отличие от оперативных запоминающих устройств. Работа ПЗУ является циклической в том смысле, что после записи в k -ую ячейку адресная система записи обращается опять к первой ячейке, при предположении, что прежнее содержание информации этой ячейки уже стерто в процессе считывания. За процессом считывания следует процесс записи также циклическим образом.

На рис. 1 показано ПЗУ символически с 16-ю ячейками в случае, когда 12-16 и 1-6-ячейки заняты, а 7-11 ячейки свободны. Следующий цикл записи производится в ячейку 7, а следующий процесс считывания ожидается с ячейки 12. Для управления такими системами необходимо обеспечивать следующие условия:

1. Считывание должно быть запрещено до тех пор, пока блок памяти пуст.

2. Запись должна быть запрещена, когда все ячейки заняты. Соответствующие этим условиям логические задачи можно решить разнообразными способами. В запоминающем устройстве, построенном в Лаборатории ядерных проблем, эти задачи решены с помощью пересчетной схемы, способной считывать разность двух последовательностей импульсов.

Логическая система, соответствующая условиям 1 и 2, показана на рис. 2. Кроме дифференциальной пересчетной схемы (ДПС), она содержит еще два клапана с отрицанием (схема антисовпадений). ДПС считает разность числа импульсов, управляющих записью и считыванием. Следовательно, она постоянно дает информацию о том, сколько занятых ячеек имеется в ПЗУ. Импульсы, управляющие записью, поступают на вход А. Они могут подаваться на вход адресной системы и вход В (сложение) ДПС, если в ПЗУ имеется хотя бы одна свободная ячейка. Однако, когда уже все ячейки заняты, ДПС дает запирающий потенциал на клапан K_A . Процесс записи может начаться опять только после того, как произошло считывание хотя бы в одной ячейке. В этом случае импульс считывания, поступающий на вход Н (вычитание) ДПС, вычитается, и пересчетная схема снова отпирает клапан K_A . Процесс считывания происходит в паузах между записью под действием импульсов, поступающих на вход В запоминающе-

го устройства. Считывание запрещено, пока запоминаящие ячейки пусты. В этом случае ДПС находится в состоянии 0, и клапан K_B заперт.

ДПС, выполняющая поставленные логические задачи, должна обладать следующими свойствами:

- а) число ее возможных устойчивых состояний должно быть больше или равно $(\kappa+1)$, где κ - число ячеек;
- б) она должна иметь два независимых друг от друга входа (В и Н);
- в) ее необходимо строить на элементах потенциального типа.

2. Логическая структура пересчетной схемы

ДПС является системой кольцевого типа. В качестве основного элемента ее используются триггеры. Как следует из свойств кольцевых пересчетных схем, ее можно осуществить с любым числом устойчивых состояний. Рис. 3 и 4 изображают схему с тремя триггерами (α, β, γ) , имеющую три состояния. Один из этих триггеров всегда находится в состоянии 1, а остальные в состоянии 0. Состояние 1 триггеров обозначается знаками α, β, γ , а их состояние 0 - знаками $\bar{\alpha}, \bar{\beta}, \bar{\gamma}$. Появление импульса на вход В и Н обозначается знаками в и н. Систему можно описать логическими уравнениями

$$(\alpha\bar{\beta}\bar{\gamma})\vee(\bar{\alpha}\beta\bar{\gamma})\vee(\bar{\alpha}\bar{\beta}\gamma) = 1, \quad (1)$$

$$вн = 0, \quad (2)$$

Последовательность состояний троичной ДПС во времени можно предписать следующим образом:

$$(\alpha\bar{\beta}\bar{\gamma}) + (\bar{\alpha}\beta\bar{\gamma}) + (\bar{\alpha}\bar{\beta}\gamma), \quad (3)$$

$$(\alpha\bar{\beta}\bar{\gamma}) + (\bar{\alpha}\beta\bar{\gamma}) + (\bar{\alpha}\bar{\beta}\gamma). \quad (4)$$

Выражение (3) соответствует счету "вперед" (сложение импульсов), а выражение (4) - счету "назад" (вычитание). На основе этих выражений можно составить таблицы 1а и 1б. В таблицах цифра 1 обозначает появление импульсов, а цифра 0 - отсутствие их. Состояния триггеров также обозначены цифрами 1 и 0. В колонке С' приведены состояния схемы до поступления импульса, а в колонке С" - те состояния, в которых должна находиться схема после поступления импульса.

Таблицы содержат всю информацию, нужную для осуществления логической схемы ДПС. Первая строчка таблицы 1а, например, содержит следующие требования.

Для осуществления перехода $(\alpha\bar{\beta}\bar{\gamma}) + (\bar{\alpha}\beta\bar{\gamma})$ под воздействием сигнала, появляющегося на входе В, нужно, чтобы логическая цепь направляла этот сигнал на вход 0 триггера α и на вход 1 триггера β .

Логическую цепь необходимо построить так, чтобы на этих входах был сигнал только при переходе $(\alpha\bar{\beta}\bar{\gamma}) + (\bar{\alpha}\beta\bar{\gamma})$.

Практическое решение показано на рис. 3. Клапан И-1 одним входом подключается на вход В, а другим - на триггер α . В состоянии 1 триггера этот клапан открыт, и сигнал в подается на вход 1 триггера β и потом через триггер β и цепь L_0 - на вход 0 триггера α . Свойство цепи L_0 таково, что она принимает сигнал только с триггера, совершающего переход 0+1, и отправляет его на вход 0 остальных триггеров. Эту цепь можно осуществлять очень просто, с применением одного сопротивления (см. рис. 4, R_0).

Остальные части логической схемы можно решить таким же образом. Как показано на рис. 3, на входе 1 каждого триггера подключены два клапана И, соответствующие двум направлениям счета. Цепь ИЛИ изолирует клапаны И друг от друга. Задерживающий элемент Т запоминает прошедшее состояние триггеров во время переходов.

К логическим проблемам относится вопрос соединения пересчетных ячеек разных разрядов. Возьмем в качестве примера две троичных ячейки. Можно легко показать, что для правильной работы системы на входе B_2 требуется импульс при переходе $(\bar{\alpha}_1\bar{\beta}_1\bar{\gamma}_1) + (\alpha_1\bar{\beta}_1\bar{\gamma}_1)$, а на входе H_2 - при переходе $(\alpha_1\bar{\beta}_1\bar{\gamma}_1) + (\bar{\alpha}_1\beta_1\bar{\gamma}_1)$. (индекс 1 соответствует первой ячейке, а индекс 2 - второй). Таким образом, выход B_1 подключается на клапан И-У, а выход H_1 - на клапан И-1У. При работе "вперед" ДПС работает, как обыкновенная пересчетная схема. При работе "назад" схема работает следующим образом. Если предположить в качестве примера, что в пересчетной схеме записано 6 импульсов, можно написать следующее символическое выражение:

$$\begin{array}{ccc|ccc} 0 & 1 & 2 & 0 & 3 & 6 \\ \alpha_1 & \bar{\beta}_1 & \bar{\gamma}_1 & \bar{\alpha}_2 & \bar{\beta}_2 & \gamma_2 & 0+6=6 \end{array}$$

где цифрами обозначены веса соответствующих триггерных ячеек. Под действием импульса, поступающего на вход H_1 , состояние ДПС изменится и будет таким:

$$\begin{array}{ccc|ccc} 0 & 1 & 2 & 0 & 3 & 6 \\ \bar{\alpha}_1 & \bar{\beta}_1 & \gamma_1 & \bar{\alpha}_2 & \beta_2 & \bar{\gamma}_2 & 2+3=5 \end{array}$$

Как видно, при появлении импульса произойдет добавление 2 в первой ячейке и вычитание 3 во второй.

Логические таблицы, подобные 1а и 1б, можно просто составить для дифференциальных пересчетных схем с любыми основаниями, отличающимися от 3. С помощью таблиц легко создавать практическую схему.

3. Принципиальная схема ДПС

На рис. 4 показана принципиальная схема ДПС. Триггеры являются асимметричными мультвибраторами на транзисторах. Во включенном состоянии все транзисторы работают с коэффициентом насыщения 2 при $\beta_{min} = 30$ (β - коэффициент усиления в схеме с общим эмиттером). Цепи И и ИЛИ построены на диодах и сопротивлениях $D_1, D_2,$ и D_3, D_4, R_6 (R_6 - сопротивление цепи базы транзистора в состоянии отсечки). Эти элементы соединяются друг с другом непосредственно, без всяких дополнительных согласующих схем. Логическая цепь L_0 , как сказано раньше, состоит из одного сопротивления (R_6), к верхней точке которого подключаются эмиттеры транзисторов T_1 .

Пусть начальное состояние триггеров $\bar{a}\bar{\beta}\bar{\gamma}$. В этом случае коллектор транзистора T_{2a} находится под потенциалом 15 в, одновременно на коллекторах $T_{2\beta}$ $T_{2\gamma}$ потенциал равен = 0 вольт. Таким образом, только клапаны И, находящиеся в цепи коллектора T_{2a} , открыты, и импульс в способен поступить на базу транзистора $T_{1\beta}$, а импульс $\bar{\gamma}$ - на базу транзистора $T_{1\gamma}$. Под воздействием импульса $\bar{\gamma}$ происходит переход триггера $\bar{\beta} \rightarrow \beta$, а под воздействием импульса $\bar{\gamma}$ - переход триггера $\bar{\gamma} \rightarrow \gamma$. При любом переходе $0 \rightarrow 1$ на сопротивлении R_6 появляется скачок напряжения, который осуществляет переход триггера $\bar{a} \rightarrow a$. В результате этих процессов в конце концов пересчетная схема выполняет переход $(\bar{a}\bar{\beta}\bar{\gamma}) \rightarrow (a\bar{\beta}\bar{\gamma})$ или $(\bar{a}\bar{\beta}\bar{\gamma}) \rightarrow (\bar{a}\bar{\beta}\gamma)$. Процесс счета в дальнейшем таким же образом продолжается.

Следует заметить, что в стационарном состоянии потенциал на входных клеммах должен быть равен нулю.

Потенциал базы невключенных транзисторов T_1 находится около нуля, благодаря ограничивающему действию диодов D_2, D_3 и D_4 . Несмотря на это, невключенные транзисторы T_1 устойчиво остаются в закрытом состоянии до поступления импульса, потому что потенциалы, имеющиеся на эмиттерах транзисторов T_1 , имеют величину -3 вольта.

Задерживающего элемента Т (см. рис. 3) не нужно, так как времени восстановления транзистора T_1 и времени перехода сигналов через цепи достаточно для правильной работы схемы.

Индикация результатов счета производится с помощью транзистора T_3 и индикаторной лампы ЛИ.

4. Данные измерений

Мертвое время на входе В	3 мксек
Мертвое время на входе Н	2,8 мксек
Мертвое время между входами В и Н	3 мксек

Минимальная амплитуда импульса на входах	6 вольт
Максимальная амплитуда импульса на входах	45 вольт
Длительность входных импульсов	1,5 - 2,5 мксек.

5. З а м е ч а н и я

Число запоминающих ячеек ПЗУ равно 120. Соответственно этому ДПС должен иметь, по крайней мере, 121 состояние. Наиболее целесообразным оказалось применение трех пятырчных пересчетных ячеек. Блок-схема показана на рис. 5. Пересчетные ячейки соединяются через формирователи Φ . Каждый блок в схеме разделен на пять частей (пять триггеров) по вертикали и на три части - по горизонтали. В средней горизонтальной части приведен "разрядный вес" триггеров. В верхней горизонтальной части показаны состояния отдельных триггеров в положении 0 ДПС, а в нижней части показаны состояния триггеров в положении 120 ДПС. Рис. 5 является более подробной схемой ДПС, изображенной на рис. 2.

На рис. 6 показана построенная пересчетная схема ПЗУ.

Л и т е р а т у р а

1. F.A. Fishmann. Difference Counters. Electronic Engineering, Bd. 29 (1957), p. 546.
2. M.Kalthoff. Fortlaufende Differenzzählung Elektronische Rundschau, Nr 6 (1960), s. 240-245.

Рукопись поступила в издательский отдел
9 сентября 1963 г.

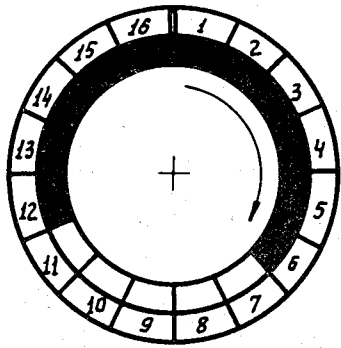


Рис. 1.

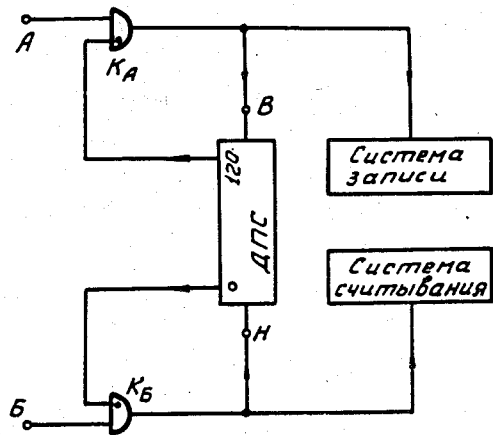


Рис. 2.

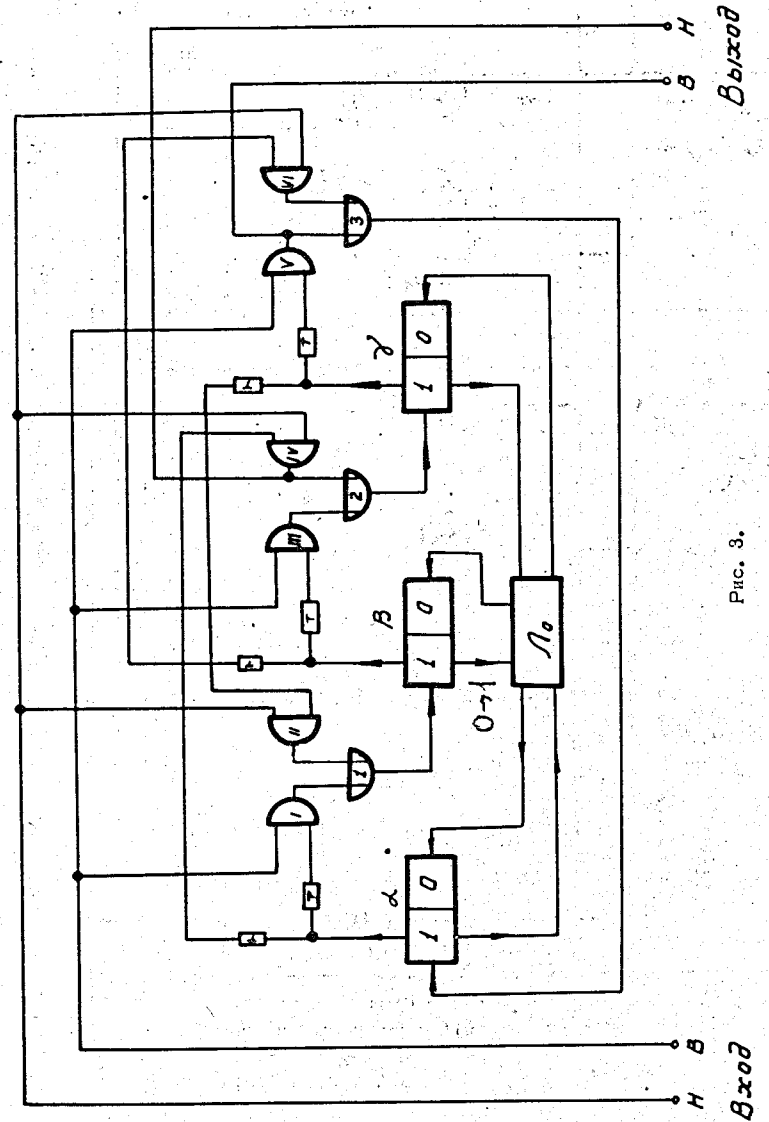
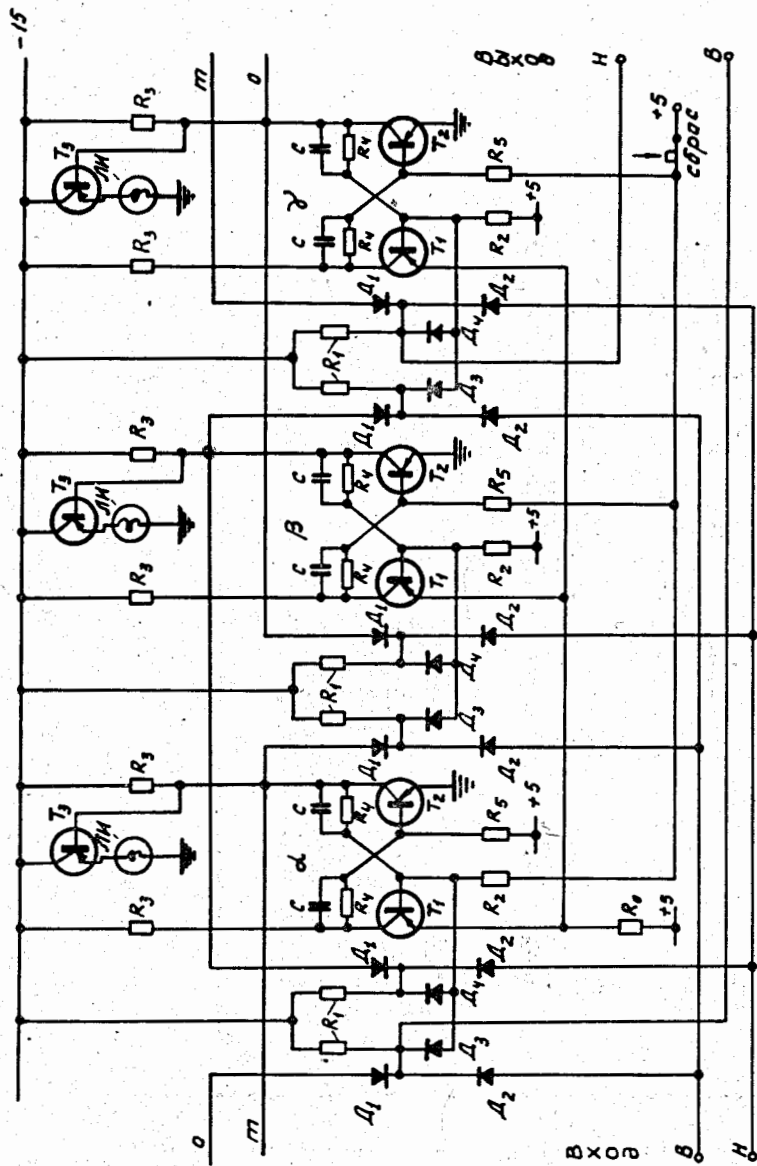


Рис. 3.



$T_1, T_2, \dots, \Pi 16A, A_1, A_2, A_3, A_4, \dots, A_{11}; \text{ЛИ} \dots 24B/35MA; C \dots 500 \text{ пФ}; R_1 \dots 33 \text{ к}; R_2 \dots 11 \text{ к}; R_3 \dots 15 \text{ к}; R_4 \dots 91 \text{ к}; R_5 \dots 6,8 \text{ к}; R_6 \dots 500 \Omega$

Рис. 4.

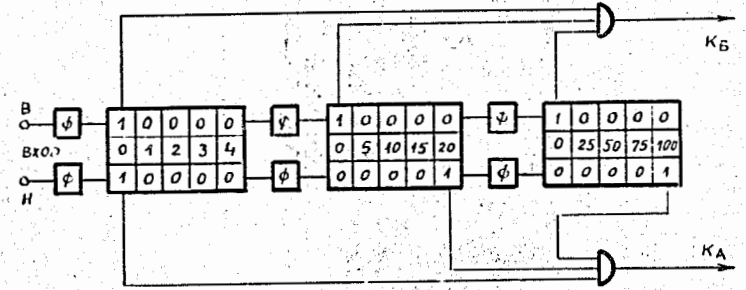


Рис. 5.

B	H	C'	C''
		$\alpha \beta \gamma$	$\alpha \beta \gamma$
1	0	1 0 0	0 1 0
1	0	0 1 0	0 0 1
1	0	0 0 1	1 0 0

a.

B	H	C'	C''
		$\alpha \beta \gamma$	$\alpha \beta \gamma$
0	1	1 0 0	0 0 1
0	1	0 0 1	0 1 0
0	1	0 1 0	1 0 0

б.

Таблица 1.

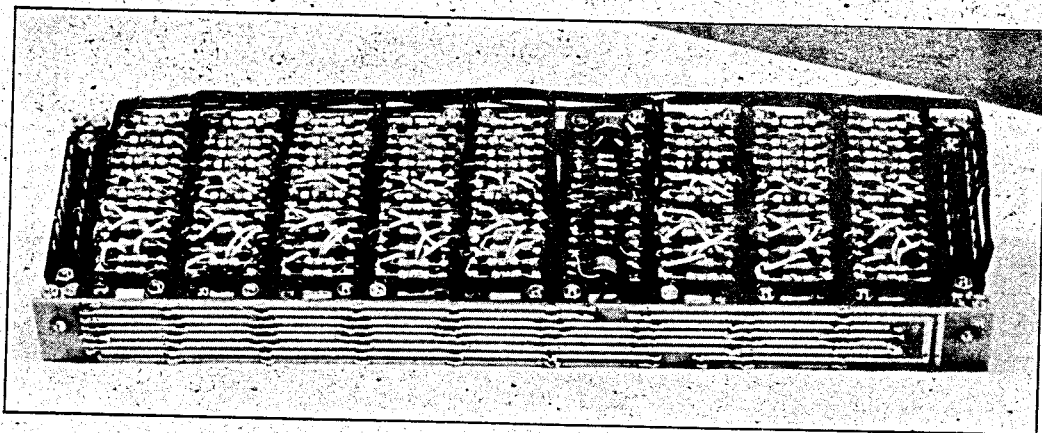


Рис. 6.