

15

Ш-36



ОБЪЕДИНЕННЫЙ ИНСТИТУТ ЯДЕРНЫХ ИССЛЕДОВАНИЙ
ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОБЛЕМ

Бела Шебештьен

1412

**ПРОМЕЖУТОЧНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО
НА ФЕРРИТАХ И ТРАНЗИСТОРАХ
ДЛЯ АВТОМАТИЧЕСКОЙ ОБРАБОТКИ ИНФОРМАЦИИ
С ГРУППЫ ДЕТЕКТОРОВ**

Дубна 1963

Бела Шебештьен

1412

2101/3 48.

ПРОМЕЖУТОЧНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО
НА ФЕРРИТАХ И ТРАНЗИСТОРАХ
ДЛЯ АВТОМАТИЧЕСКОЙ ОБРАБОТКИ ИНФОРМАЦИИ
С ГРУППЫ ДЕТЕКТОРОВ

Исследовательский институт
защиты исследователей
БИБЛИОТЕКА

Дубна 1963

А) ОПИСАНИЕ ПРОМЕЖУТОЧНОГО ЗАПОМИНАЮЩЕГО УСТРОЙСТВА

1. Введение

В ядерной физике приобретают все большее значение измерения такого типа, когда с большой группы детекторов получают сигналы, появляющиеся одновременно на выходах детекторов. Информация детекторов в дальнейшем обрабатывается, в частности на вычислительных машинах.

Устройство, о котором пойдет речь, построено для сохранения информации от сцинтилляционных счетчиков, расположенных вокруг искровой камеры, и передачи ее на перфоратор. Логическая структура устройства разработана применительно к работе синхроциклотрона Лаборатории ядерных проблем Объединенного института ядерных исследований.

Устройство имеет возможности для сохранения макс. 120 "чисел", каждое из которых состоит из 48 двоичных разрядов.

2. Блок-схема ПЗУ

Блок-схема устройства показана на рис. 1. Предварительно следует отметить, что между запоминающим устройством и детекторами находится годоскопическая система со схемой выборки (на рисунке не изображена), которая производит отбор сигналов детекторов. На вход ПЗУ поступают только те наборы импульсов, которые соответствуют одному из ожидаемых событий. С наступлением ожидаемого события на входы 1,2 ... 47, 48 поступает набор импульсов с детекторов. Одновременно на вход А поступает "импульс события". Ворота И с отрицанием $ИО_1$ открыты до тех пор, пока имеется хоть одна свободная ячейка в памяти.

В обычном состоянии системы записи ворота V_1 открыты, а поразрядные ворота ПРВ закрыты. С наступлением события от ворот V_1 поступает импульс, отпирающий ПРВ. Набор сигналов датчиков передается на числовой регистр ЧР, и там происходит предварительное накопление информации. В то же время адресная система АС, а также дифференциальная пересчетная схема ДПС получают управляющий импульс. Сами ворота V_1 после каждого импульса события запираются на 10 мксек. Так как время записи ПЗУ - 8 мксек, то если следующее событие произойдет в течение интервала менее 10 мксек, оно не помешает процессу записи.

Система записи выбирает очередную запоминающую ячейку и выполняет процесс записи. При этом содержание ЧР перейдет в избранную ячейку блока памяти БП.

Считывание информации происходит под воздействием сигнала, поступающего на вход Б. Для этой цели используется тактовый сигнал ускорителя. Этот сигнал всегда предшествует возможному событию. Тактовый сигнал задерживается в ПЗУ таким образом, чтобы цикл считывания из БП на РС происходил в перерыве между импульсами ускорителя.

Сигнал, поступающий на вход Б, попадает на триггерную схему $Tr1$ с двумя устойчивыми состояниями. Под действием сигнала $Tr1$ переворачивается в состояние 1. Цепь $ИО_2$ всегда открыта, если, по крайней мере, одна ячейка БП содержит информацию. В этом случае выходной сигнал триггера после задержки T_1 поступает на адресную систему, которая совершает выбор ячейки, а затем обеспечивает передачу информации этой ячейки в регистр РС. При этом адресная система отпирает систему поразрядных ворот с усилителями считывания УВ.

Сигнал, управляющий считыванием, в дальнейшем через время $T_2 > 8$ мксек, переворачивает схему $Tr2$ в состояние 1 (схема $Tr2$ подобна схеме $Tr1$) и тем самым отпирает цепь И. Сигналы тактового генератора Г поступают через формирователь Φ_k на коммутатор тока Ко. Под воздействием импульсов генератора Г содержание регистра РС передается на перфоратор. Так как эта информация соответствует 48-ми двоичным единицам, а число параллельных входов перфоратора-4, передача происходит за 12 тактов через выходы I, II, III, IV. С началом передачи каждого "числа" коммутатор Ко дает маркерный импульс на выход V, а формирователь Φ_y через выход VI посылает управляющий импульс на перфоратор при каждом импульсе генератора Г.

После передачи последней четверки двоичных единиц коммутатор возвращается в свое первоначальное состояние. При этом схемы $Tr1$ и $Tr2$ перебрасываются в состояние 0, запираются ворота И, и таким образом ПЗУ снова готова к приему управляющего импульса считывания.

Существенно, что во время выдачи информации на перфоратор считывание из БП запрещено, а запись свободна. Благодаря этому, устройство выполняет задачу временного согласования.

Дифференциальная пересчетная схема ДПС играет двойную роль. С одной стороны, она запрещает считывание до тех пор, пока числовые ячейки пусты. С другой стороны, она показывает, сколько ячеек БП занято; она дает разницу числа выполненных процессов записи и считывания. В состоянии 0 ДПС запирает ворота $ИО_2$, а в состоянии 120 - ворота $ИО_1$.

3. Некоторые отдельные узлы

Формирователи и усилители ПЗУ не отличаются существенно от известных схем, но стоит упомянуть о решении системы блока памяти (БП), адресной системы (АС), числового регистра (ЧР) и промежуточного регистра считывания (РС). Коммутаторы тока на ферритах и дифференциальная пересчетная схема на транзисторах (ДПС) заслуживают более подробного описания, но это выходит за рамки работы.

3.1 Блок памяти

Использован блок памяти типа Z с компенсирующими запоминающими сердечниками. Он состоит из 120 ячеек, каждая из которых соответствует 48-ми двоичным единицам. Координатные трансформаторы на сердечниках с прямоугольной петлей гистерезиса в отличие от обыкновенных двумерных структур^{/1/} располагаются по трехмерной системе. Данное решение показано на рис. 2 для случая 12 ячеек. Каждому из координатных трансформаторов соответствует тройка ключей $-K_x, K_y, K_z$. Из рисунка видно, что при трехмерной структуре сохраняется принцип выборки по двум совпадающим токам. Например, при замыкании ключей K_{x1}, K_{y1}, K_{z1} на сердечник C_{111} поступает два полутoka от формирователя Φ_{xyz} .

Ключи выполнены на ферритовых элементах с сердечниками с прямоугольной петлей гистерезиса и работают по принципу распределения тока^{/2,3/}. "Замыкание ключей" происходит таким образом, что все диоды D , за исключением диодов избранных ветвей токов, получают запирающее напряжение.

С точки зрения числа адресных устройств трехмерная система экономичнее двумерной. В случае N ячеек число адресных устройств равно $2\sqrt{N}$ при квадратной и $3\sqrt[3]{N}$ при кубической структуре координатных трансформаторов. На рис. 3 показана функция $f = 3\sqrt[3]{N}/2\sqrt{N}$ в зависимости от N . Как видно, в результате применения трехмерной структуры в данном случае (120 ячеек) уменьшается количество адресных устройств на 30% по сравнению с двумерной системой. Работа блока памяти характеризуется еще тем, что к координатной системе приложено токовое смещение, которым определяется стационарное состояние координатных трансформаторов.

3.2 Адресная система

Адресная система производит поиск ячеек в определенной последовательности. Эта последовательность одна и та же и в случае записи и в случае считывания, но процесс записи всегда предшествует процессу считывания. На рис. 4 показано расположение координатных трансформаторов, а из таблицы рис. 5 поясняется последователь-

ность поисков (первые 10 трансформаторов). Видно, что поиск происходит не по линии или плоскости, а в пространстве. Это является следствием того, что адресная система в данном случае представляет из себя схему импульсного типа. В процессе записи (и считывания) чисел адрес числовой ячейки по каждой координате меняется на 1 (циклически).

Структура адресной системы по каждой координате одна и та же. Блок-схема адресной системы координаты x показана на рис. 6. К адресной системе относятся показанные на рис. 2 ключи K_x и, кроме того, два коммутатора тока ($АП_3$ и $АП_{сч}$), выполненные по принципу кольцевой пересчетной схемы. $АП_3$ и $АП_{сч}$ предназначены для сохранения информации, касающейся последовательности выборки ячеек. $АП_3$ соответствует записи, а $АП_{сч}$ - считыванию.

В начале работы оба коммутатора готовы для выбора 1-го ключа. Когда к формирователю Φ_3 поступает управляющий импульс $I_{у3}$, коммутатор $АП_3$ с током I_3 формирователя Φ_3 выбирает 1-ый ключ системы K_x . Для выборки требуется время $t' < t_1$. Через t_1 , импульс $I_{у3}$ поступает на формирователь Φ_k , который выдает импульс I_k . Этим импульсом ключ 1 "замыкается". Время переключения ключа $t'' < t_2$. Затем через время t_2 под воздействием $I_{у3}$ включается мощный формирователь Φ_{xy} , ток которого протекает по пути, определенному выбором ключей, и происходит процесс записи. После записи замкнутый ключ размыкается, и адресная система готова для последующей работы. Процесс считывания происходит тем же самым путем.

Временная диаграмма процесса записи и считывания показана на рис. 7. Обозначения соответствуют рисунку 6. Импульсный ток формирователя Φ_{xy} снабжен индексом $xу$ потому, что этот ток проходит как через систему ключа K_x , так и K_y (см. рис.2). Для тока, протекающего во вторичной обмотке избранного координатного трансформатора, используется обозначение $I'_{вт}$ по отношению к запоминающим сердечникам и $I''_{вт}$ по отношению к компенсирующим сердечникам. $I^c_{пр}$ является поразрядным током записи 0, а $I^1_{пр}$ - поразрядным током записи 1. Первая ступенька импульса $I_{вт}$ вызывается действием импульсов I_{xy} , I_x , а вторая часть - током смещения. В течение процесса записи используется вторая ступенька импульса, а во время считывания - первая.

Адресная система характеризуется тем, что как система K_x, K_y, K_z , так и адресные коммутаторы, построены на ферритовых элементах и диодах. Эти схемы управляются небольшим количеством формирователей и переключают ток нескольких общих мощных формирователей. Вследствие этого адресная система содержит мало активных элементов (транзисторов).

3.3. Числовой регистр с системой поразрядной записи (ЧР).

Система ЧР отличается от известных решений^{/1/} тем, что поразрядные элемен-

тарные схемы построены лишь из пассивных элементов. Система показана на рис. 8 для случая 2-х разрядов.

Роль элементарной схемы двойная. С одной стороны, она сохраняет информацию, поступающую на ее вход, а с другой стороны, передает ток импульса общего формирователя на провод поразрядной записи с полярностью, соответствующей записанной информации.

Схема построена на ферритовых элементах на сердечниках с прямоугольной петлей гистерезиса. Эти элементы располагаются в ветвях α и β (см. рис. 8). Схема работает по принципу распределения тока. При записи 0 на вход импульса не поступает. В этом случае в течение времени записи на БП ток общего генератора протекает через ветвь α . В случае записи 1 этот ток протекает через ветвь β . В ветвях находятся первичные обмотки трансформатора Тр. Число витков этих обмоток одинаково, и их полярности противоположны. Поразрядный провод записи обозначен на рисунке знаком R_i . Ток импульса, соответствующий рисунку, протекает через R_i при записи 0 в положительном, а при записи 1 - в отрицательном направлении. Процесс записи завершается сбросом. В течение процесса сброса элементарные схемы возвращаются в исходное состояние.

48-ми элементарным поразрядным схемам соответствует единственная пара формирователей, чем легко обеспечивается одновременность и амплитудная однозначность поразрядных импульсов.

3.4. Регистр считывания (РС)

Регистр считывания РС состоит из 48-ми сердечников с прямоугольной петлей гистерезиса соответственно 48 разрядам ПЗУ. Сердечники расположены в матрице (4 x 12), как показано на рис. 8. Числа около сердечников соответствуют разрядам ячеек. Ток импульса коммутатора последовательно протекает через шины 1, 2... 12. При работе коммутатора информация передается по 4 сердечникам на провода считывания I, II, III, IV и через формирователи - на перфоратор. Таким образом, содержание информации одной ячейки передается на перфоратор за 12 тактов.

4. Некоторые общие замечания

Скорость применяемого перфоратора 20 строк/сек. Время передачи 48-разрядного числа на перфоратор составляет 0,6 сек. Таким образом, максимальное число регистрируемых событий составляет 100 в минуту. Мертвое время ПЗУ - 10 мксек. Величина мертвого времени позволяет регистрировать значительно большее среднее число событий, но при этом требуется более быстродействующее выходное устройство (например, магнитофон).

Б) СИСТЕМА ПРОВЕРКИ ПЗУ

Блок-схема системы проверки показана на рис. 10. При эксплуатации устройства переключатели K_1 и K_2 находятся в позиции 1; входы ПЗУ подключаются к источнику информации, а выходы его - на перфоратор.

Профилактическая проверка ПЗУ осуществляется двумя различными способами:

- 1) внешним контролем и
- 2) внутренним контролем.

В первом случае переключатель K_1 ставится в позицию 2, а во втором - в позицию 3. И при внешнем и при внутреннем контроле переключатель K_2 находится в позиции 2.

1. Внешний контроль

Система внешней проверки дает возможность контроля работы в ПЗУ в целом. При этом с помощью внешнего генератора подаются сигналы на входы ПЗУ. Появляющимся на входы сигналам соответствует определенный набор выходных сигналов. Внешний контроль работы ПЗУ заключается в том, чтобы проверить согласование выходных сигналов со входными.

1.1 Внешний контроль одиночными импульсами

В позиции 2 переключателя K_1 генератор G работает в авторежиме с частотой 5 гц. Если переключатель K_4 ставится в позицию 1, с выхода формирователя Φ_1 появляются одиночные импульсы с длительностью 2 мксек и с частотой следования 5 гц.

Переход импульсов на входы ПЗУ возможен только в период проверки, потому что ворота B закрыты. Процесс контроля начинается с нажимом кнопки K_5 . Затем через блок согласования ИМП.ТР. и задерживающий элемент ЛЗ поступает импульс на вход 1 триггера Тр. Он переворачивается в состояние 1 и отпирает ворота B . Через ворота B передаются импульсы формирователя Φ_1 на мощный формирователь Φ_2 . Сигналы этого формирователя поступают, с одной стороны, на входы ПЗУ, а с другой стороны, на вход пересчетной схемы ПС.

В позиции 1 переключателя K_3 импульсы поступают на "нечетные поразрядные входы" ($Vx1, Vx3, \dots$), а в позиции 2 этого переключателя - на "четные поразрядные входы" ($Vx2, Vx4, \dots$). В первом случае получаем импульсы на выходах I, III (на II, IV - нет), а во втором случае - на выходах II, IV (на I, III - нет) при каждом такте вывода информации.

Блок АС на рис. 10 является системой совпадений-антисовпадений, которая принимает одновременные сигналы выходов I, II, III, IV, VI.

Легко понять, что в зависимости от позиций K_3 и K_8 механический счетчик должен регистрировать либо число 0, либо число $(12n)$, где n обозначает число прошедших процессов считывания.

Частота генератора G - по сравнению с частотой генератора Γ (рис. 1) выбрана таким образом, что за данный отрезок времени происходит большее число записей, чем считываний, следовательно, через некоторое время ПЗУ заполнится. С наступлением этого состояния дифференциальная пересчетная схема (ДПС на рис. 1) подает импульс на вход 0 триггера Тр. Триггер этот переворачивается в первоначальное состояние 0 и запирает ворота В. На этом процесс проверки заканчивается.

В результате проверки получается число N_1 , показываемое пересчетной схемой ПС, и число N_2 , показываемое механическим счетчиком (МЕХ.СЧЕТ.). При правильной работе ПЗУ эти числа должны соответствовать следующим условиям:

$$N_2 = 0, \quad (1)$$

или

$$N_2 = 12 \cdot n = 12(N_1 - 120) \quad (2)$$

в зависимости от позиций переключателей K_3 и K_8 . Результаты, отличающиеся от (1) или (2), показывают сбой устройства.

1.2 Внешний контроль двойными импульсами

Входная система ПЗУ должна обладать мертвым временем 10 мксек. Правильность наладки входной системы проверяется той же самой системой, которая была использована в 1.1, но с двойными импульсами.

В позиции 2 переключателя K_4 на выходе Φ_1 получают двойные импульсы с промежутком 8 мксек, а в позиции 3 - с промежутком 12 мксек (5 гц).

В результате проверки двойными импульсами с промежутком 8 мксек должны получиться следующие соотношения между числами, показываемыми на счетчиках:

$$N_{2(8)} = 0, \quad (3)$$

или

$$N_{2(8)} = 12 \cdot n = 12 \left(\frac{N_{1(8)}}{2} - 120 \right) = 12(N_1 - 120). \quad (4)$$

Отношение (4) подразумевает то, что при правильной наладке мертвого времени ПЗУ вторые импульсы двойки хотя и считываются пересчетной схемой ПС, но записи они не производят.

При проверке импульсами с промежутком 12 мксек действительны те же самые соотношения (1) и (2), так как в этом случае каждый импульс производит запись:

или

$$N_{2(12)} = 0, \quad (5)$$

$$N_{2(12)} = 12(N_{1(12)} - 120). \quad (6)$$

Что касается соотношений (2) и (6), то следует подчеркнуть, что $N_{1(12)} \neq N_1$ и $N_{2(12)} \neq N_2$, потому что времена проверки неодинаковы, что вполне понятно.

2. Внутренний контроль

В позиции 3 переключателя K_1 выходные схемы ПЗУ отключаются, и остается в работе лишь быстродействующая часть. Генератор G с формирователями Φ_1 и Φ_2 выдает импульсы с частотой следования 1 кГц. С помощью переключателя K_4 можно подать на вход ПЗУ одиночные или двойные импульсы и в этом случае.

В течение внутренней проверки процессы записи и считывания повторяются непрерывно с частотой 1 кГц. При этом форму импульсов, появляющихся в цепях быстродействующей части ПЗУ, можно проверить встроенным в систему осциллографом. Совместно с осциллографом применяется переключательная система, с помощью которой быстро просматривается работа этой части. Для нормализации амплитуд импульсов встроены делители (осциллограф, его переключательная система и делители на блок-схеме не показаны).

Переключатели внешней и внутренней контрольной системы позволяют легко сменить режим ПЗУ с рабочего состояния на проверку. Время проверки — не больше нескольких минут. Таким образом всегда можно осуществить проверку перед эксплуатацией ПЗУ, чем повышается надежность работы устройства.

Следует заметить, что система проверки дает возможность не только простого профилактического контроля, но и быстро разграничивает место сбоя.

В заключение автор пользуется случаем, чтобы выразить благодарность проф. В.П.Джелепову за внимание, уделенное данной теме, кандидату физ.-матем. наук С.М.Коренченко за постоянную помощь и ценные советы при выполнении данной работы и младшему научному сотруднику И.Ф.Колпаколу за помощь при подготовке рукописи к печати.

Л и т е р а т у р а

1. Н.И. Меркулов, А.А.Павликов, А.С. Федоров. Запоминающие устройства БЭСМ-2. М., Физматгиз, 1962.
2. M.Karnaugh. Pulse Switching Circuits Using Magnetic Cores. Proc. IRE. May 1955, p. 570-583.
3. J.A.Rajchman, H.D.Crane. Current Steering in Magnetic Circuits. IRE. Transaction on Electronic Computers. March 1957, p. 21-30.

Рукопись поступила в издательский отдел
9 сентября 1963 г.

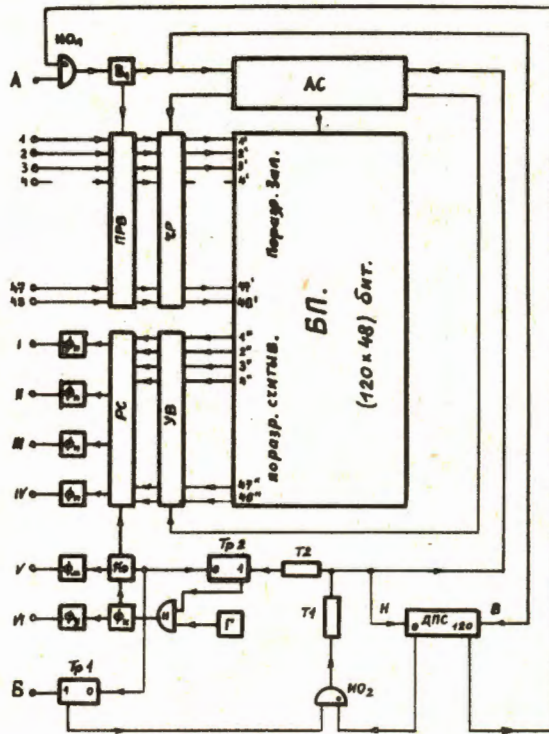


Рис. 1.

Обозначения:

А - вход импульса события

Б - тактовый импульс ускорителя

1,2...48 - поразрядный вход

I, II, III, IV - вых. для перфорат.

V - вых. маркера

VI - вых. управления

АС - адресная система

БП - блок памяти

В₁ - ворота записи

Г - тактовый генератор

ДПС - дифференциальная
пересчетная схема

И - логическая схема И

ИО - логическая схема И
с отрицанием

КО - коммутатор тока

ПРВ - поразрядные ворота

РС - регистр считывания

Т - цепи задержки

ТР - триггеры

УВ - усилители с воротами

Ф - формователи

ЧР - числовой регистр

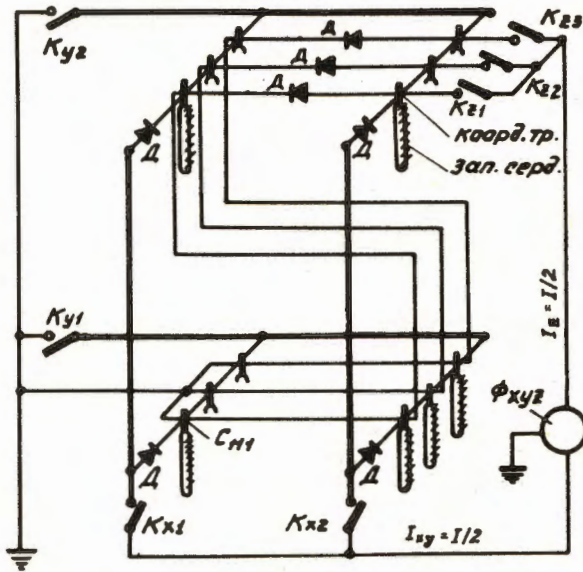


Рис. 2.

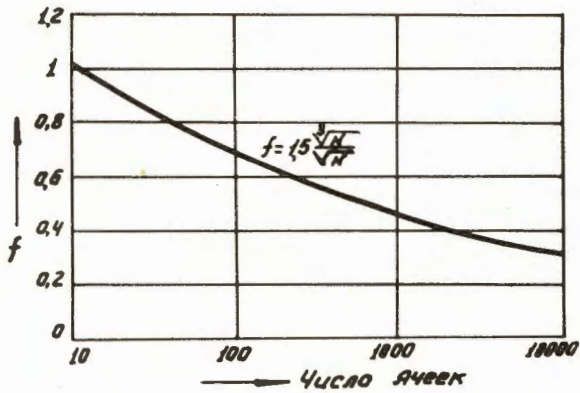


Рис. 3.

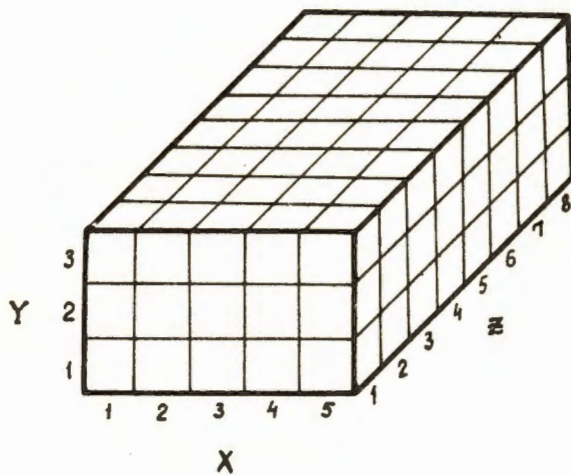


Рис. 4.

Времен- ная пос- ледоват.	X	Y	Z	Времен- ная пос- ледоват.	X	Y	Z
1	1	1	1	6	1	3	6
2	2	2	2	7	2	1	7
3	3	3	3	8	3	2	8
4	4	1	4	9	4	3	1
5	5	2	5	10	5	1	2

Рис. 5.

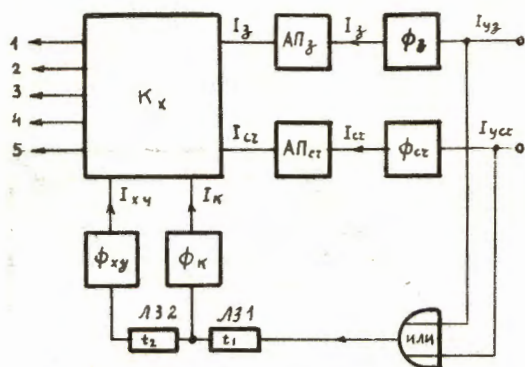
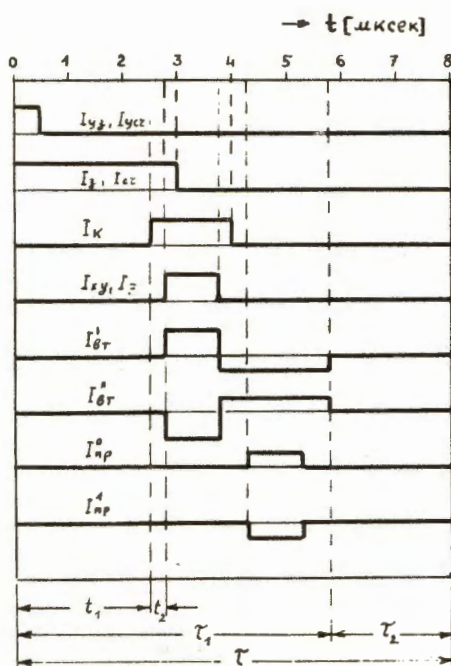


Рис. 6.



τ_1 время записи или считывания
 τ_2 время восстановления
 τ время цикла работы

Рис. 7.

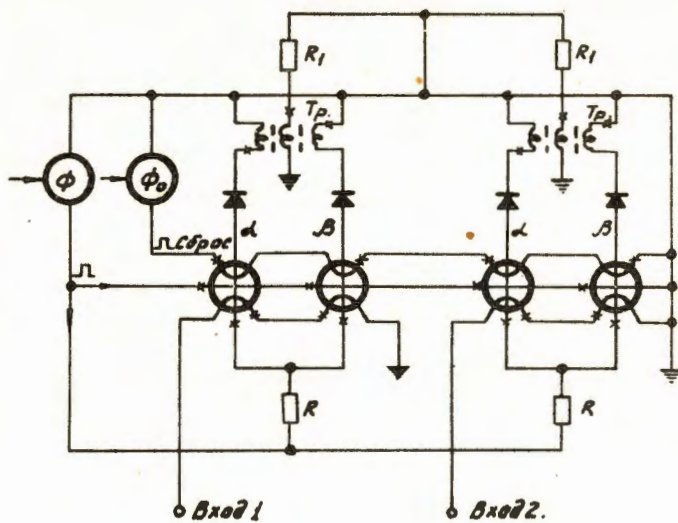


Рис. 8.



Рис. 9.

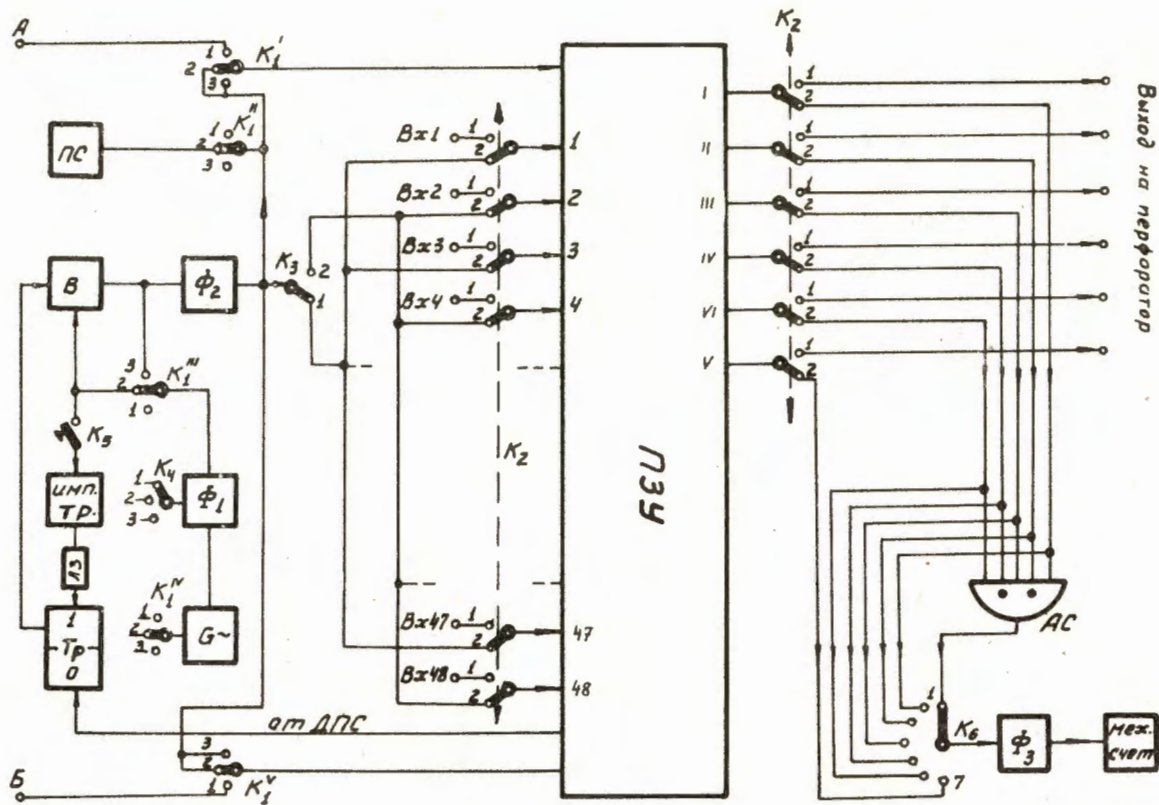


Рис. 10.