

15

Б-211

1301



ОБЪЕДИНЕННЫЙ ИНСТИТУТ ЯДЕРНЫХ ИССЛЕДОВАНИЙ

ЛАБОРАТОРИЯ НЕЙТРОННОЙ ФИЗИКИ

Ш.И. Барилко, А.А. Зарецкий

1301

ПРОМЕЖУТОЧНАЯ ПАМЯТЬ
НА ТУННЕЛЬНЫХ ДИОДАХ
ДЛЯ МНОГОКАНАЛЬНОГО ВРЕМЕННОГО АНАЛИЗАТОРА

Дубна 1963

Ш.И. Барилко, А.А. Зарецкий

1301

ПРОМЕЖУТОЧНАЯ ПАМЯТЬ
НА ТУННЕЛЬНЫХ ДИОДАХ
ДЛЯ МНОГОКАНАЛЬНОГО ВРЕМЕННОГО АНАЛИЗАТОРА

1970/3 мч

Дубна 1963

Для уменьшения просчетов многоканального временного анализатора с памятью на ферритах применяется промежуточная память с временем регистрации значительно меньшим, чем время регистрации основной памяти большой емкости.

В данной работе описывается промежуточная память с мертвым временем 1 мксек, работающая в установке, содержащей тысячеканальное запоминающее устройство с мертвым временем 20 мксек.

Предусмотрены два режима работы - проверочный и рабочий. В проверочном режиме происходит заполнение каждым кодом по очереди всех регистров, а затем перенос этих кодов с каждого регистра в основную память.

В качестве элементов памяти используются туннельные диоды.

Блок-схема и принцип работы

Блок-схема промежуточной памяти приведена на рис. 1 и состоит из кодовых формирователей, четырех регистров памяти, реверсивного счетчика с дешифраторами, коммутаторов записи, коммутаторов чтения, формирователя записи, формирователя чтения и двухкаскадных усилителей-формирователей.

Блок-схема формирователей чтения и записи приведена на рис. 2.

О п и с а н и е р а б о т ы

а/ Операция записи

Если промежуточная память пуста, то импульсы считывания на нее не проходят, так как клапан K_2 закрыт благодаря отрицательному перепаду с коллектора T_{17} , который подается на его вход через фазоинвертор $\Phi И_3$ /рис. 2/.

Импульс "пуск записи" подается через $\Phi.И_1$, $\mathcal{E}.П_{19}$, схему задержки $\mathcal{E}П_1, K_1$ и $\mathcal{E}.П_2$ к коммутаторам записи.

При пустой промежуточной памяти триггеры реверсивного счетчика установлены в такое положение, при котором импульс, выдаваемый формирователем записи, проходит через коммутатор записи T_9 на шину записи первого регистра памяти и фиксирует в этом регистре код, который подается с кодовых формирователей $T_{61}-T_{84}$. Импульс с коммутатора T_9 проходит также на шифратор и переводит триггеры T_1-T_8 в такое состояние, при котором запись может произойти во второй регистр, а чтение может произойти с 1-го регистра. Импульсом записи в 1-ую линейку снимается блокировка с клапана K_2 /триггер T_{17} переводится в противоположное состояние/, и очередной импульс микросекундной серии, поступающей из временного блока анализатора, проходит на коммутатор чтения, если нет следующего импульса "пуск записи".

Если в следующий такт /расстояние между тактами 1 мксек/ приходит импульс "пуск записи", то описанная выше последовательность операций повторяется с той разницей, что запись происходит через T_{11} во второй регистр, триггеры $T_1 - T_8$ переводятся в состояние, при котором запись может произойти в 3-й регистр, а чтение - со второго регистра.

б/ Операция чтения

Если нет импульса "пуск записи", то импульс микросекундной серии проходит через клапан K_2 на усилитель $У$ и коммутаторы чтения.

Через коммутаторы чтения импульс проходит на последнюю занятую линейку. Код, зафиксированный на ней, стирается и передается через двухкаскадные усилители чтения на входы триггеров МОЗУ.

Через усилитель $У$ импульс проходит на вход "пуск логики" основной памяти и возбуждает каскады, дающие импульс блокировки чтения на мертвое время основной памяти. Импульс блокировки подается на клапан K_2 через пороговую схему и предотвращает прохождение через этот клапан импульсов микросекундной серии в течение времени регистрации кода в основной памяти. Возврат пороговой схемы на заднем фронте импульса блокировки фазирован микросекундной серией. Импульс чтения проходит также через шифратор на триггеры $T_1 - T_8$ и ставит их в такое состояние, при котором запись может произойти в тот регистр, с которого было произведено чтение, а чтение - с предыдущего регистра.

в/ Блокировка записи и чтения

В рабочем режиме блокировка записи осуществляется только в том случае, когда все четыре регистра заполнены. После стирания /чтения/ кода с последнего регистра блокировка записи снимается. Блокировка чтения /микросекундной серии/ в рабочем режиме осуществляется в следующих случаях:

1. при пустой промежуточной памяти - перепадом напряжения от T_{17} через Ф.И₃;
2. при записи кода импульсом записи через Ф.И₃ на один такт/импульс записи опережает импульс чтения на 0,1 мксек/;
3. на время регистрации кода в основной памяти импульсом с пороговой схемы /П.С./ Длительность этого импульса определяется мертвым временем основной памяти.

В проверочном режиме блокировка записи осуществляется после записи в последний регистр и снимается после чтения с первого регистра. Блокировка чтения осуществляется после чтения с первого регистра до записи в последний, а также после каждого чтения на мертвое время основной памяти. Программы переключаются с помощью реле.

Временная диаграмма импульсов приведена на рис. 4. Римскими цифрами обозначены точки на блок-схемах. Кодовые импульсы совпадают по времени с микросекундной серией. Импульс записи сдвинут на 0,1 мсек относительно основной микросекундной серии для лучшей фазировки с кодовыми импульсами. Сдвинутая микросекундная серия,

образующая импульсы чтения, задержана относительно основной на 0,3 мксек. Конец блокировки чтения фазирована сдвинутой микросекундной серией и задержана относительно нее на 0,1 мксек за счет рассасывания носителей в транзисторе T_{17} пороговой схемы.

Элементы схемы

Ниже будут описаны следующие элементы:

1. ячейка памяти, 2. триггер, 3. клапан, 4. кодовый формирователь, 5. усилитель - формирователь выходного сигнала.

1. Ячейка памяти

Точка "а" /рис. 5а/ характеристики туннельного диода ячейки памяти идентифицируется с двоичным нулем, точка "б" - с двоичной единицей. Каждый регистр содержит 12 таких ячеек. После поступления импульса чтения туннельные диоды всех ячеек разряда переводятся в точку "а". Величина импульса кода и импульса записи подобрана так, что одного из них недостаточно для перевода туннельного диода в точку "б". Только под воздействием обоих импульсов туннельный диод переводится в состояние "1".

При переходе из точки "б" в точку "а" под воздействием импульса чтения дифференцированный положительный перепад с туннельного диода проходит через разделительный диод на шину "сигнал". Для повышения надежности сопротивления R_1 и R_4 подбирались так, чтобы граница срабатывания под воздействием одного из импульсов была $7,5 \pm 0,2$ в.

2. Триггер

Два триггера реверсивного счетчика /рис. 3/ собраны на триодах T_2, T_4 и T_6, T_7 . На T_1, T_3 и T_5, T_8 собраны эмиттерные повторители. Разберем работу триггера T_2, T_4 . Принцип работы его описан в /1/ и состоит в следующем. Пусть туннельный диод находится на ветви M характеристики. Тогда транзистор T_2 заперт благодаря малому напряжению между эмиттером и базой, и ток, определяемый падением напряжения на сопротивлении в эмиттере T_2 , проходит через туннельный диод и T_4 . Сопротивление в коллекторе T_4 подобрано так, что потенциал на нем в этом случае равен $\pm 1,2$ в. Потенциал коллектора T_2 равен - 10 в, так как через него ток не проходит. Если туннельный диод находится на ветви L , то через него проходит ток I_1 , а ток $I_0 - I_1$ проходит через транзистор T_2 . Сопротивление в коллекторе T_2 подобрано так, что потенциал коллектора оказывается равным + 0,4 в. Потенциал коллектора T_4 в этом случае оказывается равным - 9 в. Для уменьшения тока через T_4 включено сопротивление с эмиттера T_4 на шину - 10 в.

Переброс триггера осуществляется с шифраторов через линии задержки разнополярными импульсами.

3. Клапаны

Применяемые в данной работе клапаны представляют собой диодную схему совпаде-

ний с эмиттерным повторителем на выходе. Отрицательный импульс проходит на выход только в том случае, если потенциал всех входов в момент импульса отрицателен.

4. Кодовый формирователь

Каждый из кодовых формирователей $T_{61} - T_{84}$ собран на двух триодах, один из которых является фазоинвертором, другой - эмиттерным повторителем. Потенциал в коллекторе эмиттерного повторителя регулируется и определяет амплитуду кодового импульса. За счет накапливания носителей в базе повторителя происходит небольшое уплотнение импульса.

5. Усилитель-формирователь выходного сигнала

Каждый из двенадцати усилителей-формирователей выходного сигнала $T_{27} - T_{50}$ собран на двух транзисторах. Благодаря насыщению положительный импульс на выходе второго транзистора уплотняется. Для улучшения помехоустойчивости база второго транзистора подсоединена к земле через нормально открытый диод.

З а к л ю ч е н и е

Описанная схема длительное время находится в эксплуатации совместно с тысячеканальным временным анализатором. Как показала эксплуатация, схема обладает высокой надежностью. По сравнению с описанными в ^{2,3/} схемами данная схема обладает следующими достоинствами.

1. Применение элементов, обладающих большим запасом по быстродействию, позволило повысить надежность.
2. Применение реверсивного счетчика регистров позволило ввести блокировку записи при заполнении всех регистров. Благодаря этому, исключены сбои при больших нагрузках.
3. Введение проверочного режима дало хороший метод контроля исправности всех трактов анализатора.

Авторы считают своим приятным долгом выразить благодарность Л.А. Маталину за ряд ценных советов.

Л и т е р а т у р а

1. I.Amody, W.F.Kozanowsky. R.C.A.Review. N4 (1961).
2. Л.А. Маталин, А.М. Шиманский, С.И. Чубаров. Многоканальные амплитудные и временные анализаторы с системой регистрации на ферритовых сердечниках. Переходной научно-технический опыт. Тема 21, вып. 5, № Р-61-28/5, ЦИТЭИН, М., 1961.
3. Nuclear Electronics Vol. II Conference proceedings, Balgrade (1961). De Loto. Address scaller and Temporary Memory for a transictored time of flight analyzer.

Рукопись поступила в издательский отдел
15 мая 1963 г.

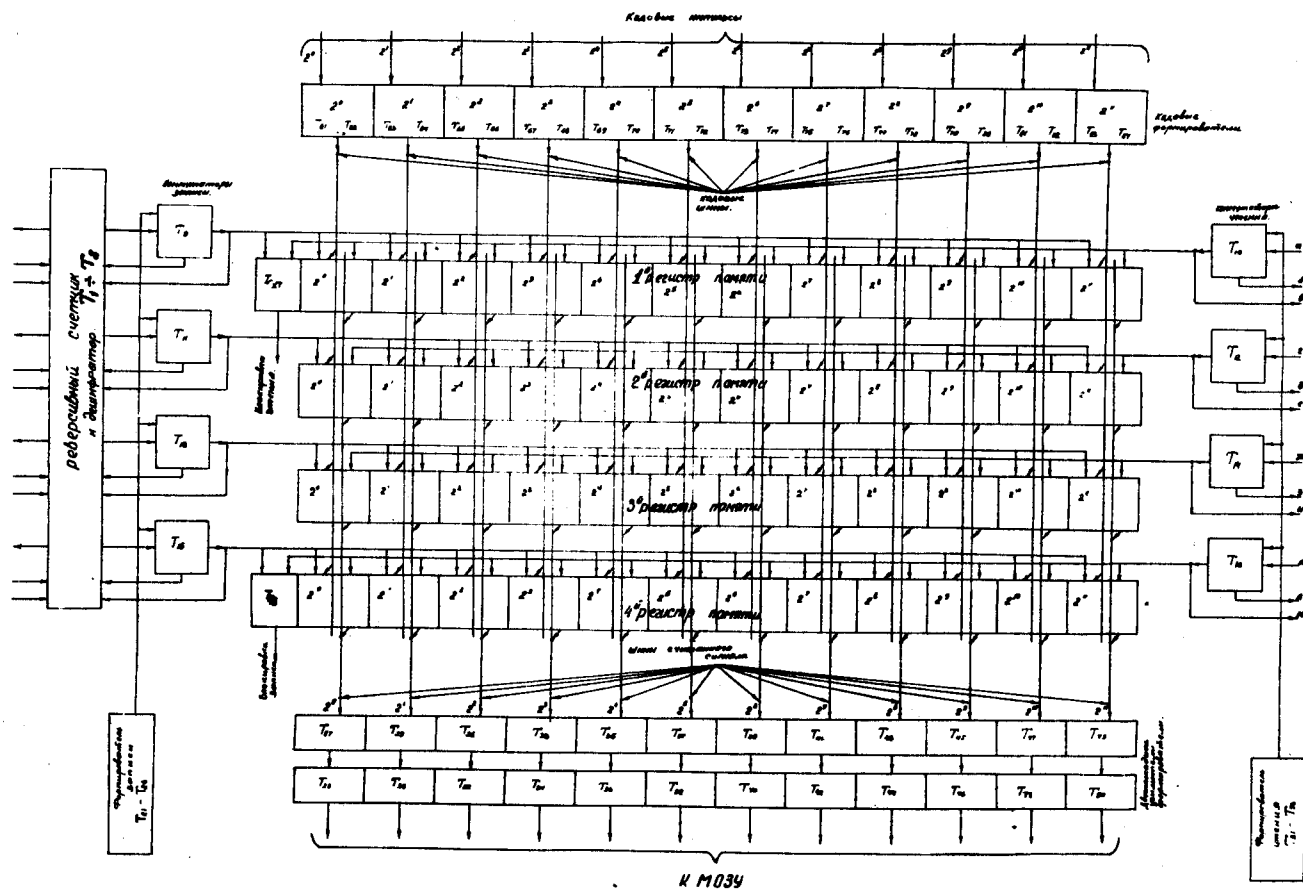


Рис. 1. Блок-схема промежуточной памяти.

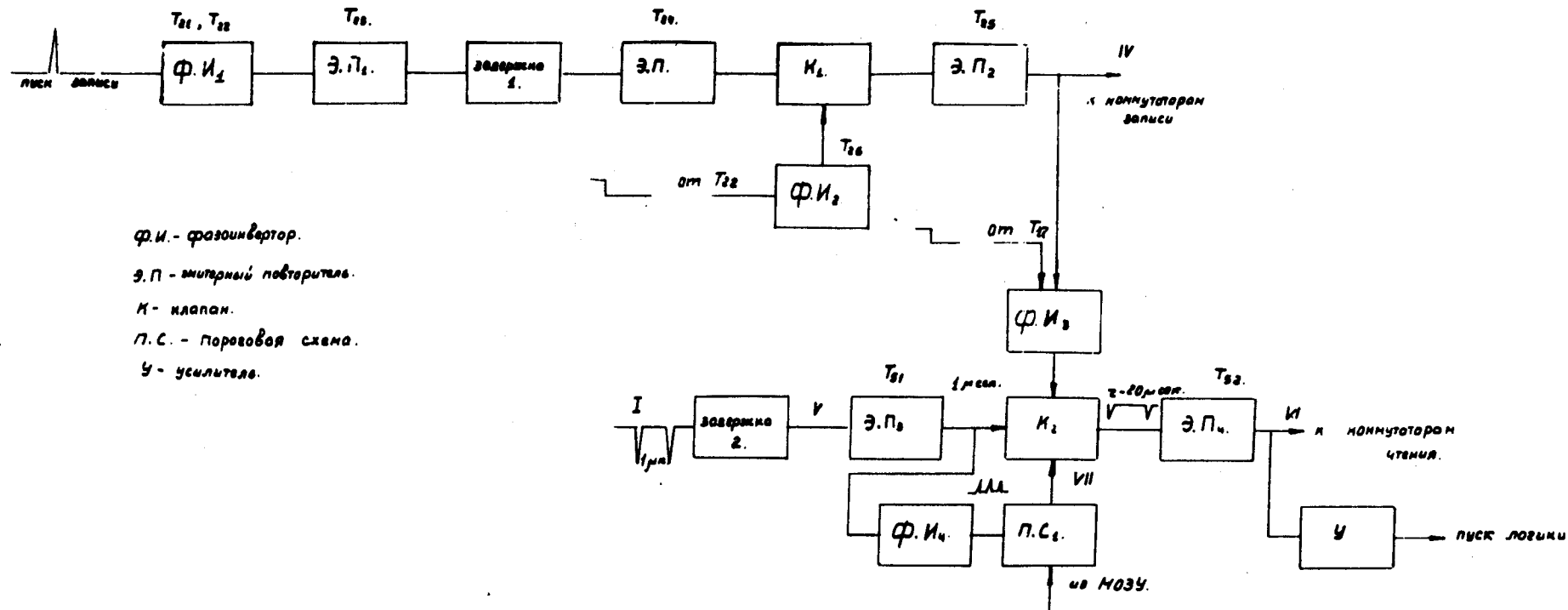


Рис. 2. Блок-схема формирователей чтения и записи.

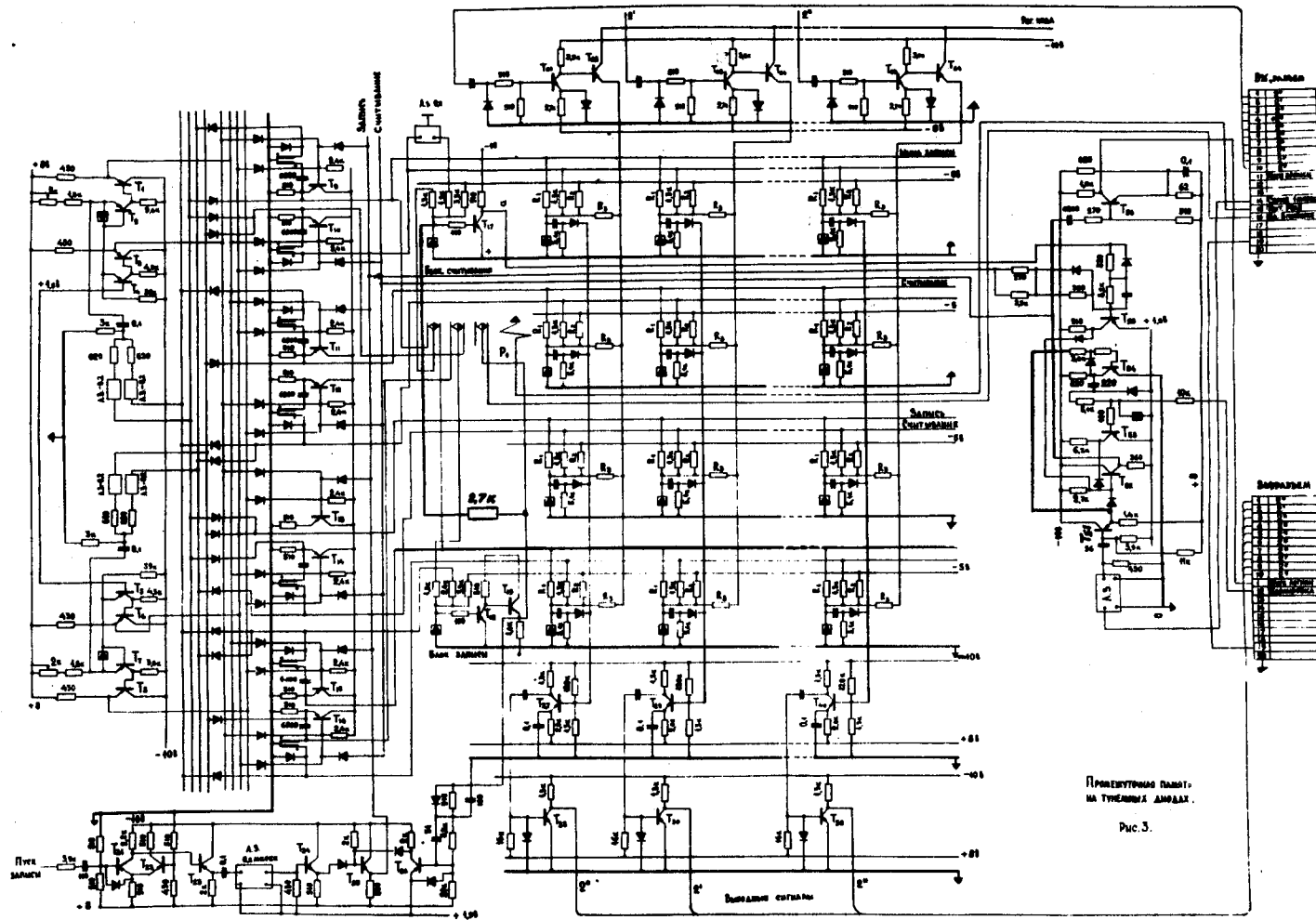
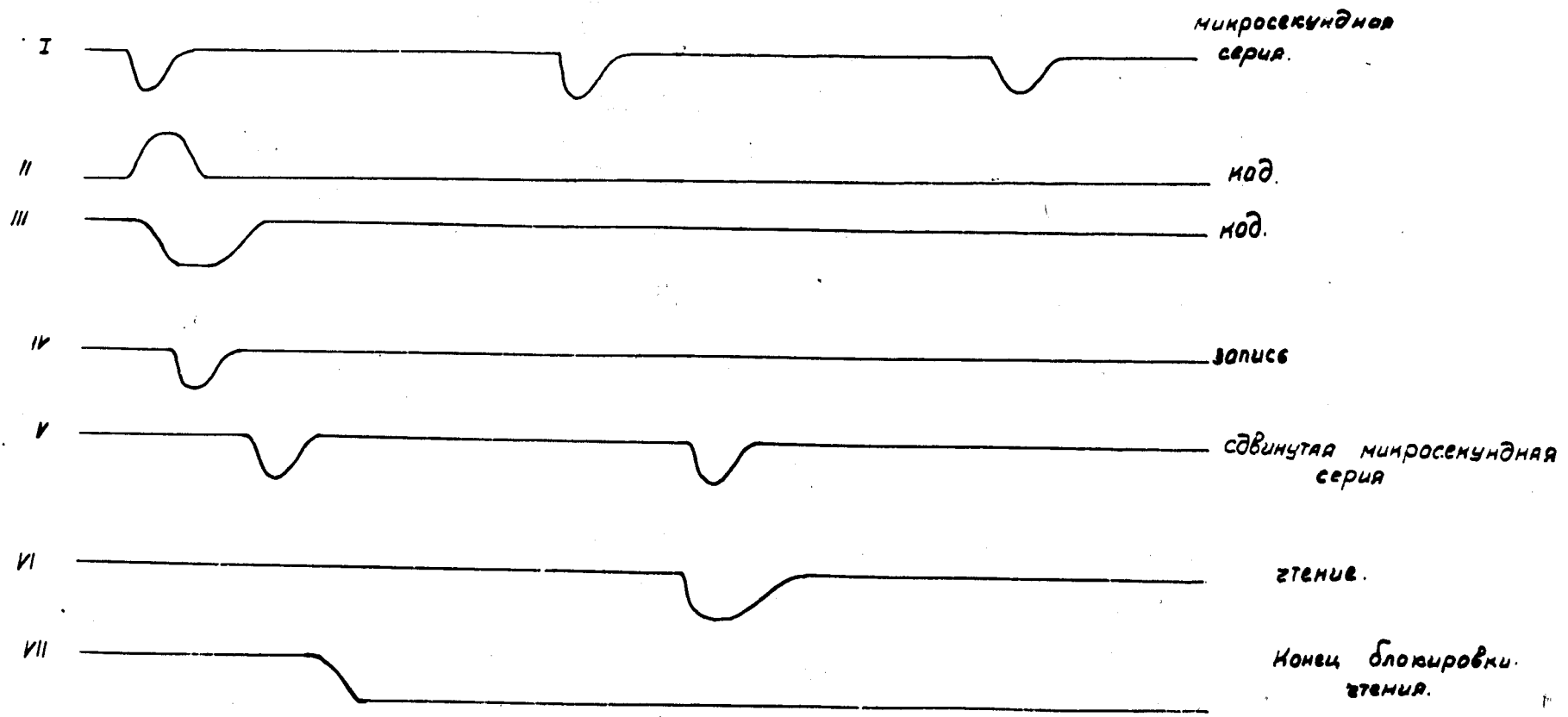
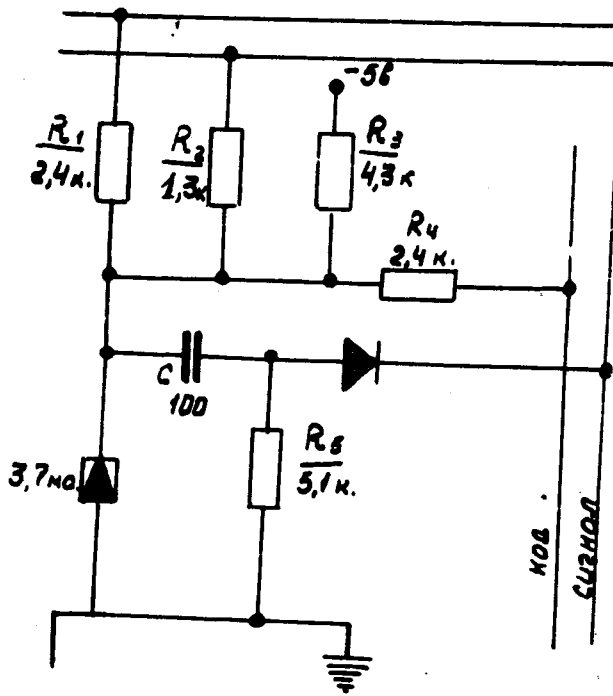


Рис. 3. Промежуточная память на туннельных диодах.

10

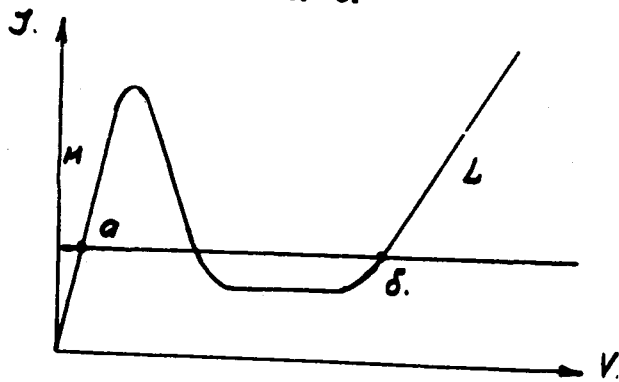


Р и с. 4.

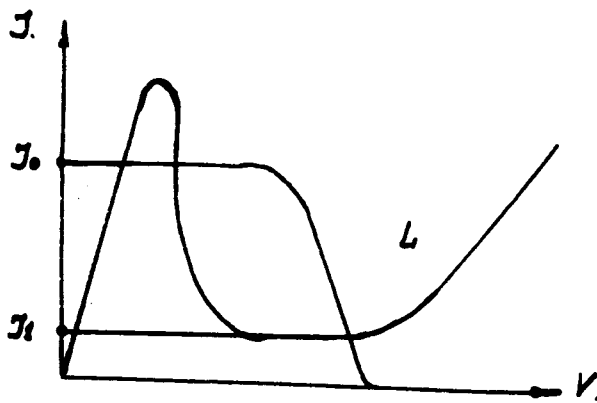


ШИНА ЗАПИСИ.
ШИНА ЧТЕНИЯ.

Р и с. 5.



Р и с. 5а.



Р и с. 6.