

24 26 / 2 - 76

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА



Б-272

28/11-76

13 - 9550

С.Г.Басиладзе, А.Н.Парфенов

СЧЕТВЕРЕННЫЙ УНИВЕРСАЛЬНЫЙ ТАЙМЕР

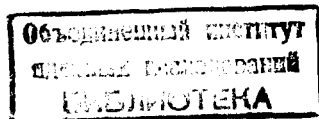
1976

13 - 9550

С.Г.Басиладзе, А.Н.Парфенов

СЧЕТВЕРЕННЫЙ УНИВЕРСАЛЬНЫЙ ТАЙМЕР

Направлено в ПТЭ



В современном физическом эксперименте таймеры являются одной из основных схем в узлах управления логикой работы электронных установок. Таймеры строятся на одновибраторах /1-10, 17, 19-21/ либо с использованием подсчета импульсов кварцевого генератора /5, 11-15/.

Недостатками известных таймеров на основе одновибраторов являются ненулевое время восстановления при одной времязадающей емкости /2-5/; невысокая ~2-10% стабильность времени выдержки при больших временах * ; ограниченность времени выдержки несколькими секундами /1-10, 17/ ; сравнительная сложность схем с нулевым временем восстановления, составляемыми, как правило, из двух одновибраторов, включенных последовательно /7-9/ либо параллельно /10/. Из-за большой величины отрезков квантования и невозможности фазирования серии относительно стартового сигнала таймеры на основе кварцевого генератора /5, 11-15/ реализуют свои преимущества в точности при временах выдержки начиная с нескольких сотен микросекунд.

Ниже описывается широкодиапазонный таймер с нулевым временем восстановления, обеспеченным за счет включения во время выдержки как времени заряда, так и времени разряда времязадающего конденсатора /16, 17/. Диапазон временных интервалов расширен введением внутреннего счетчика периодов. Стабильность времени выдержки обеспечена на уровне ~0,5% специальными мерами по нейтрализации токов утечки и использованием интегральных схем. Сравнительная простота схемы позволила

* За счет влияния токов утечки электролитических времязадающих конденсаторов, используемых в этих диапазонах /6/.

разместить в одном блоке КАМАК двойной ширины четыре независимых таймера и счетверенный ЦАП^{/18/} для цифрового управления временем выдержки с магистрали. Гибкость логической структуры обеспечивает разнообразие вариантов применения таймера.

Упрощенная блок-схема таймера приведена на рис. 1, временная диаграмма сигналов в узловых точках - на рис. 2. Он состоит из схемы линейного заряда и разряда

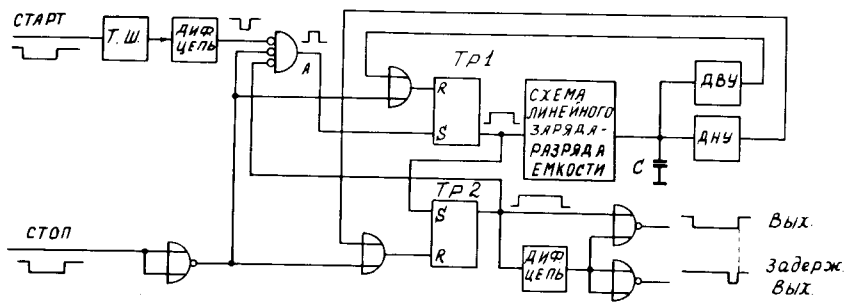


Рис. 1. Упрощенная блок-схема таймера.

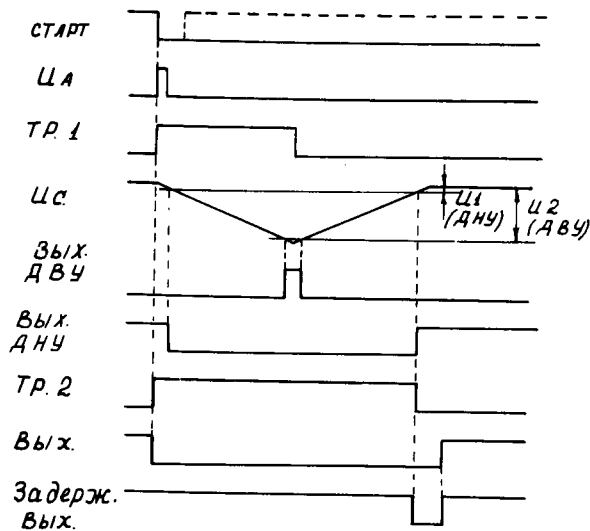


Рис. 2. Временные диаграммы сигналов в узловых точках.

вреязадающего конденсатора, управляемой триггером 1. Заряд и разряд вреязадающего конденсатора по линейному закону позволяет при широком диапазоне выдержек улучшить стабильность^{/19-21/} и обеспечить линейную зависимость времени выдержки от управляющего напряжения ЦАПа. Триггер 1 запускается со старт-входа и сбрасывается дискриминатором верхнего уровня /ДВУ/ либо стоп-сигналом. Временной интервал определяется срабатыванием триггера 2, запускаемого триггером 1 и сбрасываемого задним фронтом дискриминатора нижнего уровня /ДНУ/, либо стоп-сигналом. Окончание временного интервала выделяется схемой дифференцирования на выходе триггера 2. Старт-вход блокируется стоп-сигналом и во время выдержки.

В схеме обеспечена компенсация влияния токов утечки I_y в точке включения вреязадающего конденсатора С. После срабатывания триггера 1 происходит заряд С до тех пор, пока напряжение на С не достигает порога срабатывания ДВУ - U_2 . Время заряда t_3 определяется формулой:

$$t_3 = \frac{U_2 \cdot C}{I_3 - I_y}, \quad /1a/$$

где I_3 - ток заряда емкости. Сброс триггера 1 вызывает разряд емкости за время:

$$t_p = \frac{U_2 \cdot C}{I_p + I_y}. \quad /16/$$

/ I_p - ток разряда/. Если порог ДНУ достаточно низок, то время выдержки равно

$$t_{\text{выд}} \approx t_3 + t_p = U_2 \cdot C \frac{I_3 + I_p}{I_3 \cdot I_p + (I_3 - I_p)I_y - I_y^2}. \quad /2/$$

Если выбрать $I_3 = I_p = I$, то

$$t_{\text{выд}} = \frac{2 \cdot U_2 \cdot C}{I} \cdot \frac{1}{1 - (I_y/I)^2} \quad /3/$$

Вследствие малости отношения I_y/I величиной $(I_y/I)^2$ практически можно пренебречь.

Линейность зависимости $t_{\text{выд}}$ от U_2 свидетельствует о возможности электронной регулировки времени выдержки изменением порога ДВУ.

Принципиальная схема таймера приведена на рис. 3. На диодах Д1 и Д2 выполнены переходники уровней NIM → ECL. Входной триггер Шмитта реализован на элементах М1-2 /1ЛБ383/ и М2-1 /1ЛБ382/, цепь дифференцирования - на М1-3. Триггер 1 выполнен на элементах М3-1 /1ЛБ382/ и М4-1 /1ЛБ383/, а триггер 2 - на М3-2 и М2-2. Стабильный ток заряда емкостей С1 ÷ С8, равный 1,3 мА, задается транзистором Т3. Ток разряда емкости определяется разностью тока, переключаемого парой Т1-Т2, равного 2,6 мА, и тока Т3. Стабильность токов заряда и разряда обеспечивается диодами Д3, Д4 и Д5, Д6. пилообразное напряжение амплитудой до 8 В подается на дискриминаторы верхнего /М5-1 ÷ М5-3 - 1ЛП381/ и нижнего /М6-1 ÷ М6-3 - 1ЛП381/ уровней через эмиттерные повторители Т4, Т5 и резистивный делитель 3:1. Порог дискриминатора верхнего уровня регулируется в пределах от 200 мВ до 2,8 В; порог дискриминатора нижнего уровня равен 20 мВ, причем его стабильность, благодаря применению интегральной схемы "дифференциальный приемник" ¹²², не хуже 1 мВ.

Дифференцирование заднего фронта сигнала с триггера 2 производится элементами М4-3 и М7-1 /1ЛБ382/. На элементе М7-2 осуществляется продление выходного сигнала на длительность дифференцированного импульса /~ 15 нс/. Подобное продление обеспечивает непрерывность выходного сигнала при повторных запусках таймера с выхода элемента М7-1 через нормально открытые ворота М4-4. Количество повторных запусков определяется числом, набранным на переключателе *, соединяющем

* Переключатели расположены на задней панели блока для 2 и 4 схемы. Там же расположены дополнительные выходы, на которые через переходник ECL → NIM поступает импульс "Сброс" /на схеме не показаны/.

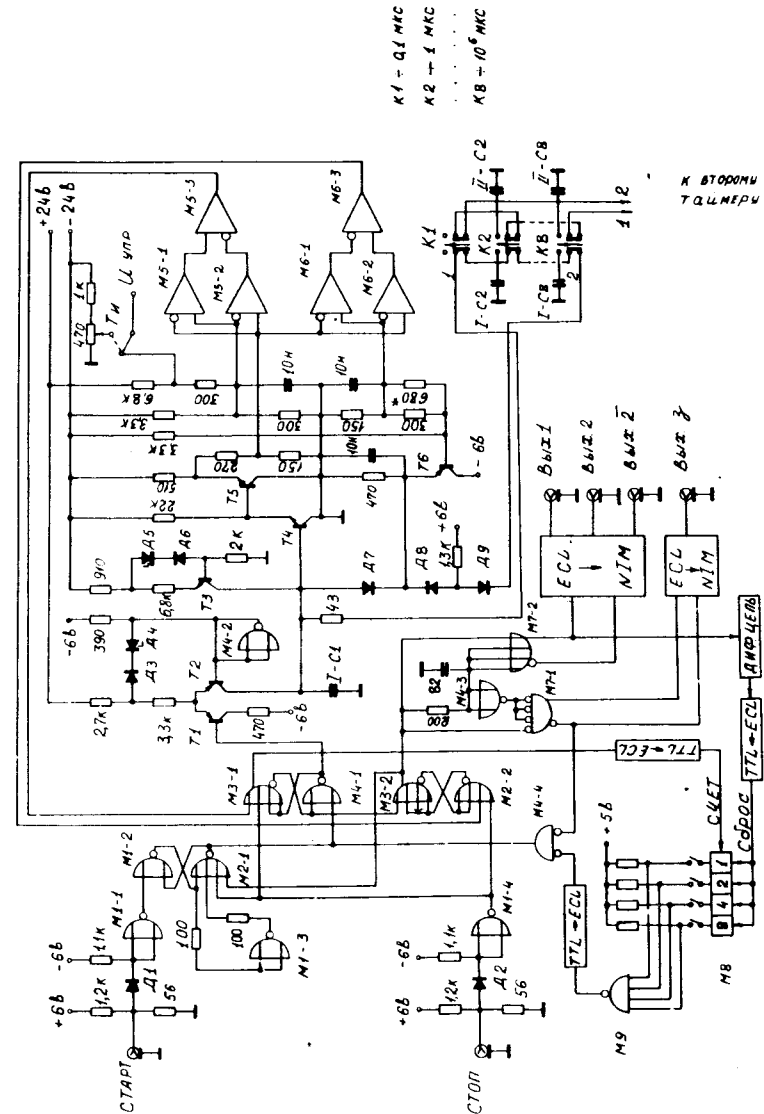


Рис. 3. Принципиальная схема таймера: Т1, Т2, Т6 - КТ326Б, Т3 ÷ Т5 - КТ316, Д1 ÷ Д3, Д6 - КД513, Д4, Д5 - Д818Е; Д7, Д8 - КД514, Д9 - ГД508.

выходы двоичного счетчика - M8 /SN 7493/ со входами дешифратора - M9 /1ЛБ551/. Когда количество запусков таймера достигает числа, заданного переключателем /от 1 до 15/, счетчик с дешифратором блокируют ворота M4-4 и таймер останавливается, а задним фронтом выходного сигнала происходит установка счетчика в нулевое состояние.

Импульсы на выходы таймера поступают через переходники уровней, обеспечивающие сигналы TTL /до 16 мА в нагрузку/, либо NIM на сопротивление 50 Ом.

К числу особенностей таймера относится также схема клавишного переключателя диапазонов, расположенного на передней панели блока. В целях экономии места одним клавишным переключателем K1-K8 /рис. 3/ задаются временные диапазоны сразу для двух схем. Производится это следующим образом. Если нажата одна клавиша, то к обеим схемам подключаются одинаковые времязадающие емкости. Если нажаты две клавиши, то верхняя подключает соответствующую ей емкость к первой схеме, а нижняя - ко второй, т.е. на первой схеме будут более короткие временные интервалы. Если же не нажата ни одна клавиша, то диодом Д9 рост напряжения на времязадающей емкости ограничивается и не достигает порога ДВУ. В результате обе схемы работают в старт-стопном режиме.

Краткие характеристики

Число схем	- 4 независимых.
<u>Входы</u>	
Импеданс	- 50 Ом,
Уровни	- NIM,
Длительность сигналов	- любая, свыше 6 нс,
Длительность фронтов	- любая, схема срабатывает от отрицательного фронта,
Мертвое время	- $t_{\text{выд}}$ - в том числе в случае прихода стоп-сигнала в интервале $t_{\text{выд}}$.
<u>Выходы</u>	
Количество	- 2 прямых, один инверсный, соответствующие $t_{\text{выд}}$; 1 за-

держанный на $t_{\text{выд}}$ минус 15 нс; 1 дополнительный, соответствующий окончанию времени выдержки в режиме умножения длительности на задней панели /для 2 и 4 схем/.

- высокоомный, генераторы тока.

Импеданс

Уровни

а/ при высокоомной нагрузке

б/ при нагрузке 50 Ом

Длительность фронтов

Длительность

импульсов

а/ с прямых выходов и инверсного

б/ с выхода задержки

в/ с дополнительного выхода

Задержка по основным выходам

а/ старт-сигнала

б/ стоп-сигнала

Время восстановления в режиме умножения длительности

- TTL /нагрузка до 10 входов TTL/,

- NIM,

- не более 3 нс.

- через декаду от 100 нс до 10 с /обеспечено перекрытие диапазонов/, внутри декады плавная регулировка; во второй и четвертой схемах возможен режим умножения $t_{\text{выд}}$ на целое число, от 1 до 15. В старт-стопном режиме - длительность любая, задержанный сигнал появляется при выдержках больше 30 нс.

- 15 нс, задний фронт совмещен с окончанием основного сигнала.

- 40 нс.

- 23 нс,

- 15 нс.

- 30 нс.

Дрейф времени выдержки	
а/ температурный	- менее 0,1%/°С,
б/ по напряжениям	
питания -6 В	- менее 10%/В,
+6 В	- менее 1%/В,
-24 В	- менее 5%/В,
+24 В	- менее 1%/В.
Электронная регулировка	
а/ импеданс	- 500 Ом,
б/ диапазон	- 0 ÷ -6 В,
в/ линейность	
регулирования	- 1%.
Токи, потребляемые блоком	
-6 В	- 1,6 А,
+6 В	- 0,1 А,
-24 В	- 0,25 А,
+24 В	- 0,05 А.
Конструкция	- ячейка КАМАК двойной ширины.

Варианты применения таймера

1. Непосредственное задание временных интервалов.

Этот режим работы является основным. По старт-сигналу производится запуск схемы /рис. 4а/. Второй и третий старт-импульсы не запускают схемы, т.к. вход заблокирован, в первом случае на интервал $t_{\text{выд}}$, а во втором - стоп-сигналом. Для 4-го /на рисунке/ запускающего сигнала остановка осуществляется стоп-сигналом. По приходу стоп-сигнала на задержанном выходе появляется импульс длительностью 15 нс и по его окончании завершается формировка $t_{\text{выд}}$.

2. Старт-стопный триггер.

Осуществляется сразу для двух схем, когда клавиши на передней панели отжаты - рис. 4б.

3. Ворота для импульсных сигналов.

Стоп-вход является входом управления, пропускается передний фронт старт-сигнала. Ворота - нормально открытые. Длительность выходного сигнала ворот формируется равной $t_{\text{выд}}$.

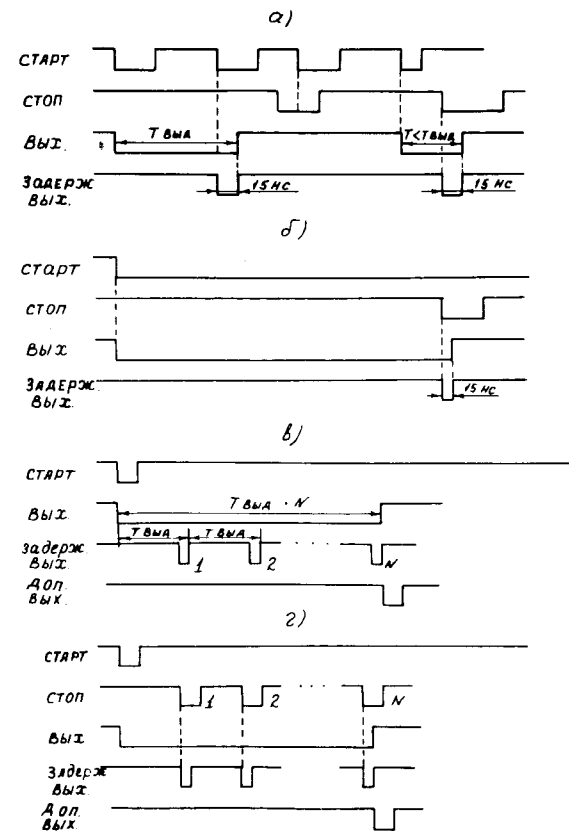


Рис. 4. Временные диаграммы работы таймера в различных режимах: а/ режим непосредственного задания временных интервалов; б/ режим старт-стопного триггера; в/ режим генерации заданного числа импульсов; г/ режим установочного счетчика.

4. Управляемый генератор импульсов.

Реализуется соединением инверсного выхода схемы со старт-входом. Стоп-вход служит входом управления для генерации пачек импульсов /логический "0" - генерация, логическая "1" - запрет/.

5. Умножение $t_{\text{выд}}$ на целое число.

Реализуется во второй и четвертой схемах нажатием соответствующего набора клавиш 1-2-4-8 на задней па-

нели. Коэффициент умножения от 1 до 15. При необходимости возможно включение дополнительной интегральной схемы двоичного счетчика на 4 разряда, коэффициент умножения тогда может достигать 255. Временная диаграмма импульсов на выходах в этом режиме приведена на рис. 4в.

6. Генерация заданного числа импульсов.

На задержанном выходе схемы /рис. 4в/ на каждый старт-сигнал появляется серия с числом импульсов, равным числу, набранному на клавишах задней панели.

7. Установочный счетчик.

Схема находится в старт-стопном режиме и режиме умножения. В этом случае производится подсчет импульсов, пришедших на стоп-вход /рис. 4г/. Тогда на основном выходе появляется сигнал, соответствующий времени счета, а на дополнительном - окончанию счета. Сброс осуществляется по старт-входу.

8. Генератор ультранизких частот

Реализуется в режиме умножения времени выдержки при подключении инверсного выхода к старт-входу через задержку 30 ± 40 нс. Схема генерирует частоту до $0,0065$ Гц, а при установке дополнительного счетчика - до $4 \cdot 10^{-4}$ Гц.

В заключение авторы считают своим приятным долгом поблагодарить В.А.Григорьеву и В.И.Какурину за помощь в монтаже блока и оформлении технической документации.

Литература

1. Le CROY Research Systems Corporations Catalog, Spring 1975, Model 222.
2. ORTEC's Catalog D-100, September 1975, Model 416A.
3. С.Г.Басиладзе и др. ОИЯИ, 13-6383, Дубна, 1972.
4. Ю.Б.Бушнин, А.Ф.Дунайцев, В.А.Сенько, А.Н.Сытин. ИФВЭ СЭФ-74-125, Серпухов, 1974.

5. Т.В.Беспалова и др. ОИЯИ, 9-9041, Дубна, 1975.
6. В.Г.Рыбаков. ИФВЭ СЭФ-70-81, Серпухов, 1970.
7. В.В.Климов. Полупроводниковые приборы и их применение. 22, 276, 1969.
8. Ю.Г.Будяшов, В.Г.Зинов, В.М.Королев. ОИЯИ, 13-5947, Дубна, 1971.
9. Ф.Габриель, В.Н.Шуравин, К.Андерт. ОИЯИ, P13-8914, Дубна, 1975.
10. Л.Ондрш и др. ОИЯИ, P13-5377, Дубна, 1970.
11. G.Delavallade, J.Lindsay. CERN Report 71-27, Geneva 1971.
12. В.Bertolucci. IEEE Trans. on Nucl.Sci., vol. NS-19, No. 1, p. 540 (1972).
13. А.П.Крячко. ОИЯИ, 10-7692, Дубна, 1974.
14. В.И.Илющенко, В.Тушинский, Е.Хмелевский. ОИЯИ, 13-7591, Дубна, 1973.
15. ORTEC's Catalog, D-100, September 1975, Models 719, 771, 773, 776.
16. Ю.Н.Ерофеев. Работа замороженных релаксационных генераторов при малой скважности выходных импульсов. М., Сов.радио, 1968.
17. В.М.Королев. ОИЯИ, 10-6009, Дубна, 1971.
18. В.А.Арефьев, С.Г.Басиладзе. ПТЭ, №4, 58 /1974/.
19. H.Schultze. "Elektrie", No. 12, 23 (1969).
20. G.Müller. "Internationale Elektronische Rundschau", No. 7, 1967.
21. A.Romanio, P.Alderisio. "Electronic components", No. 2, 1967.
22. К.А.Валиев и др. Электронная промышленность, №7, 56-59, 1972.

Рукопись поступила в издательский отдел
18 февраля 1976 года.