

сообщения  
объединенного  
института  
ядерных  
исследований  
дубна

К 642

13-88-512 *e*

В.Д.Кондрашов

НЕКОТОРЫЕ БЫСТРЫЕ ЛОГИЧЕСКИЕ БЛОКИ  
ДЛЯ ЭКСПЕРИМЕНТОВ  
В ФИЗИКЕ ВЫСОКИХ ЭНЕРГИЙ

1988

За период 1985-1986 гг. в ОНМУ ОИАИ был разработан и изготовлен комплекс электронной аппаратуры в стандарте КАМАК.

В этот комплекс вошли следующие блоки:

1. Быстрый размножитель /2x8/.
2. Схема совпадений /2x4 СС/.
3. Схема совпадений /4x2 СС/.
4. Схема временного компенсатора.
5. Цифровая задержка.

В следующих разделах дано описание и приведены технические характеристики каждого блока.

### БЫСТРЫЙ РАЗМНОЖИТЕЛЬ /2x8/

Блок предназначен для размножения логических сигналов.

Принципиальная схема и передняя панель блока показаны на рис.1.

Построение входного каскада на транзисторах разной проводимости позволило сохранить частотные свойства всего тракта / $\geq 200$  МГц/ во всем диапазоне амплитуд входного сигнала.

Характеристики блока:

Число каналов	- 2
Входное сопротивление	- 50 Ом $\pm$ 10%
Уровни входного окна	- стандартный NIM /-12 мА $\div$ 36 мА на 50 Ом/
Минимальная длительность входного сигнала	- 2,5 нс
Тип связи вход-выход	- по постоянному току
Число выходов	- 8 /для каждого канала/, выходы логически независимы
Уровни выходных сигналов	- min - 14 мА на 50 Ом в течение нормального сигнала / $\leq 2$ мА на 50 Ом при дополнительном сигнале/
Длительность выходных сигналов	- равна входной - max 0,5 нс /для нормального сигнала/
Время нарастания и спада выходного сигнала	- ~1,5 нс

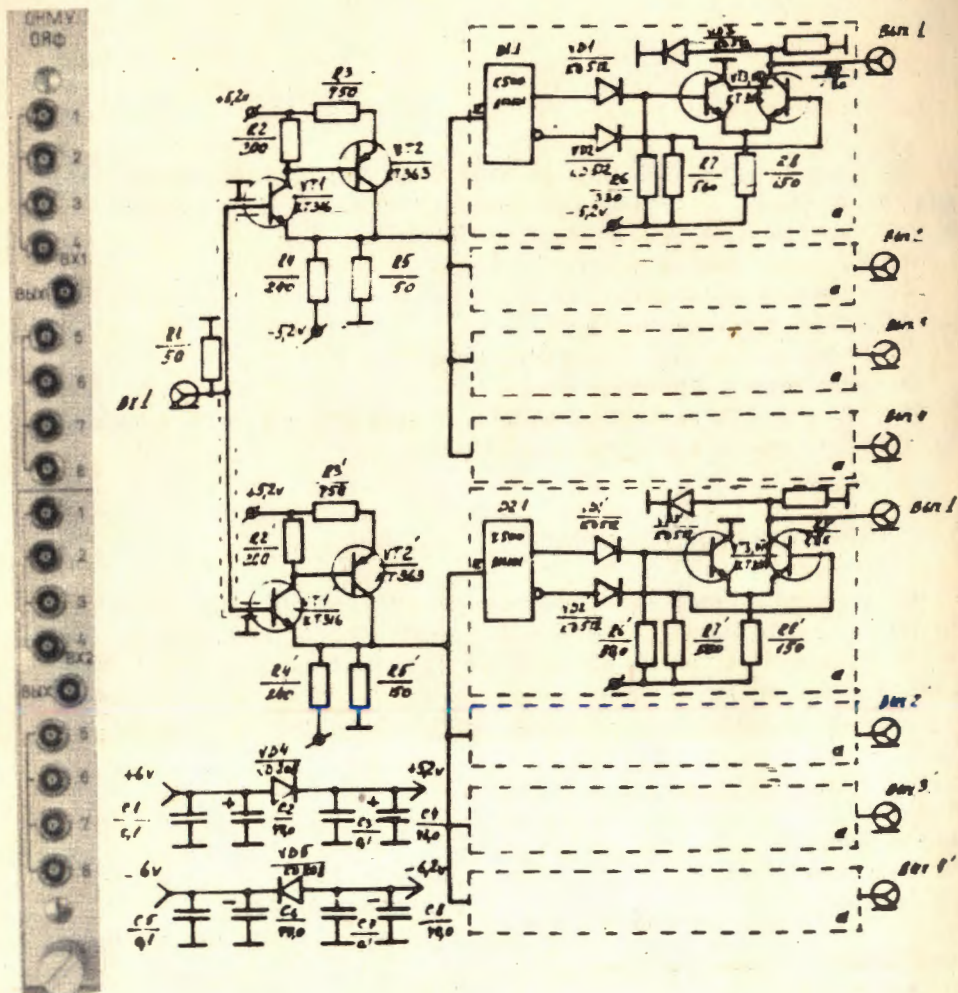


Рис. 1.

Задержка выходного сигнала относительно входного  
 Временной разброс задержки выходных сигналов /друг относительно друга/  
 Максимальная частота  
 Потребляемый ток:

- 4,5 нс
- не более 0,2 нс
- 200 МГц
- +6 В - 80 мА
- -6 В - 660 мА

### СХЕМА СОВПАДЕНИЙ /2x4 СС/

Блок содержит 2 независимые четырехходовые схемы совпадений, размещенные в блоке КАМАК двойной ширины. Блок-схема и передняя панель приведены на рис. 2.



Рис. 2.

Каждая схема содержит:

- 4 логических входа совпадений и один вход антисовпадений (VETO),
- 4 индивидуальных переключателя для исключения любого входа на совпадения /кабель исключительно одного входа остается нагруженным на волновое сопротивление/,
- один сдвоенный выход /-32 мА на 50 Ом/, один нормальный и один инверсный,
- длительность выходных сигналов регулируется многооборотным потенциометром, расположенным на передней панели,
- схема входных сигналов совпадений и антисовпадений аналогична схеме, используемой в размножителе,
- выходной формирователь /рис. 3/ может работать в двух режимах - как с продлением от 2-го импульса совпадений, так и без продления (updating and non updating). Переключение режимов осуществляется переключкой на печатной плате блока.

Для увеличения числа входов совпадений возможно /с помощью переключки на печатной плате/ объединение обеих схем в одном блоке, т.е. в одной шах. 8-входовой схеме совпадений с двумя

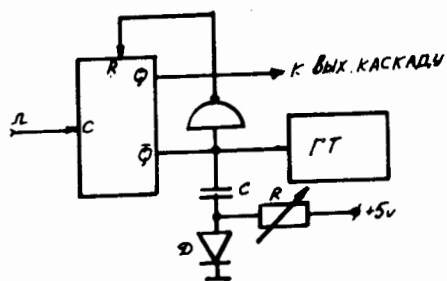


Рис. 3.

схемами антисовпадений. Задержка вход-выход при этом увеличивается на 2 нс, что существенно меньше, чем при обычном каскадировании схем с помощью кабелей<sup>/1/</sup>.

Для обеих схем есть один общий вход для сигнала "Сброс" /он же является и сигналом "Запрет"/, который прерывает выходной сигнал и запрещает работу схемы на время длительности этого сигнала<sup>/1/</sup>.

Характеристики блока /каждого канала/:

<u>Входы</u>	- 4 логических отключаемых сигнала
Входное сопротивление	- 50 Ом $\pm$ 10% для всех входов
Длительность входных сигналов	- min 3 нс
Время перекрытия входных сигналов, необходимое для срабатывания схемы	- min 1 нс /1,5 нс для 8-входовой схемы совпадений/
Вход "VETO"	- логический сигнал, длительностью min 3 нс, который полностью должен перекрывать сигнал совпадения для блокировки выходного сигнала,
Относительная задержка сигнала "VETO"	- сигнал "VETO" должен опережать сигнал совпадения на 0,5 нс
<u>Выходы</u>	- один сдвоенный /-32 мА на 50 Ом/, один нормальный и один инверсный
Длительность выходных сигналов	- 3 ÷ 700 нс - регулируемые
Время нарастания и время спада выходных сигналов	- 1,5 нс
Задержка выходного сигнала относительно входа	- 7 нс /9 нс для 8-входовой схемы совпадения/.
В режиме продления второй импульс должен по времени отстоять от первого на 8 нс.	

Максимальная частота для обоих режимов работы /с продлением и без продления выходного сигнала/

- 110 МГц

Мертвое время во всем диапазоне

- 6 нс

Потребляемый ток:

- +6 В - 220 мА

-6 В - 700 мА

-24 В - 10 мА

#### СХЕМА СОВПАДЕНИЙ /4x2 СС/

Блок содержит 4 двухвходовые схемы совпадений, которые с помощью переключателей на передней панели могут трансформироваться в схемы "ИЛИ".

Построение собственно схемы совпадений, формирователя и выходных каскадов аналогично схеме /2x4 СС/.

Несколько изменен входной каскад - добавлена возможность регулировки порога /до -0,4 В на 50 Ом/.

Сигнал "Запрет" аналогичен сигналу "Сброс" в схеме 2x4 СС. Электрические параметры и быстродействие такие же, как и в схеме 2x4 СС, за исключением потребляемого тока: +6 В - 220 мА, -6 В - 1320 мА, -24 В - 20 мА.

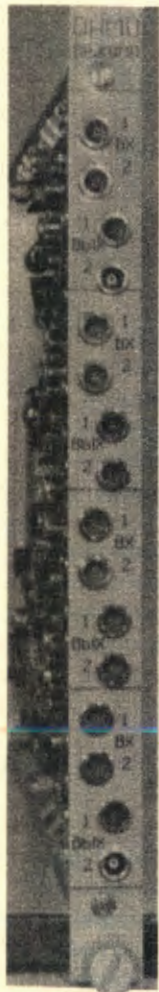
#### СХЕМА ВРЕМЕННОГО КОМПЕНСАТОРА

Блок предназначен для устранения временного "гуляния" сигнала, получаемого с двух фотоумножителей, просматривающих длинный сцинтилляционный счетчик. "Гуляние" связано с геометрической позицией места прохождения частицей счетчика относительно концов пластика, т.е. места расположения ФЭУ. Время появления сигнала с выхода схемы определяется как  $(t_1 + t_2) / 2 + t_{\text{задержки}}$ , где  $t_1$  и  $t_2$  - время прихода сигналов на входы /относительно времени прохождения частицы через пластик/.

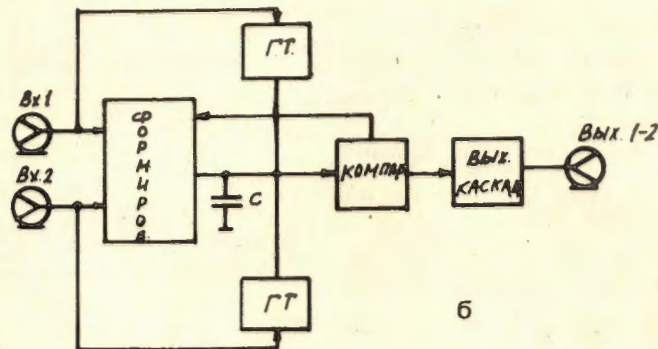
Выходной сигнал соответствует "среднему времени", т.е. случаю, когда частица проходит через центр пластика. Устранение временного "гуляния" импульсов с длинных пластиков весьма существенно при работе с детекторами, требующими строга, привязанного по времени к моменту пролета детектирующей частицы через установку<sup>/2/</sup>.

На рис. 4 приведены передняя панель /а/, блок-схема /б/ и временная диаграмма /в/, поясняющая принцип работы схемы.

В блоке одинарной ширины размещены 4 временных компенсатора. Каждая схема имеет по 2 выхода: один - фиксированной дли-



а



б

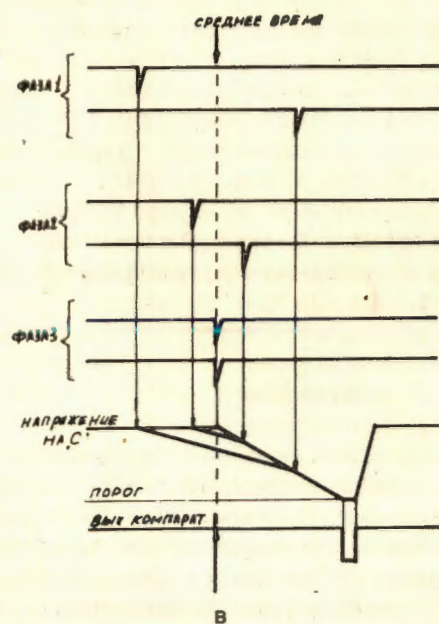


Рис. 4.

тельности, второй - регулируемый. Так как время распространения света по пластику определяется его длиной и это время входит в задержку сигнала с выхода схемы, то для его оптимизации в блоке предусмотрена подстройка с помощью потенциометра /в более широких пределах подстройка возможна заменой конденсатора в схеме/.

Характеристики блока /каждого канала/:

Число каналов в блоке	- 4
Число входов на канал	- 2

Длительность входных сигналов	- min 3 нс /0,6 В на 50 Ом/
Входное сопротивление	- 50 ± 10% Ом
длительность выходных сигналов	- 1 - фиксированный, 4 нс, 2 - регулируемых 4÷500 нс,
Схемная задержка	- /12 нс + t <sub>e</sub> /время прохождения света в пластике//

Диапазон регулировки /внутренним потенциометром/ временного интервала - эквивалентного времени прохождения света в пластике

- 30÷70 нс + 1 нс
/4÷9 м пластика/

Точность "привязки"

- 0,5 нс
----------

/компенсации/

Температурная стабильность

- 0,5 нс/с
------------

Потребляемый ток:

- +6 В - 55 мА
-6 В - 1150 мА
-24 В - 55 мА

#### ЦИФРОВАЯ ЗАДЕРЖКА

Блок предназначен для организации систем управления различных установок /в частности, управления ускорителями/, где требуется задерживать управляющие сигналы в широком диапазоне /до ~10 мс/ при высокой стабильности самой задержки.

В блоке КАМАК 4-модульной ширины размещены 3 схемы задержек. Передняя панель и блок-схема приведены на рис. 5.

Стабильность задержки, в основном, определяется стабильностью кварцевого генератора /100 МГц/. Величина задержки задается декадными переключателями и выбором шага дискретности /10 и 100 нс/. Основу схемы задержки составляют декадные счетчики, работающие на вычитание. Код, соответствующий величине желаемой задержки, задается декадными переключателями, и с помощью общей кнопки "Загрузка" переносится в счетчики /если величина задержки не меняется, выходной импульс автоматически производит загрузку/.

Входной сигнал /если выбрана ненулевая задержка/ поступает на схему синхронизации и пропускает частоту с генератора на счетчики. Исходя из особенностей работы синхронных счетчиков /серии 500 и 531/ выбрана оптимальная блок-схема задержки, работающая на вычитание, при этом следует:

- иметь всего один декадный счетчик, работающий на шаг /100 МГц/ частоту /остальные счетчики серии 531 с шаг быстродействием - 35 МГц/,

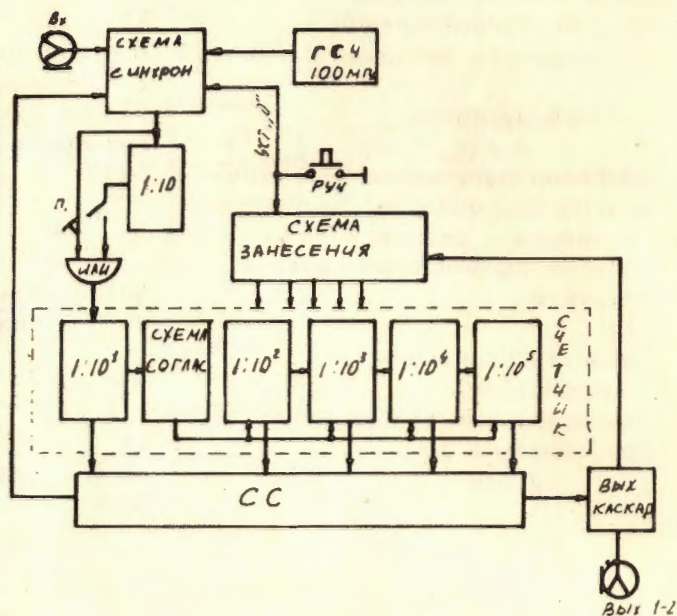
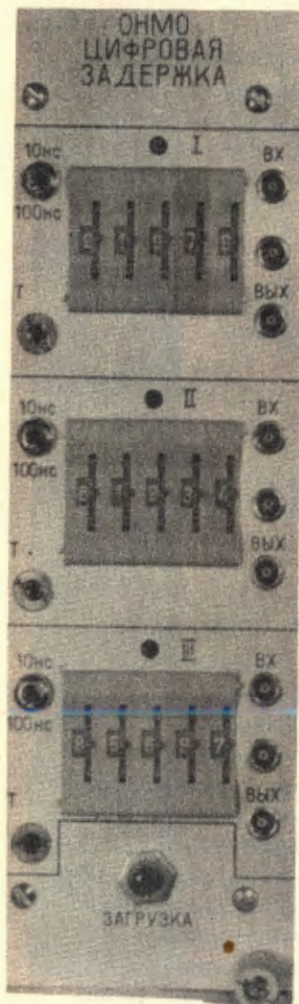


Рис. 5.

- убрать зависимость величины постоянной задержки схемы от задаваемой величины задержки,
- иметь схему совпадения /детектирования "0"/ с одним быстрым входом,
- существенно снизить потребляемый ток /за счет использования в основном микросхем серии 531/.

Характеристики задержки /каждого канала/:

Входной сигнал - -12 В ÷ - 36 мА на 50 Ом

Длительность входного сигнала - min 3 нс

Минимальный шаг изменения задержки

-  $\Delta t = 10 \text{ нс} / 100 \text{ нс}$  - выбирается тумблером с передней панели блока

Максимальная величина задержки

-  $n \cdot \Delta t$ , где  $n = /10^{-5} - 1/$ .

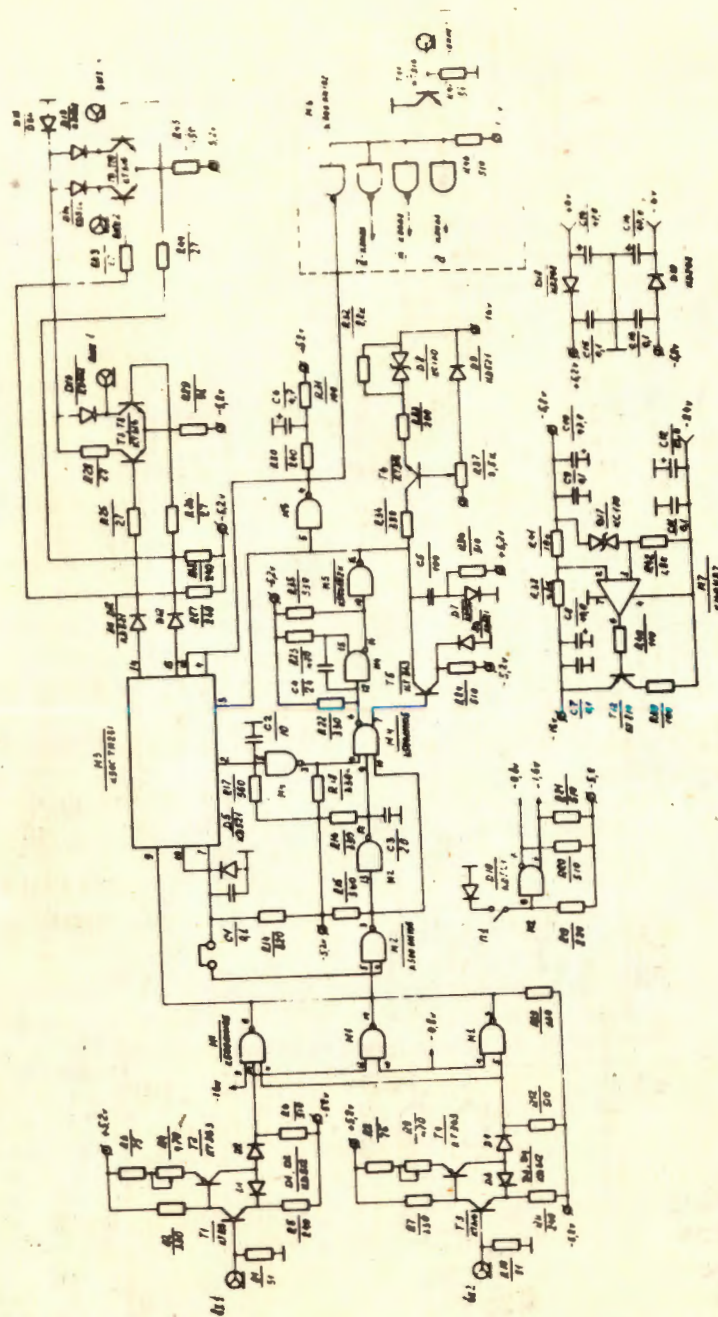


Рис. 6.

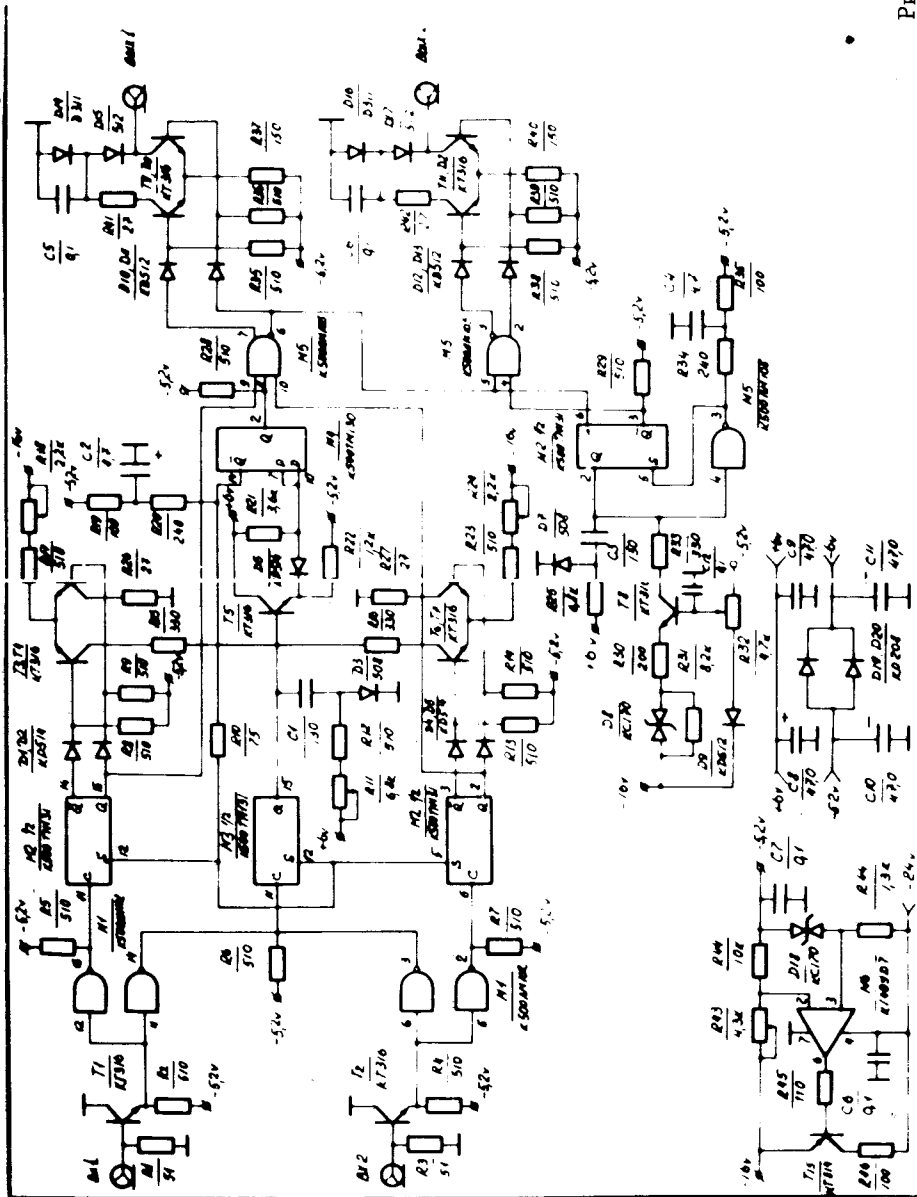


Рис. 7.

Длительность выходного сигнала /2 независимых/

-  $t_n = 10 \div 300$  нс /регулируется многооборотным потенциометром с передней панели/

Джиттер выходного сигнала /определяется частотой генератора/

-  $0 \div 5$  нс  
 - при  $n = 0$  - 7 нс  
 при  $n \neq 0$  - 20 нс /при  $\Delta t = 10$  нс/  
 - 0 нс /при  $\Delta t = 100$  нс/

Постоянная схемная задержка

Максимальное "мертвое" время схемы после окончания выходного импульса

- при  $\Delta t = 10$  нс - 50 нс  
 при  $\Delta t = 100$  нс - 30 нс

Потребляемый ток:

- +6 В - 1,3 А  
 -6 В - 2,1 А

Электрическая схема одного канала блока 2СС показана на рис. 6, а блока "компенсатора" - на рис. 7.

Некоторые узлы приведенных выше схем /выходной каскад, генератор стабильного тока, источник стабильного тока/ взяты из выпускаемых в ОП ОИЯИ блоков /2СС-150/, разработанных П.Маньяковым /ПРЭ/.

В заключение автор считает своим долгом выразить благодарность Д.А.Смолину за постоянное внимание к данной теме, Н.Н.Евдокимову за разработку грамотного монтажа, без которого получение указанных параметров было бы невозможно.

ЛИТЕРАТУРА

1. Беспалова Т.В. и др. Блоки временной задержки импульсов в стандарте КАМАК, ОИЯИ, 9-9041, Дубна, 1975.
2. Fast - pulse instrumentation LeCroy - 1976.

Рукопись поступила в издательский отдел 11 июля 1988 года.

ТЕМАТИЧЕСКИЕ КАТЕГОРИИ ПУБЛИКАЦИЙ  
ОБЪЕДИНЕННОГО ИНСТИТУТА ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ

Индекс	Тематика
1.	Экспериментальная физика высоких энергий
2.	Теоретическая физика высоких энергий
3.	Экспериментальная нейтронная физика
4.	Теоретическая физика низких энергий
5.	Математика
6.	Ядерная спектроскопия и радиохимия
7.	Физика тяжелых ионов
8.	Криогеника
9.	Ускорители
10.	Автоматизация обработки экспериментальных данных
11.	Вычислительная математика и техника
12.	Химия
13.	Техника физического эксперимента
14.	Исследования твердых тел и жидкостей ядерными методами
15.	Экспериментальная физика ядерных реакций при низких энергиях
16.	Дозиметрия и физика защиты
17.	Теория конденсированного состояния
18.	Использование результатов и методов фундаментальных физических исследований в смежных областях науки и техники
19.	Биофизика

Кондрашов В.Д.

13-88-512

Некоторые быстрые логические блоки для экспериментов в физике высоких энергий

Приведено описание отдельных элементов /блоков/ быстрой электроники /с быстродействием до 200 МГц/, которые могут быть использованы при построении логики и временных соотношений различных экспериментальных физических установок - схема совпадений, размножитель, временной компенсатор, цифровая задержка. Приведены их технические характеристики. Блоки разработаны в стандарте КАМАК.

Работа выполнена в Общественном научно-методическом отделении ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1988

Перевод О.С.Виноградовой

Kondrashov V.D.

13-88-512

Some Fast Logic Units for High Energy Physics Experiments

Some elements (blocks) of fast electronics (speed of response up to 200 MHz) are described. The blocks could be used for creating logic and time ratios of different experimental setups (coincidence circuit, fan-out, mean timer, digital delay). Their technical characteristics are presented. The blocks are developed in CAMAC standard.

The investigation has been performed at the Scientific-Methodical Division of High Energy Physics, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1988