

**СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА**

И 20

13-87-618 e +

А.Б.Иванов, Фам Куок Чунг

**КОНТРОЛЛЕР КРЕЙТА ДЛЯ РАБОТЫ
С ПЕРСОНАЛЬНОЙ ЭВМ "ПРАВЕЦ-16"**

1987

1. ВВЕДЕНИЕ

Создание современных приборов на основе многопроводочных детекторов связано с задачей объединения в единый комплекс различных блоков ЭВМ, устройств хранения и отображения информации, устройств для связи с объектом. Эта задача возлагается на унифицированные системы сопряжения - интерфейсы. Интенсивное развитие мини-, микро-ЭВМ и персональных ЭВМ /ПВМ/ обуславливает интенсификацию работ по проектированию перспективных интерфейсных систем многофункционального назначения, интерфейсных БИС, параметрических рядов разнообразных системных контроллеров.

В литературе /1,2/ описаны контроллеры, в структуре которых получает дальнейшее развитие принцип модульности. В настоящей работе описывается контроллер для работы с персональной ЭВМ "Правец-16", проектирование которого выполняется на основе этого принципа.

2. СТРУКТУРА КОНТРОЛЛЕРА

Контроллер состоит из двух блоков - интерфейса магистрали и интерфейса ПВМ. В нашем случае использован блок интерфейса магистрали КК007 /разработка ЛЯП ОИАИ¹/ . Связь с шиной ПВМ производится через адаптер, в котором использованы две БИС параллельного периферийного интерфейса /ППИ/ КР580ВВ55А, позволяющие работать как по программному каналу, так и по каналу прямого доступа /КПД/. Быстродействие контроллера при работе по КПД составляет $3 \div 4$ мкс/слов. Блок-схема контроллера приведена на рис.1.

Следует отметить, что описанный контроллер не зависит от типа ПВМ. Поэтому предложенную структуру контроллера можно использовать для всех персональных ПВМ, содержащих возможность расширения системных магистралей. При этом для каждого типа ПВМ требуется соответствующий адаптер.

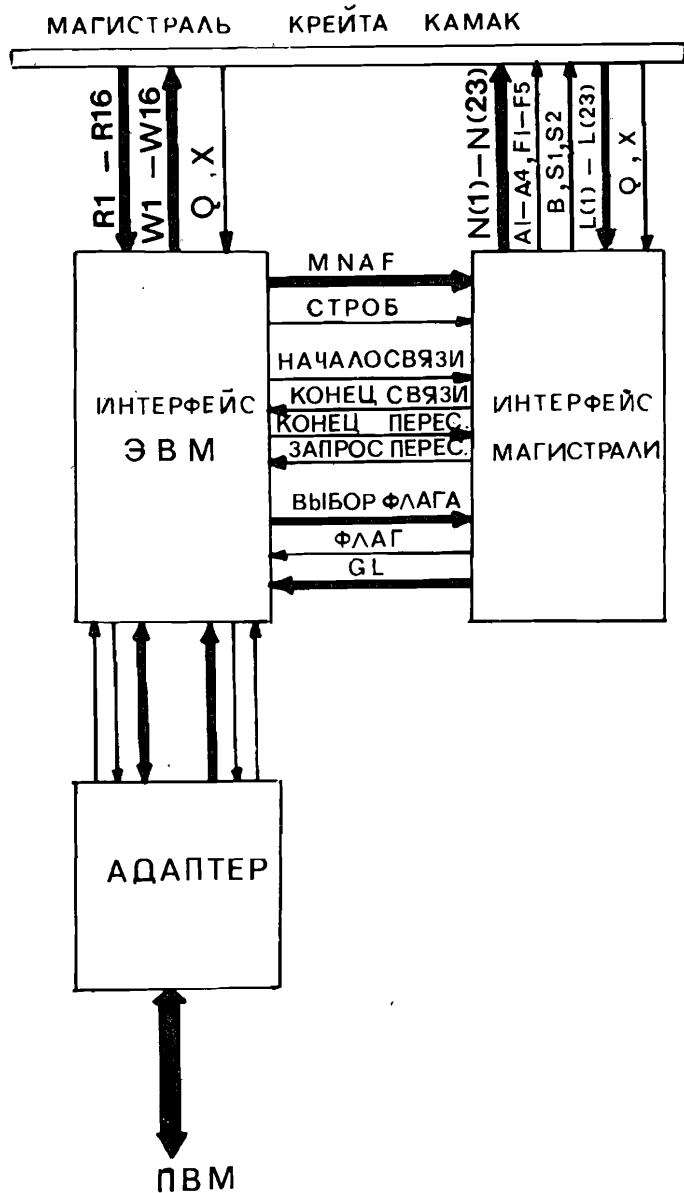


Рис.1. Структура контроллера.

3. ИНТЕРФЕЙС ПВМ

Интерфейс ПВМ совместно с интерфейсом магистрали образует контроллер крейта КАМАК. В литературе¹²⁾ описана блок-схема

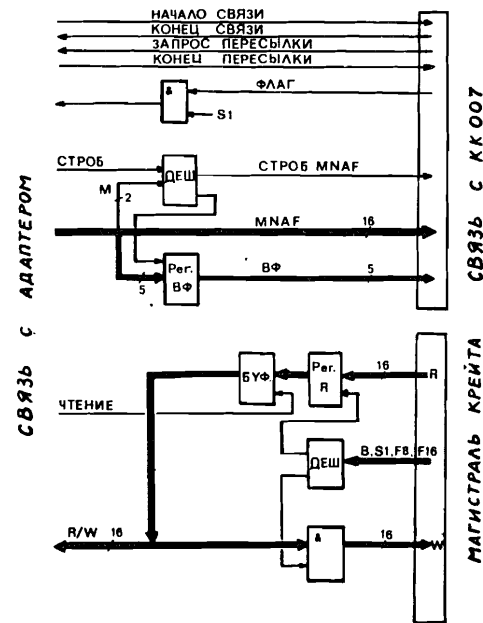


Рис.2. Блок-схема интерфейса ПВМ.

интерфейса ПВМ. Аналогичная схема показана на рис.2, с той лишь разницей, что на схеме нет триггера связи и триггера пересылки. Функция этих триггеров выполняется портами РС микросхем ППИ КР580ВВ55А в стробирующем режиме.

На передней панели блока интерфейса ПВМ установлен разъем РП15-50 для подключения к адаптеру со следующим распределением контактов:

1 - общий; 2÷9 - порт А ППИ-2; 10÷17 - порт В ППИ-2; 18÷25 - порт А ППИ-1; 26÷33 - порт В ППИ-1; 34 - "Конец пересылки"; 35 - флаг; 36 - строб; 37 - "Запрос пересылки"; 39 - "Начало связи"; 40 - "Конец связи"; 41 - сброс; 42 - "Чтение/Запись".

Связь с интерфейсом магистрали производится через разъемы РП15-32 путем соединения одноименных контактов.

Блок потребляет ток 0,9 А по цепи +6 В.

4. АДАПТЕР

Адаптер образует отдельную подсистему, осуществляющую связь между ПВМ и интерфейсом. На основной плате ПВМ "Правец-16" расположены 8 разъемов расширения. Через них подключаются различные модули расширения функциональных возможностей, такие, как контроллер накопителя на ГД, видеоконтроллер и другие. Канал ввода/вывода на 8 разъемов служит интерфейсом между различными устройствами ввода/вывода и процессором. Он демultipлексирован, подключен к питанию и имеет возможности прерывания и прямого доступа к памяти /ПДП/. Адаптер подключен через любой из 8 разъемов.

В адаптере использованы две БИС КР580ВВ55А, являющиеся весьма гибкими устройствами. Параллельный периферийный интерфейс /ППИ/ КР580ВВ55А может быть запрограммирован для выполнения самых различных функций. У него имеются три 8-разрядных

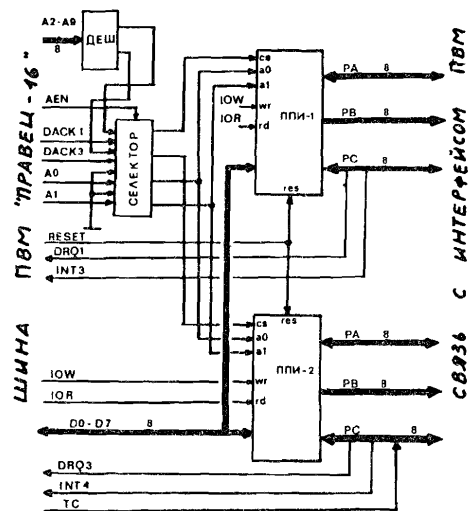


Рис.3. Блок-схема адаптера "Правец-16".

порта, которые могут быть использованы как для вывода, так и для ввода.

Блок-схема адаптера приведена на рис.3. Порты PA двух ППИ используются для передачи или приема 16-разрядных данных между ПВМ и магистралью крейта. Они работают в стробирующем режиме.

Порты PB двух ППИ используются для передачи команды MNAF и выбора флага ВФ. Они могут работать либо в основном режиме ввода/вывода, либо в стробирующем режиме. Разряды PC4-PC7 портов PC двух ППИ используются в качестве управляющих сигналов "Конец пересылки" и "Запрос пересылки" для синхронизации работы адаптера с контроллером. Разряды PC3 портов PC двух ППИ используются в качестве сигналов запроса к ПДП-контроллеру в компьютере "Правец-16". Разряд PC2 первого ППИ используется для сигнала "Начало связи", и разряд PC1 - для сигнала "Конец связи". Разряд PC0 первого ППИ может быть использован в качестве сигнала запроса на прерывание процессора, указывающего, что обмен информацией окончился. Разряд PC2 второго ППИ используется в качестве стробирующего сигнала, по которому команда MNAF и код выбора фланга ВФ передаются интерфейсом ПВМ в интерфейс магистрали. Разряд PC1 второго ППИ используется в качестве сигнала, указывающего на наличие флага. Таким образом, контроллер обеспечивает выполнение команд, не связанных с использованием шин чтения или записи /F8 = 1/ при использовании стробирующего режима /метод квитирования сообщений/. Разряд PC0 второго ППИ может быть использован в качестве сигнала запроса на прерывание процессора, указывающего на наличие флага. В табл.1 показаны назначения всех портов ППИ. ППИ-1 и ППИ-2 подключаются к шине ввода/вывода ПВМ "Правец-16", используя сигналы, показанные на рис.3. Каждый ППИ содержит 4 регистра. Они занимают на поле адресов ввода/вывода 8 последовательно расположенных адресов, которые задаются с помощью переключателей на плате. Возможные адреса перечислены в табл.2.

Таблица 1
Назначение портов ППИ-1 и ППИ-2

№ разряда	ППИ-1			ППИ-2		
	PA	PB	PC	PA	PB	PC
0	R/W1	A2	INT3	R/W9	F1	INT4
1	R/W2	A4	ГОТОВ	R/W10	F2	СТРОБ
2	R/W3	A8	К.С.	R/W11	F4	ФЛАГ
3	R/W4	N1	DRQ1	R/W12	F8	DRQ3
4	R/W5	N2	STR	R/W13	F16	STR
5	R/W6	N4	IBF	R/W14	MO	IBF
6	R/W7	N8	ACK	R/W15	MI	ACK
7	R/W8	N16	OBF	R/W16	AI	OBF

Примечание:

- К.С. - "Конец связи"
- когда MO = 1 и MI = 0 порт PC ППИ-2 используется для передачи выбора флага ВФ: PC0 = ВФ1; PC1 = ВФ2; PC2 = ВФ4; PC3 = ВФ8; PC4 = ВФ16; PC5 = 1; PC6 = 0, PC7 = 0.

Таблица 2
Адреса регистров в ППИ-1 и ППИ-2

Адрес	ППИ-1	ППИ-2
200 201 202 203	PA PB PC	
Регистр управления		
204 205 206 207		PA PB PC
Регистр управления		

ПДП-контроллер, применяемый в ПВМ "Правец-16" /БИС 8237-5/, имеет 4 канала. Канал 0 используется для регенерирования динамической памяти, канал 2 - для дисковых устройств /НГД или НВД/.

Каналы 1 и 3 используются для работы с контроллером КАМАК в режиме передачи массива данных. Канал 1 используется первым ППИ, канал 3 используется вторым ППИ.

Прежде чем будет осуществлен блочный обмен, канал КПД и подключенный к нему ППИ должны быть инициализированы. Инициализация выполняется программным способом путем засылки соответствующей информации в ПДП-контроллер и в ППИ^{3/}.

Можно показать на примере, как ПДП-контроллер выполняет обмен данных после того, как он был инициализирован для блочного обмена. Допустим, что канал 1 работает в режиме записи, т.е. ППИ-1, подключенный к каналу 1, является входным устройством. Когда младший байт слова КАМАК прочитан интерфейсом ПВМ и готов к передаче в память, ППИ-1 включает сигнал DRQ1 /запрос ПДП по каналу 1/. После этого ПДП-контроллер запрашивает управление шиной, включая сигнал HRQ /запрос на использование шины/. Центральный процессор, завершив текущие операции с шиной, передает управление ПДП-контроллеру и включает сигнал HLDA. Как только сигнал HLDA получен, ПДП-контроллер вырабатывает сигнал DACK1 /подтверждение запроса на использование шины по каналу 1/, разрешающий работу ППИ-1. Затем ПДП-контроллер адресует к памяти ПВМ. Для завершения процесса ПДП-контроллер вырабатывает сигналы IO/R, IO/W, MR, MW.

Взаимодействие канала 3 и ППИ-2 происходит аналогично, с той лишь разницей, что ППИ-2 используется в качестве входного устройства для чтения старшего байта слова КАМАК.

Если передаваемый байт является последним в блоке, то включается сигнал TC /отсчет конечного слова/. Этот сигнал используется для сообщения интерфейсу ПВМ об окончании связи.

В заключение авторы благодарят Ю.В.Заневского за постоянный интерес к работе; Данг Ву Ха, А.Е.Московского, В.А.Белякова за помощь в изготовлении контроллера.

ЛИТЕРАТУРА

1. Синаев А.Н., Чуринов И.Н. ОИЯИ, 10-81-691, Дубна, 1981.
2. Иванов А.Б., Фам Куок Чунг. ОИЯИ; 13-87-296, Дубна, 1987.
3. Intel Data Catalog 1980, Intel Corp., Santa Clara, USA.

Рукопись поступила в издательский отдел
5 августа 1987 года.

НЕТ ЛИ ПРОБЕЛОВ В ВАШЕЙ БИБЛИОТЕКЕ?

Вы можете получить по почте перечисленные ниже книги, если они не были заказаны ранее.

Д7-83-644	Труды Международной школы-семинара по физике тяжелых ионов. Алушта, 1983.	6 р.55 к.
Д2,13-83-689	Труды рабочего совещания по проблемам излучения и детектирования гравитационных волн. Дубна, 1983.	2 р.00 к.
Д13-84-63	Труды XI Международного симпозиума по ядерной электронике. Братислава, Чехословакия, 1983.	4 р.50 к.
Д2-84-366	Труды 7 Международного совещания по проблемам квантовой теории поля. Алушта, 1984.	4 р.30 к.
Д1,2-84-599	Труды VII Международного семинара по проблемам физики высоких энергий. Дубна, 1984.	5 р.50 к.
Д10,11-84-818	Труды V Международного совещания по проблемам математического моделирования, программирования и математическим методам решения физических задач. Дубна, 1983.	3 р.50 к.
Д17-84-850	Труды III Международного симпозиума по избранным проблемам статистической механики. Дубна, 1984. /2 тома/	7 р.75 к.
Д11-85-791	Труды Международного совещания по аналитическим вычислениям на ЭВМ и их применению в теоретической физике. Дубна, 1985.	4 р.00 к.
Д13-85-793	Труды XII Международного симпозиума по ядерной электронике. Дубна, 1985.	4 р.80 к.
Д4-85-851	Труды Международной школы по структуре ядра. Алушта, 1985.	3 р.75 к.
Д3,4,17-86-747	Труды V Международной школы по нейтронной физике. Алушта, 1986.	4 р.50 к.
	Труды IX Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1984. /2 тома/	13 р.50 к.
Д1,2-86-668	Труды VIII Международного семинара по проблемам физики высоких энергий. Дубна, 1986. /2 тома/	7 р.35 к.
Д9-87-105	Труды X Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1986. /2 тома/	13 р.45 к.
Д7-87-68	Труды Международной школы-семинара по физике тяжелых ионов. Дубна, 1986.	7 р.10 к.
Д2-87-123	Труды Совещания "Ренормгруппа-86". Дубна, 1986.	4 р.45 к.

Заказы на упомянутые книги могут быть направлены по адресу:
101000 Москва, Главпочтамт, п/я 79. Издательский отдел Объединенного института ядерных исследований.

**ТЕМАТИЧЕСКИЕ КАТЕГОРИИ ПУБЛИКАЦИЙ
ОБЪЕДИНЕННОГО ИНСТИТУТА ЯДЕРНЫХ
ИССЛЕДОВАНИЙ**

Индекс	Тематика
1.	Экспериментальная физика высоких энергий
2.	Теоретическая физика высоких энергий
3.	Экспериментальная нейтронная физика
4.	Теоретическая физика низких энергий
5.	Математика
6.	Ядерная спектроскопия и радиохимия
7.	Физика тяжелых ионов
8.	Криогеника
9.	Ускорители
10.	Автоматизация обработки экспериментальных данных
11.	Вычислительная математика и техника
12.	Химия
13.	Техника физического эксперимента
14.	Исследования твердых тел и жидкостей ядерными методами
15.	Экспериментальная физика ядерных реакций при низких энергиях
16.	Дозиметрия и физика защиты
17.	Теория конденсированного состояния
18.	Использование результатов и методов фундаментальных физических исследований в смежных областях науки и техники
19.	Биофизика

Иванов А.Б., Фам Куок Чунг 13-87-618
Контроллер крейта для работы с персональной ЭВМ "Правец-16"

Описана структура контроллера крейта КАМАК, состоящего из двух блоков: интерфейса персональной ЭВМ /ПВМ/. Связь с ПВМ "Правец-16" производится через адаптер. Контроллер имеет аппаратные средства для передачи массивов данных по КПД. Предлагаемая структура контроллера может быть использована при подключении к различным ПВМ, имеющим возможность расширения функциональных аппаратных средств.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1987

Перевод Л.Н.Барабаш

Ivanov A.B., Pham Quoc Trung 13-87-618
Crate Controller for Operation with a Personal Computer "Pravetz-16"

The structure of a CAMAC crate controller is described. The controller consists of two units: a dataway interface and a interface for a personal computer (PC). An adapter communicates data from the controller to the personal computer "Pravetz-16". The controller has facilities for data block transfer through a DMA channel. Such a structure of the controller can be applicable to various PCs which have expansion bus capabilities.

The investigation has been performed at the Laboratory of High Energies, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1987