

**СООБЩЕНИЯ  
ОБЪЕДИНЕННОГО  
ИНСТИТУТА  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ  
ДУБНА**

**13-87-160**

**В.Н.Замрий, А.Б.Роганов**

**БЛОКИ  
РАСПРЕДЕЛЕНИЯ АНАЛОГОВЫХ ДАННЫХ  
С ИЗОЛИРОВАННОЙ ЛИНИЕЙ  
ПОСЛЕДОВАТЕЛЬНОГО ИНТЕРФЕЙСА**

**1987**

При выводе из процессора и распределении групп управляющих аналоговых данных часто требуется многоканальное цифро-аналоговое преобразование. Для этого осуществляется адресуемый выбор и хранение значений аналогового сигнала каждого канала управления. Например, коды с шин данных процессора передаются в адресуемые цифро-аналоговые преобразователи /ЦАП/<sup>1/</sup> или через преобразователь ЦАП в адресуемые аналоговые устройства выборки и хранения. При этом существенны погрешности и время хранения аналоговых сигналов<sup>2/</sup>, а также практические возможности применения прецизионных и достаточно технологичных больших интегральных схем в многоканальных устройствах.

Блоки распределения аналоговых данных РД-8 и РД-12, созданные на основе 8- и 12-разрядных БИС ЦАП, выполняют распределение групп данных и преобразование их в двухполярные нормированные сигналы  $\pm 0 \div 5$  В для управления группами аналоговых устройств среднего и высокого классов точности. Примерами таких устройств являются источники стабильного тока для питания корректоров<sup>3/</sup> и элементов магнитной оптики с малой постоянной времени<sup>4/</sup> в подсистемах управления линейного индукционного ускорителя<sup>5/</sup>. При большом числе каналов управления  $\sim 10 \div 100$  и значительной протяженности линий связи  $\sim 100 \div 300$  м/ оказалась целесообразной разработка группы блоков РД с общей изолированной линией последовательного интерфейса, а также другими средствами защиты от помех и ошибок передачи аналоговых данных.

Дистанционное управление и связь группы блоков РД с изолированной линией последовательного интерфейса иллюстрирует схема /рис. 1/, где показаны: 1 - контроллер и магистраль крейта КАМАК, 2 - модуль КАМАК для последовательной передачи и приема, 3 - блоки РД одной группы, удаленные на значительное расстояние. Блоки 4, как и модуль 3, имеют однотипные устройства последовательного интерфейса, а также регистры хранения распределяемых и преобразуемых данных. Вход блока с изолирующим оптроном включается

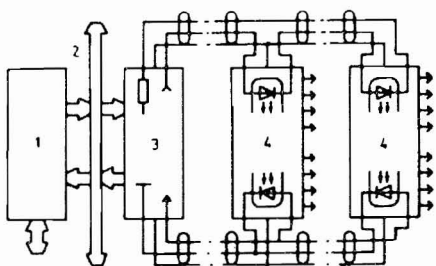


Рис. 1

в линию передачи модуля 3 последовательно. В одном блоке число распределяемых данных, выходов аналоговых сигналов - до 8, определяется разрядностью кода адресации каналов /АК/, а также конструктивным исполнением блока и его коммуникаций. В одной группе число блоков  $8 \div 16$  определяется предусмотренной разрядностью кода адресации блоков /АБ/, а также условиями прохождения кодовых сигналов. Данные из модуля 3, следующие одновременно во все блоки, запоминаются и преобразуются в аналоговый сигнал канала с адресом АК только в выбранном блоке, номер которого соответствует коду АБ. В блоке должны выполняться условия принятого формата данных, контроля /четности кодов/ и защиты /не разрешен реверс полярности при большой величине аналоговых сигналов/, а также исключаться неопределенности начальных величин и режимов. При нарушенной последовательности передачи, искаженном или неразрешенном коде блокируется запоминание и преобразование, то есть неправильное изменение аналогового сигнала. Эффективность передачи управляющих данных, как и изменения параметров объекта, обычно контролируется с использованием данных, собираемых и вводимых в процессор. С целью оперативного подтверждения правильности передачи контрольный выход блока с изолирующим оптроном параллельно подключается к линии приема модуля 3. В случае необходимости дальнейшего увеличения числа каналов / $\sim 100$ /, например, с целью резервирования, группы блоков с интерфейсным модулем подключаются к магистрали КАМАК параллельно.

При разработке схемы блоков РД учитывалась возможная совместимость с типовыми интерфейсными модулями КАМАК. Примером является модуль типа КИ 025<sup>6/</sup>, предназначенный для выполнения функций последовательного интерфейса для устройств ввода-вывода /телетайп, дисплей/, имеющих последовательный токовый / $\pm 20$  мА/ канал связи. Последовательный обмен со скоростью до 9600 бод возможен отдельными байтами, причем группу из 8 разрядов опережает разряд со значением "1" /"Старт"/, а завершают 2 дополнительных разряда "0" /"Стоп"/. В модуле могут меняться режимы входного и выходного формирователей, с целью согласования с характеристиками оптронов, устанавливаемых в блоках РД. Для связи применяется симметричная линия /скрученная пара проводов и изолированный экран/.

В первом из разработанных блоков для передачи данных требуются 2 байта /А и Б/. Байт А содержит коды адресации каналов и блоков, разряды знака данных и контрольного признака. Код данных размещается в разрядах байта Б, передаваемого вслед за байтом А. Для устранения влияния начальной неопределенности или сбоя при последовательном определении очередности /отсчете/ байтов А и Б предусматриваются возможности блокировки отсчета

в исходном состоянии, состоянии ожидания первого байта, и ограничение длительности интервала ожидания второго байта. После окончания заданного интервала ожидания очередного байта сбрасывается, блокируется отсчет байтов А и Б, а также их общего контрольного признака.

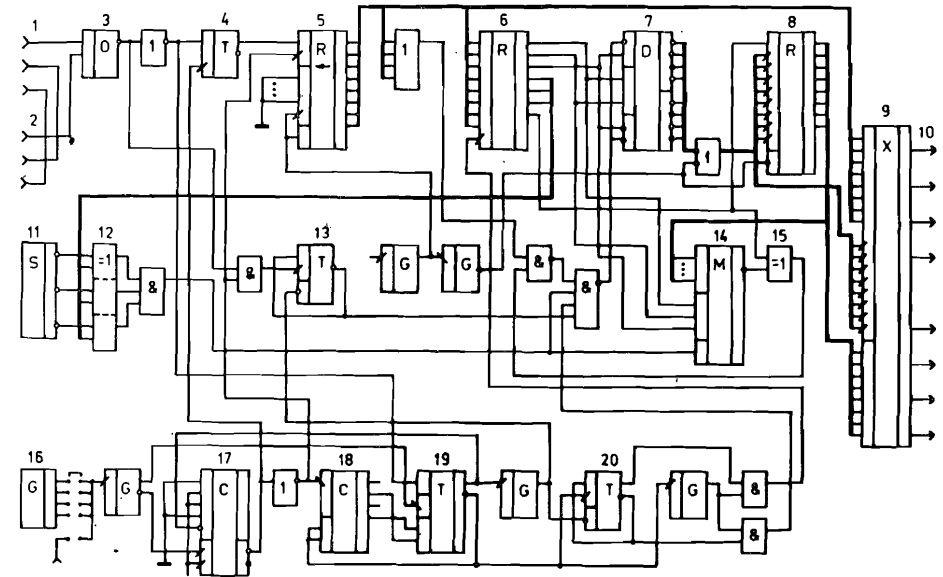


Рис. 2

На схеме РД-8 /рис. 2/, приведенной в несколько упрощенном виде, показаны: 1 и 2 - входы последовательного включения блока в линию связи, 3 - оптранный переключатель-инвертор, 4, 13, 19 и 20 - триггеры входного и контрольного кодов, длительности цикла передачи и признака байта, 5 - регистр сдвига входного кода и хранения байта Б, 6 и 8 - регистры байта А и разрядов знака, 7 - дешифратор кода АК, 9 и 10 преобразователи и выходы аналоговых сигналов, 11 - переключатель номера блока, 12 и 15 - схемы сравнения кода АБ с номером блока и поступившего знака с хранимым знаком данных, 14 - мультиплексор разрядов знака, 16, 17 и 18 - генератор, десятичный и двоичный счетчики тактовых импульсов, а также формирующие одновибраторы G с динамическим входом и элементами И, ИЛИ с прямыми и инверсными входами и выходами. Схема интерфейса и распределения данных построена с использованием ИС ТТЛ, причем элементы 4, 8, 13 и 20 - типа К155ТМ2, 5 - ИР1, 6 - ТМ5, 7 - ИД4, 12 и 15 - ЛП5, 14 - КР7,

17 - ИЕ6, 18 - ИЕ5, 19 - ТВ1, а 3 - типа 293ЛП1 /с характеристиками изоляции  $R_{и} \geq 10^9$  Ом,  $E_{и} \geq 100$  В при входных  $I_{в} = 8 \div 20$  мА,  $E_{в} \leq 1,5$  В/, 11 - кодирующий переключатель на 8 положений. Встроенная схема генератора 16 допускает выбор скорости передачи /1200 ÷ 9600 бод/, как и в модуле передачи /6/, стабилизированной с помощью кварцевого резонатора с частотой 10 МГц /устанавливается в каждом либо одном блоке группы/.

Каждый цикл начинается, когда на входы J, K триггера 19 поступают сигнал разряда "Старт" и выходные сигналы сброшенного счетчика 18, очередным импульсом генератора 16 синхронно включается триггер 19 и снимается блокировка в исходном состоянии счетчиков 17, 18. В начале цикла срабатывает одновибратор, сигналом которого временно снимается блокировка в состоянии "0" триггеров 13, 20. По тактовым импульсам с выхода счетчика 17 происходит запись разрядов в регистре 5 и счет в триггере 13. Цикл заканчивается, когда на входы триггера 19 поступают сигналы разряда "Стоп" и значения "1" с выходов счетчика 18, выключается триггер 19 и блокируются счетчики 17, 18. При этом в циклах А и Б соответственно включается и выключается триггер 20. Его выходные сигналы управляют входами двух схем И, на вторые входы которых подается с задержкой сформированный импульс окончания цикла. В первом цикле этот импульс вызывает запись кода из регистра 5 в регистр 6, а во втором - стробирование дешифратора 7 и последующую запись данных и их знака из регистров 5 и 6 в преобразователь 9 и разряд регистра 8. Соответствующий выходной импульс дешифратора проходит через схему ИЛИ на один из входов синхронизации записи 8, 9. Запись разрешается сигналами схем 12 сравнения кодов АБ регистра 6 и переключателя 11, а также сигналом триггера 13 четности кода байтов А и Б, если нет блокировки. Сигнал блокировки записи может поступить с инверсного выхода схемы И, если на ее входы сигналы уровня "1" из группы старших разрядов регистра 5 и с выхода схемы 15. Последний сигнал возможен при неодинаковых значениях разряда знака в регистре 6 и триггере 8, выбранном по коду АК при помощи мультиплексора 14. После окончания заданного интервала ожидания возвращается в исходное состояние одновибратор, и снова блокируются в исходном состоянии "0" триггеры 13 и 20. Для первоначальной установки после включения питания блока формируемые импульсы подаются на входы занесения кодов "0" в разряды регистра 5, а затем через схемы ИЛИ на входы записи 9 и вход сброса 8.

Рассмотренная цифровая часть схемы РД-8, содержащая 31 ИС, выполнена в виде отдельной платы. С ней связана 24 проводами другая плата, на которой размещена схема преобразователей и формирователей аналоговых сигналов, содержащая 8 БИС ЦАП и 36 ИС. В составе схемы преобразователя регистр /К155ТМ5/, 8-раз-

рядный ЦАП и источник опорного напряжения /7/, выходной и инвертирующий операционные усилители /К140УД7/ и управляемый разрядом знака ключ реверса полярности выходного сигнала напряжения. Основные погрешности при коэффициенте преобразования 20 мВ/дискрета составляют  $0,2 \div 0,4\%$ . Необходимое питание схем блока: +6 В /1,0 А/ и +12 В /0,1 А/.

Второй блок, разработанный с учетом опыта создания и испытаний первого блока, допускает расширенный формат обмена данными с использованием 1 ÷ 4 байтов. В каждом байте содержится его отличительный код /БК/ и контрольный разряд. В остальных 5 разрядах байтов А, Б, В и Г размещаются адрес блока и знак, адрес канала и 2 разряда данных, 5 разрядов и 5 разрядов данных соответственно. Это позволяет передавать разные последовательности байтов с независимым выделением /дешифрацией БК/ и контролем каждого байта /вместо последовательного отсчета и контроля группы байтов/. Режимы передачи байтов дополнены режимами автоматического возврата кодов с контрольного выхода блока.

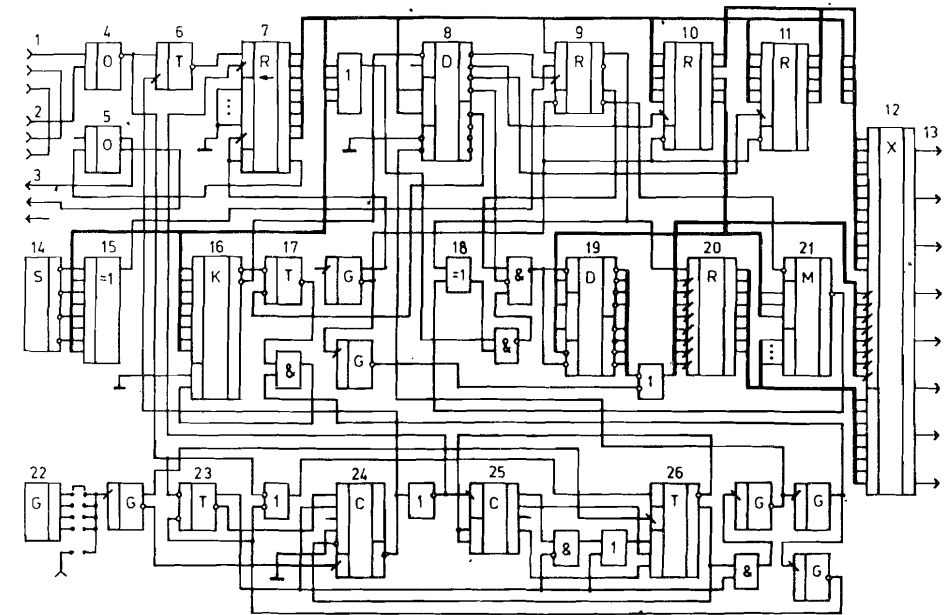


Рис. 3

На схеме РД-12, рис. 3, показаны: 1, 2 и 3 - входы и выход кодов обмена, 4 и 5 - оптронный инвертор и диодно-транзисторный оптрон, 6, 17, 23 и 26 - триггеры входного кода, блокировки,

режимов и длительности циклов обмена, 7 - регистр сдвига входного кода и хранения байта Г, 9, 10, 11 и 20 - регистры хранения признака АБ и знака /байта А/, кода АК и данных байта Б, данных байта В, разрядов знака, 8 и 19 - дешифраторы кодов БК и АК, 12 и 13 - преобразователи и выходы аналоговых сигналов, 14 - переключатель номера блока, 15 и 18 - схемы сравнения кодов АБ и знаков, 16 - схема контроля, 21 - мультиплексор, 22, 24 и 25 - генератор, десятичный и двоичный счетчики, а также одновибраторы и элементы И, ИЛИ. Элементы 6, 9, 17, 20, 23 - типа К155ТМ2, 7 - ИР1, 8 и 19 - ИД4, 10 и 11 - ТМ9, 15 и 18 - ЛП5, 16 - ИП2, 21 - КП7, 24 - ИЕ6, 25 - ИЕ5, 26 - ТВ1, а 4 и 5 - К293ЛП1 и А0Т128 /выходные токи  $I_C=10\pm 20$  мА,  $I_O\leq 10$  мкА при изоляции  $R_{и}\geq 10^{11}$  Ом,  $E_{и}\geq 500$  В/, 14 - кодирующий переключатель на 10 положений.

Режим передачи начинается кодом "Старт", включением триггера 23, установкой значений "0" и "1" на входе разрядов 1 и 2 счетчика 24 и "1" на входе управления триггера 26. После включения триггера 26 отсчитывается 10 тактовых импульсов и записывается входной код в регистр 7, а после выключения - запускаются одновибраторы, формирующие 3 импульса. Первым импульсом стробируется один из двух дешифраторов 8, с выхода которого в цикле А подается импульс для сброса триггера 17. Вторым импульсом через схему И, управляемую триггером 17, стробируется схема 16. С ее выхода сигнал "четности" следует на вход стробирования второго из двух дешифраторов 8. С его выходов в циклах А, Б, В и Г поступают импульсы для синхронизации записи в регистры 9, 10, 11 признака АБ из схемы 15 сравнения кодов 14 и 7, знака, кода АК и данных из регистра 7, а затем перезаписи данных и знака в преобразователь 12 и триггер 20. Такая перезапись выполняется одним из импульсов дешифратора 19, если его стробирующий импульс с выхода 8 проходит через схему И, при наличии признака АБ 9 и отсутствии блокировки. Блокировка возможна при поступлении сигналов "1" с выхода старших разрядов данных регистра 7 и схемы 18 /при неодинаковых знаках в регистре 9 и триггере 20, выбранном с помощью мультиплексора 21/. Если в каком-либо цикле не вырабатывается контрольный признак "четности" 16, то нет и стробирования записи, а сигналом "нечетности" с другого выхода 16 включается триггер 17 для блокировки стробирования и во всех последующих циклах группы байтов А-Г.

Режим возврата кода устанавливается автоматически после окончания режима передачи, когда сформированным третьим импульсом одновибраторов выключается триггер 23 и разрешается повторное включение триггера 26. При этом меняются значения разрядов 1 и 2 счетчика 24, пропускается сигнал разряда 1 счетчика 25 на вход управления 26 и блокируется повторный запуск одновибраторов,

формирующих 3 импульса. После включения триггера 26 отсчитываются 11 тактовых импульсов, и сдвигаемый в регистре 7 код следует с выхода разряда 10 через оптрон 5 /его сигнал  $I_C$  включается в выбранном блоке, в режиме возврата/ на контрольный выход блока 3. После выключения триггера 26 устанавливается исходный режим ожидания передачи байта. Последовательность импульсов, формируемых после включения питания блока, подается для начальной установки "0" в регистрах 7, 9, 10 и 11 и затем записи в регистры 20 и 12. Рассмотренная цифровая часть схемы выполнена с использованием 35 ИС в виде отдельной платы. Она связана 28 проводами со второй платой, на которой размещены преобразователи 12 с формователями аналоговых сигналов.

Схема одного из преобразователей на основе БИС ЦАП с 12-разрядными регистрами приведена на рис. 4, где 1, 3 и 4 - операционные усилители общего источника опорного напряжения, выходного и инвертирующего каскадов преобразователя, 2 - цифро-аналоговый преобразователь с входными регистрами, 5 и 6 - входы разрядов и импульса записи данных, 7, 8 и 9 - вход и транзисторы схемы реверса полярности, 10 - выход аналогового сигнала, причем 1, 3 и 4 - аналоговые ИС типа К140УД6, 2 - К572ПА2А<sup>1/2</sup>, 8 и 9 - транзисторы КТ361 и КП302Б. Схема обеспечивает преобразование как прямого двоичного

12-разрядного кода данных с 13 разрядом знака, управляющим схемой реверса полярности выходного напряжения<sup>1/8</sup>, так и смещенного двоичного 12-разрядного кода в двухполярное напряжение /при изменении положения трех переключателей, показанных на рис. 4/. Предусмотренные подстройки в схеме элементов 1-4 /с прецизионными резисторами С2-29В, СП5-16В, стабилитроном Д818Е/ позволяют установить величины

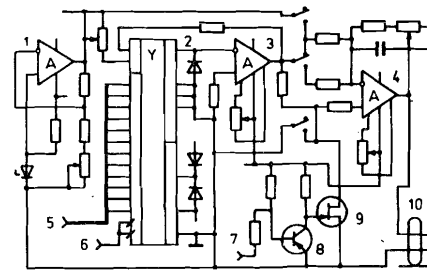


Рис. 4

"нуля" и конечной точки шкалы напряжений, с погрешностью до 0,05-0,1% при коэффициенте преобразования 1,25 мВ/дискрета для всех каналов блока. Всего используется 8 БИС и 17 ИС для формирования 8 аналоговых сигналов.

Общее питание схем блока РД-12: +6 В /0,8 А/, +12 В /0,1 А/.

Блоки РД-8 и РД-12 выполнены в конструктиве "Вишня" и предназначены для размещения в стойке типа СР вместе с группой управляемых аналоговых устройств. В каждом блоке, помимо типового разъема питания, на передней панели блока установлены переключатель номера блока, входные и выходные разъемы РС4ТВ для

подключения симметричных двухпроводных кабелей с изолированным экраном. Группы таких блоков распределения аналоговых данных с помехозащищенной изолированной линией последовательного интерфейса прошли испытания в составе подсистем КАМАК с управляющей микроЭВМ. Время передачи, распределения и запоминания данных одного из каналов, преобразования и установления выходного сигнала блоков РД-8 и РД-12 составляет  $\sim 2,1$  мс и  $8,4$  мс. Это согласуется с характеристиками управляемых источников тока корректоров и элементов магнитной оптики ускорителя ЛИУ-30.

#### ЛИТЕРАТУРА

1. Собкин Б.Л. Автоматизация проектирования аналого-цифровых приборов на микропроцессорах. М.: Машиностроение, 1986, с.28.
2. Федорков Б.Г. и др. Микроэлектронные цифро-аналоговые и аналого-цифровые преобразователи. М.: Радио и связь, 1984, с.17, 51.
3. Журавлев В.В., Сигаев К.П. Сообщение ОИЯИ 13-84-309, Дубна, 1984.
4. Омельченко Б.Д. и др. Препринт ОИЯИ 13-80-469, Дубна, 1980.
5. Журавлев В.В. и др. - В сб.: Труды VIII Всесоюзного совещания по ускорителям заряженных частиц. ОИЯИ, Дубна, 1983, т.2, с.312.
6. Антюхов В.А. и др. Сообщение ОИЯИ 10-80-650, Дубна, 1980, с.6.
7. Data Acquisition Products Catalog. Analog Devices. Norwood, 1978, p.277, 241.
8. Замрий В.Н., Роганов А.Б. Сообщение ОИЯИ 13-86-106, Дубна, 1986.

Рукопись поступила в издательский отдел  
13 марта 1987 года.

Замрий В.Н., Роганов А.Б. 13-87-160  
Блоки распределения аналоговых данных с изолированной линией последовательного интерфейса

Блоки разработаны для систем с большим числом аналоговых каналов управления и протяженными линиями связи. Связь группы блоков с процессором осуществляется через модуль интерфейса КАМАК, последовательную токовую линию и изолирующие оптроны. В адресуемой блоке данные преобразуются в аналоговый сигнал адресуемого канала, если выполнены условия формата и последовательности передачи байтов, контроля четности и защиты (не разрешен реверс полярности больших сигналов). Рассмотрены схемы и режимы работы блоков: РД-8 - передача пары байтов (адреса 8 блоков и 8 каналов) блока, 8-разрядные данные, знаковый и контрольный разряды с блокируемым отбором байтов и контрольного признака; РД-12 - передача и возврат 12-байтов (адреса 10 блоков и 8 каналов, 12-разрядные данные, знак с дешифрацией их отличительных и контрольных признаков). Для блоков РД-8 и РД-12 время передачи, распределения и запоминания данных одного из каналов, преобразования и установления выходного сигнала  $\pm 5$  В с погрешностью 0,4 и 0,1% составляет 2,1 и 8,4 мс. Это согласуется с характеристиками управляемых источников тока и элементов магнитной оптики линейного индукционного ускорителя.

Работа выполнена в Лаборатории нейтронной физики ОИЯИ.  
Сообщение Объединенного института ядерных исследований. Дубна 1987.

Перевод О.С. Виноградовой

Замрий В.Н., Роганов А.Б. 13-87-160  
Distribution of Analog Data Blocks with an Isolated Line of Serial Interface

The blocks have been elaborated for the systems with a large number of control analog channels and with extended communication lines. The connection of the group of blocks with the processor is accomplished through the КАМАК interface module, serial current line and isolated optical couplers. In the addressed block the data are converted into an analog signal of the addressed channel if the conditions of format and sequence of bytes transmission, of parity checking and protection (the polarity reverse is not permitted for large signals) are fulfilled. The blocks circuits and their operation modes are considered; RD-8 - the bytes pair transmission (addresses of 8 blocks and 8 block channels 8-bit data, sign and check bits) with a blocked count of bytes and check character; RD-12 - the 1-4 bytes transmission and return (addresses of 10 blocks and 8 channels, 12-bit data sign) with their distinguishing and check characters identification. For the RD-8 and RD-12 the time required for the transmission, distribution and remembering of data for one of the channels, for the conversion and setting of the output  $\pm 5$  V signal with an accuracy of 0.4 and 0.1% is 2.1 and 8.4 ms, respectively. This is in accordance with the performances of the controlled current sources and magnetic optics elements of the linear induction accelerator.

The investigation has been performed at the Laboratory of Neutron Physics, JINR.  
Communication of the Joint Institute for Nuclear Research, Dubna 1987.

подключения симметричных двухпроводных кабелей с изолированным экраном. Группы таких блоков распределения аналоговых данных с помехозащищенной изолированной линией последовательного интерфейса прошли испытания в составе подсистем КАМАК с управляющей микроЭВМ. Время передачи, распределения и запоминания данных одного из каналов, преобразования и установления выходного сигнала блоков РД-8 и РД-12 составляет  $\approx 2,1$  мс и 8,4 мс. Это согласуется с характеристиками управляемых источников тока корректоров и элементов магнитной оптики ускорителя ЛИУ-30.

#### ЛИТЕРАТУРА

1. Собкин Б.Л. Автоматизация проектирования аналого-цифровых приборов на микропроцессорах. М.: Машиностроение, 1986, с.28.
2. Федорков Б.Г. и др. Микроэлектронные цифро-аналоговые и аналого-цифровые преобразователи. М.: Радио и связь, 1984, с.17, 51.
3. Журавлев В.В., Сигаев К.П. Сообщение ОИЯИ 13-84-309, Дубна, 1984.
4. Омельченко Б.Д. и др. Препринт ОИЯИ 13-80-469, Дубна, 1980.
5. Журавлев В.В. и др. - В сб.: Труды VIII Всесоюзного совещания по ускорителям заряженных частиц. ОИЯИ, Дубна, 1983, т.2, с.312.
6. Антюхов В.А. и др. Сообщение ОИЯИ 10-80-650, Дубна, 1980, с.6.
7. Data Acquisition Products Catalog. Analog Devices. Norwood, 1978, p.277, 241.
8. Замрий В.Н., Роганов А.Б. Сообщение ОИЯИ 13-86-106, Дубна, 1986.

Рукопись поступила в издательский отдел  
13 марта 1987 года.

Замрий В.Н., Роганов А.Б.

13-87-160

Блоки распределения аналоговых данных с изолированной линией последовательного интерфейса

Блоки разработаны для систем с большим числом аналоговых каналов управления и протяженными линиями связи. Связь группы блоков с процессором осуществляется через модуль интерфейса КАМАК, последовательную токовую линию и изолирующие оптроны. В адресуемом блоке данные преобразуются в аналоговый сигнал адресуемого канала, если выполнены условия формата и последовательности передачи байтов, контроля четности и защиты /не разрешен реверс полярности больших сигналов/. Рассмотрены схемы и режимы работы блоков: РД-8 - передача пары байтов /адреса 8 блоков и 8 каналов блока, 8-разрядные данные, знаковый и контрольный разряд/ с блокируемым отсчетом байтов и контрольным признаком; РД-12 - передача и возврат 1-4 байтов /адреса 10 блоков и 8 каналов, 12-разрядные данные, знак/ с дешифрацией их отличительных и контрольных признаков. Для блоков РД-8 и РД-12 время передачи, распределения и запоминания данных одного из каналов, преобразования и установления выходного сигнала  $\pm 0,5$  В с погрешностью 0,4 и 0,1% составляет 2,1 и 8,4 мс. Это согласуется с характеристиками управляемых источников тока и элементов магнитной оптики линейного индукционного ускорителя.

Работа выполнена в Лаборатории нейтронной физики ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1987

Перевод О.С.Виноградовой

Zamrij V.N., Roganov A.B.

13-87-160

Distribution of Analog Data Blocks with an Isolated Line of Serial Interface

The blocks have been elaborated for the systems with a large number of control analog channels and with extended communication lines. The connection of the group of blocks with the processor is accomplished through the CAMAC interface module, serial current line and isolated optical couplers. In the addressed block the data are converted into an analog signal of the addressed channel if the conditions of format and sequence of bytes transmission, of parity checking and protection (the polarity reverse is not permitted for large signals) are fulfilled. The blocks circuits and their operation modes are considered: RD-8 - the bytes pair transmission (addresses of 8 blocks and 8 block channels 8-bit data, sign and check bits) with a blocked count of bytes and check character; RD-12 - the 1-4 bytes transmission and return (addresses of 10 blocks and 8 channels, 12-bit data, sign) with their distinguishing and check characters identification. For the RD-8 and RD-12 blocks the time blocks required for the transmission, distribution and remembering of data for one of the channels, for the conversion and settling of the output  $\pm 5$  V signal with an accuracy of 0.4 and 0.1% is 2.1 and 8.4 ms, respectively. This is in accordance with the performances of the controlled current sources and magnetic optics elements of the linear induction accelerator.

The investigation has been performed at the Laboratory of Neutron Physics, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1987