

СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА



СЗ44.3Г
К-523

26/2-75
13 - 8629

Н.Г.Клюкин, С.И.Орманджиев

1910/2-75

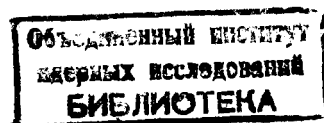
МОДЕЛИРОВАНИЕ НА ЭВМ
ОДНОЙ СХЕМЫ ПРЕОБРАЗОВАНИЯ
АМПЛИТУДЫ ИМПУЛЬСОВ
ВО ВРЕМЕННОЙ ИНТЕРВАЛ

1975

13 - 8629

Н.Г.Клюкин, С.И.Орманджиев

МОДЕЛИРОВАНИЕ НА ЭВМ
ОДНОЙ СХЕМЫ ПРЕОБРАЗОВАНИЯ
АМПЛИТУДЫ ИМПУЛЬСОВ
ВО ВРЕМЕННОЙ ИНТЕРВАЛ



Во всех современных измерительных устройствах для ядерно-физических исследований применяют высокопрецизионные преобразователи амплитуды импульсов в цифровой код. Самое широкое применение находят преобразователи, использующие линейный разряд запоминающего конденсатора для промежуточного преобразования во временной интервал, что вызвано малой дифференциальной нелинейностью этих преобразователей.

Преобразователи этого типа не лишены некоторых недостатков, которые рассматривались рядом авторов^{1,2/}.

В данной работе методом цифрового моделирования во временной области исследована работа преобразователя с использованием операционных усилителей IUT401Б, в котором начальная точка характеристики преобразования смещена незначительно и не использовано отдельное линейное пропускающее устройство. Рекомендованы параметры элементов для получения минимальной ошибки запоминания и преобразования амплитуды во временной интервал.

В преобразователе использованы логическое устройство и два идентичных запоминающих устройства. Каждое запоминающее устройство содержит операционный усилитель и общие запоминающий конденсатор и составной эмиттерный повторитель с полевым транзистором на входе. Качество работы всего преобразователя определяется работой запоминающего устройства, поэтому в дальнейшем исследованы характеристики только этого узла устройства. Принципиальная схема запоминающего устройства дана на *рис. 1*. Отрицательный входной сигнал поступает на инверсный вход операционного усилителя O_1 . Выходной сигнал через диоды заряжает

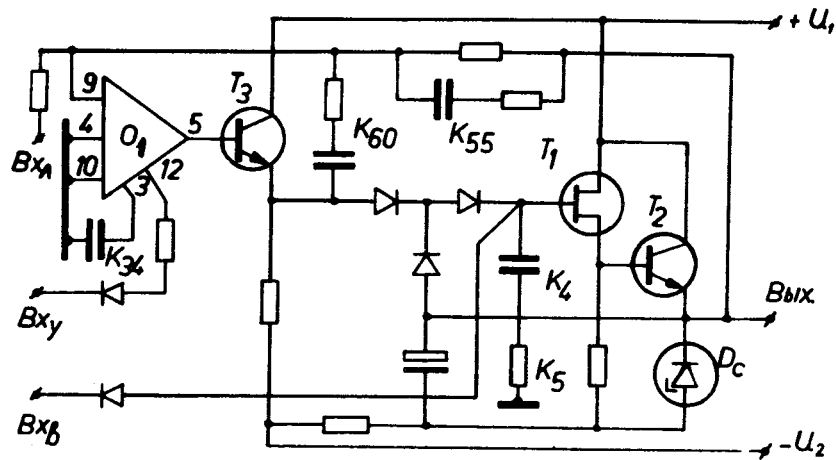


Рис. 1. Схема запоминающего устройства. Обозначения: O_1 - 1УТ401Б; T_1 - 2КП302; $T_{2,3}$ - ГТ311Ж; D_c - КС147А; все диоды - КД503А.

конденсатор памяти. Через эмиттерный повторитель и частотно зависимую цепь замыкается основная цепь обратной связи. Для повышения устойчивости схемы операционный усилитель охвачен второй цепью отрицательной обратной связи. В схеме имеются два входа управления: для коэффициента усиления операционного усилителя - V_{xy} и для разряда запоминающего конденсатора - V_{xb} .

Блок-схема модели устройства показана на рис. 2. Входные импульсы через сумматоры 1 и 2 поступают на операционный усилитель 3 с коэффициентом усиления приблизительно $3 \cdot 10^3$. Модель усилителя включает R-С-цепочки с зависящими от уровня входного сигнала постоянными времени $R_{1,2,3}$ и $C_{2,3}$; $R_{4,5,6}$ и $C_{4,5}$, которые разделены буферными каскадами с коэффициентом усиления единицы - 6 и 7. С выхода эмиттерного повторителя 7 операционного усилителя, через нелинейное сопротивление 8 /диод/ и резистор R_7 заряжается конденсатор C_6 . С выхода буферного каскада 10 напряжение подается на делитель обратной связи R_9, R_{10}, C_7 , а оттуда - на вход сумматора 1.

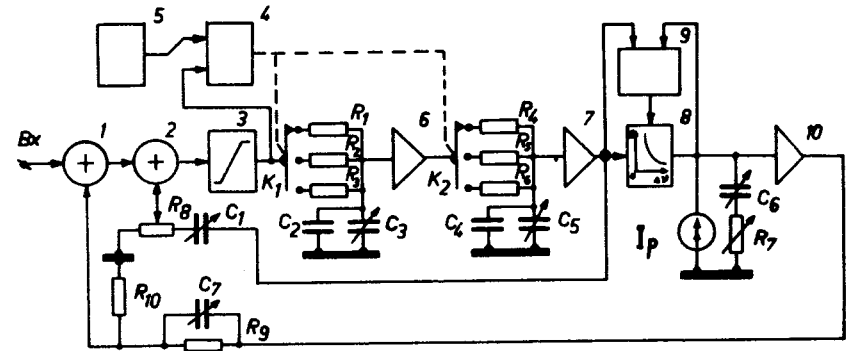


Рис. 2. Блок-схема модели запоминающего устройства. Обозначения: 3 - усилитель-ограничитель; 4 - блок сравнения и управления; 5 - блок опорного напряжения; 6, 7, 10 - буферные каскады; 8, 9 - модель диода зарядной цепи.

Поскольку после ограничения в усилителе в зависимости от полярности ограниченного сигнала меняются и постоянные времени, то в блок-схему введен блок сравнения 4 с опорным напряжением 5, который переключает сопротивления R_2 и R_5 соответственно на R_1 и R_4 или R_3 и R_6 . Величины этих сопротивлений соответствуют ограничению сигнала в диапазоне ± 8 В.

Нелинейность диода моделируется переменным сопротивлением, управляемым от блока 9, который сравнивает разность потенциалов на его концах. Линейный разряд конденсатора создается путем включения генератора разрядного тока I_p .

Моделирование схемы выполнялось на ЭВМ фирмы Хьюлетт-Пакард с помощью диалоговой программы, реализующей язык моделирования непрерывных динамических систем /3/ с использованием графического дисплея для изображения переходных процессов в схеме. Исходными данными для программы являются структурная схема моделирования и численные значения параметров всех ее блоков.

Функции блоков, используемых в данной схеме, приведены в табл. 1.

ТАБЛИЦА 1

ТИП БЛОКА	ГРАФИЧЕСКОЕ ОБОЗНАЧЕНИЕ	ВЫПОЛНЯЕМАЯ ФУНКЦИЯ
ИНТЕГРАТОР		$Y = R \int (X_1 + X_2 + X_3) dt$
УМНОЖИТЕЛЬ		$Y = X_1 \cdot X_2$
ДЕЛИТЕЛЬ		$Y = X_1 / X_2$
СУММАТОР С ВЕСО- ВЫМИ КОЭФФ.		$Y = R_1 X_1 + R_2 X_2 + R_3 X_3$
КОНСТАНТА		$Y = P$
ГЕНЕРАТОР ФУНКЦИИ		 аппроксимация
УСИЛИТЕЛЬ		$Y = P \cdot X$
СПЕЦИАЛЬНЫЙ		$Y = f(x)$ ЗАДАЕТСЯ АЛГОРИТМОМ --- УПРАВЛЕНИЕ ПО АЛГОРИТМУ
НАСЫЩЕНИЕ		$Y = \begin{cases} B_1 & X \geq B_1 \\ X & \text{если } B_1 > X > B_2 \\ B_2 & X \leq B_2 \end{cases}$

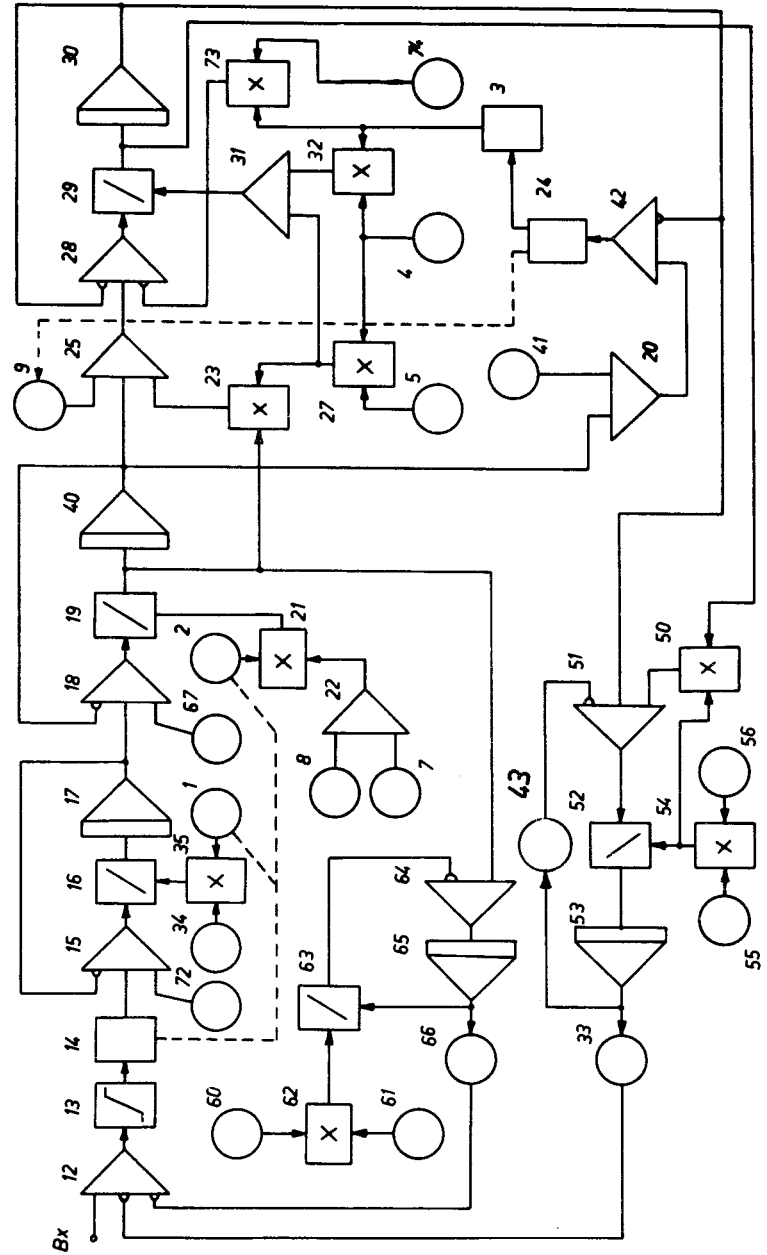


Рис. 3. Структурная схема модели запоминающего устройства и генератора разрядной цепи. Обозначения схемы даны в табл. 1 и 3.

Структурная схема модели дана на рис. 3. Входные импульсы поступают на сумматор 12, на остальные входы которого подаются импульсы с цепей обратных связей. Усиленные в блоке 13 импульсы поступают через блок сравнения и управления 14 на вход первой R-C-цепи. Переключение сопротивлений R-C-цепей /константы 1 и 2/ производится по алгоритму, представленному на рис. 4. Выходное напряжение блока 14 равно напряжению на его входе.

Функцию первой R-C-цепи выполняют блоки 1-17, 34, 35 и блок ввода начального уровня 72.

Передаточная функция схемы равна:

$$H(p) = \frac{1}{1 + p_0 K_1 K_{34}},$$

где $K_1 = R_1$ или R_2 или R_3 , $K_{34} = C_2$.

Аналогичным образом составлена вторая R-C-цепь на блоках 2,7,8,18,19,21,22,40 и 67. В этой R-C-цепи имеются добавочные блоки сумматора 22 и изменяемая константа 7, с помощью которой можно менять суммарную емкость цепи. Передаточная функция равна:

$$H(p) = \frac{1}{1 + p_0 K_2 (K_7 + K_8)},$$

где $K_2 = R_4$ или R_5 или R_6 , $K_7 = C_4$, $K_8 = C_5$.

Передача напряжения с выхода второго интегратора через диод и его интегрирование выполняется блоками 3-5, 9,20-25, 27, 28-32, 42. Передаточная функция описывается выражением:

$$H(p) = \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}} - K_9} = \frac{1 + p \cdot K_4 \cdot K_5}{1 + p \cdot K_4 \cdot (K_3 + K_5)},$$

где K_3 - внутреннее сопротивление диода, $K_4 = C_6$, $K_5 = K_7$, K_9 - напряжение отсечки диода.

Чтобы константа 9 не пропусклась на выход до превышения напряжения отсечки диода, она включается бло-

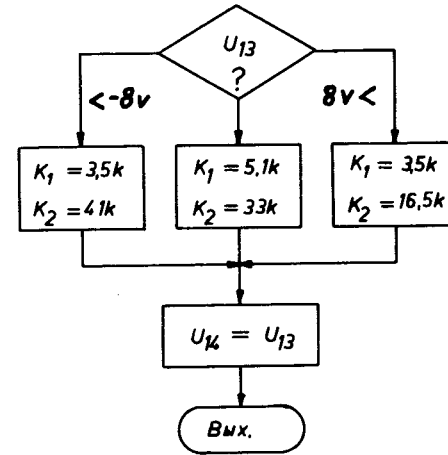


Рис. 4. Алгоритм управления констант K_1 и K_2 .

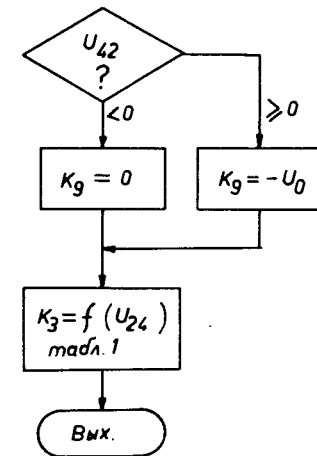


Рис. 5. Алгоритм управления констант K_3 и K_9 .

ком сравнения 24, управляющим сопротивлением диода /блок 3/. Алгоритм управления дан на рис. 5. Используется кусочно-линейная аппроксимация зависимости сопротивления диода от приложенного напряжения /табл. 2/.

Таблица 2

24 (в)	K_3 (ом)	24 (в)	K_3 (ом)
0,000	$1 \cdot 10^6$	0,450	18
0,075	$10 \cdot 10^3$	0,525	16,5
0,150	400	0,600	15,5
0,225	32	0,675	14,5
0,300	23,5	0,750	13,5
0,375	20		

Разность между входным напряжением и напряжением отсечки диода реализуется в блоке 20, а напряжение на диоде - разностным усилителем 42.

Цепь разрядного тока составлена из блоков 3, 73 и 74. Блок умножения 73 и его связь с блоком 3 устраняют зависимость разрядного тока от уровня напряжения, подаваемого на вход блока 25.

Основная цепь обратной связи выполнена на блоках 33, 50, 43, 51-56. Функция передачи имеет вид:

$$H(p) = \frac{1 + p \cdot K_{55} \cdot K_{56}}{1/K_{43} + p \cdot K_{55} \cdot K_{56}},$$

где

$$K_{33} = \frac{R_{10}}{R_9 + R_{10}}, \quad K_{55} = C_7; \quad K_{56} = P_9.$$

Постоянная времени цепи задается изменением константы 55. Цепь коррекции моделируется блоками 60-66.

Функция передачи равна:

$$H(p) = K_{66} \frac{p \cdot K_{60} \cdot K_{61}}{1 + p \cdot K_{60} \cdot K_{61}},$$

где $K_{60} = C_1$, $K_{61} = R_8$.

Величины всех констант, использованных в статье, даны в табл. 3.

Таблица 3

Константы				
(в)	(пф)	(к.ом)	(мА)	безразм.
	$K_4 = 500 \cdot 8 \cdot 10^3$	K_1 - рис. 4	$K_{74} = 0 \cdot 0,2$	$K_6 = 1$
$K_9 = -0,35$	$K_7 = 0 \cdot 300$	K_2 - рис. 4		$K_{13} = 200 \cdot 8 \cdot 10^3$
	$K_8 = -0$	$K_5 = 0 \cdot 0,1$		$K_{33} = 0,1 \cdot 1$
$K_{41} = -0,35$	$K_{34} = 0 \cdot 300$	$K_{56} = 6,2$		$K_{57} = 0 \cdot 8$
	$K_{55} = 25$	$K_{61} = 1,0$		$K_{66} = 0,1 \cdot 1$
	$K_{60} = 0 \cdot 100$			$K_{68} = 0 \cdot 6$

Выход блока 10 /рис. 6/ задает текущее время моделирования в схеме. Блок 11 формирует форму сигнала, которая в данном случае определяется выражением:

$$H(t) = \frac{A}{24} \left(\frac{t}{\tau} \right)^4 e^{-\frac{t}{\tau}},$$

где $t = Y_{36}$.

С помощью блока 57 регулируется амплитуда сигнала. Блок 71 реализует переключающую функцию

$$Y_{71} = \begin{cases} Y_{57} & \text{если } Y_{71} \geq 0 \\ Y_{70} & \text{если } Y_{71} < 0 \end{cases},$$

которая позволяет задавать начальные условия в схеме /настройкой блоков 68 и 70/.

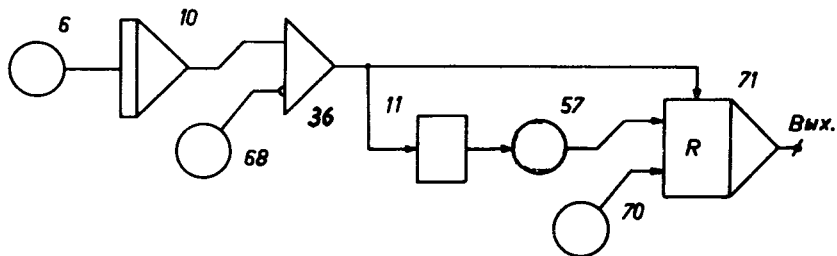


Рис. 6. Блок моделирования входных импульсов.

С помощью устройства были моделированы два основных процесса работы преобразователя амплитуды импульса во временной интервал: запоминание амплитуды входного импульса при выключенном генераторе разрядного тока и процесс восстановления начального состояния запоминающего устройства.

При первых измерениях /см. рис. 7/ отключался генератор разрядного тока ($K_{74} = 0$) и исследовалась функция передачи амплитуды импульсом между выходом блока 30 и входом блока 12. При этом изменялись константы, определяющие нули и полюса на переходной функции разомкнутой системы, как и глубина обратной связи стабилизирующей цепи. Глубина основной цепи обратной связи оставалась постоянной ($K_{33} = 1,0$). Была получена зависимость относительной погрешности выходного напряжения от входного.

Измерения проводились при входных напряжениях 3 В, что соответствует примерно середине динамического диапазона устройства. На вход подавались импульсы напряжения квазигaussianной формы, соответствующие прохождению единичного скачка напряжения через формирующую цепь с однократным дифференцированием и 4-кратным интегрированием. При этом из отдельных графиков легко оценить области работы устройства. При снятии каждой зависимости остальные параметры имели величины, соответствующие примерно серединам участков минимального отклонения выходной величины от номинальной.

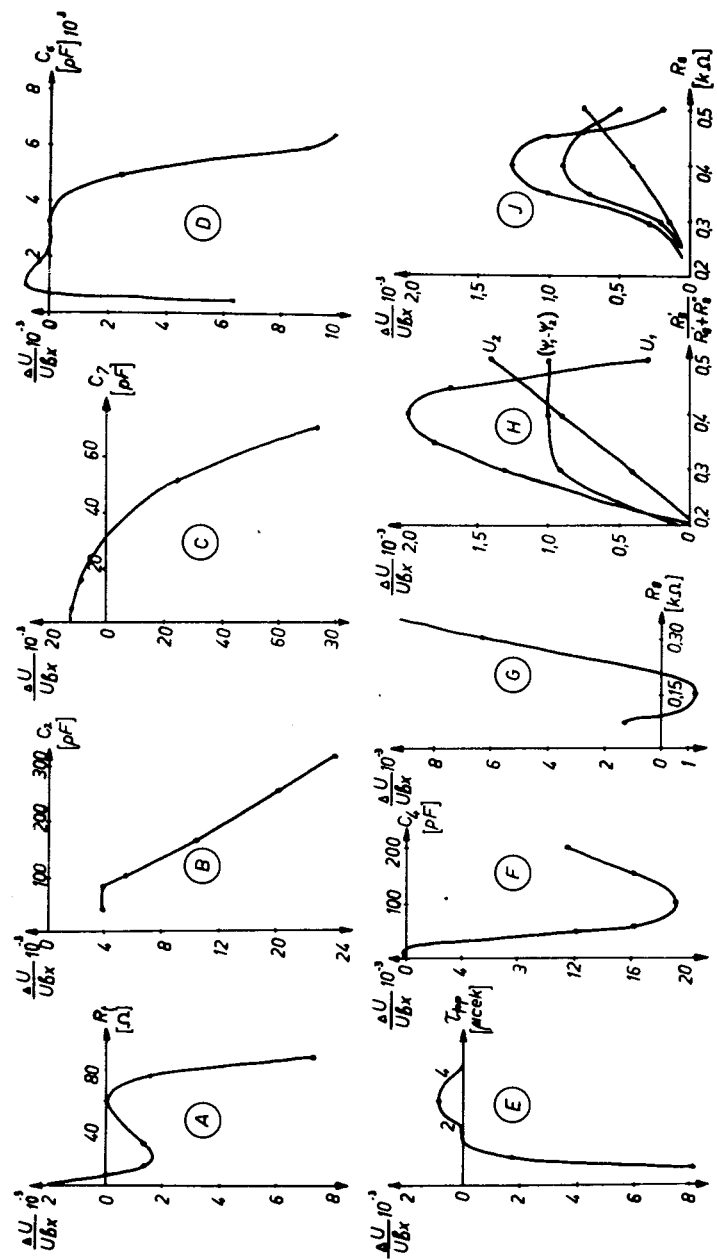


Рис. 7. Зависимость относительного изменения коэффициента передачи запоминающего устройства от величин параметров схемы /см. рис. 2/. Обозначения: U_1 - входное напряжение = 0,16 В; U_2 - входное напряжение = 0,40 В.

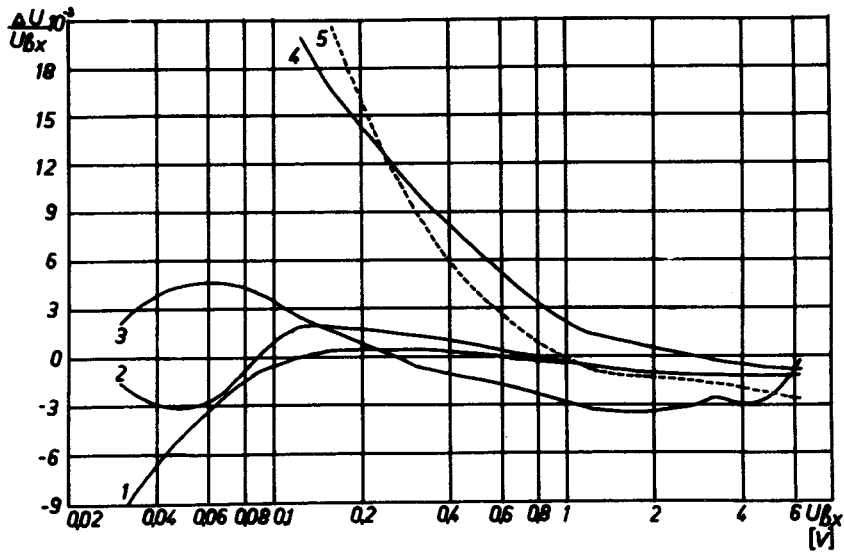


Рис. 8. Зависимость относительного изменения коэффициента передачи запоминающего устройства от амплитуды входного импульса и константы времени формирования. Обозначения:

1. $\tau_{\phi} = 2 \text{ мкс}$, $K_{66} = 0,1$
2. $\tau_{\phi} = 2 \text{ мкс}$, $K_{66} = 0,1$, K_{67} и $K_{68} = 0,35$
3. $\tau_{\phi} = 1 \text{ мкс}$, $K_{66} = 0,1$
4. $\tau_{\phi} = 2 \text{ мкс}$, $K_{66} = 0$
5. $\tau_{\phi} = 1 \text{ мкс}$, $K_{66} = 0$.

После подбора констант была снята зависимость относительной ошибки по всему динамическому диапазону /рис. 8/ от константы формирования фронта входного импульса. В начальной области ошибка запоминания увеличивается из-за наличия напряжения отсечки

диода в цепи заряда конденсатора. При величине констант 67 и 72, создающих на входе диода напряжение, достаточно близкое к напряжению отсечки, динамический диапазон запоминающего устройства увеличивается. Точность устройства повышается и при подаче импульсов с более пологими фронтами, что связано с полосой пропускания использованных операционных усилителей.

Зависимость относительной погрешности от величины усиления операционного усилителя, при разных амплитудах входных импульсов, представлена на рис. 9. Погрешность мало меняется в диапазоне допуска усиления самой интегральной схемы.

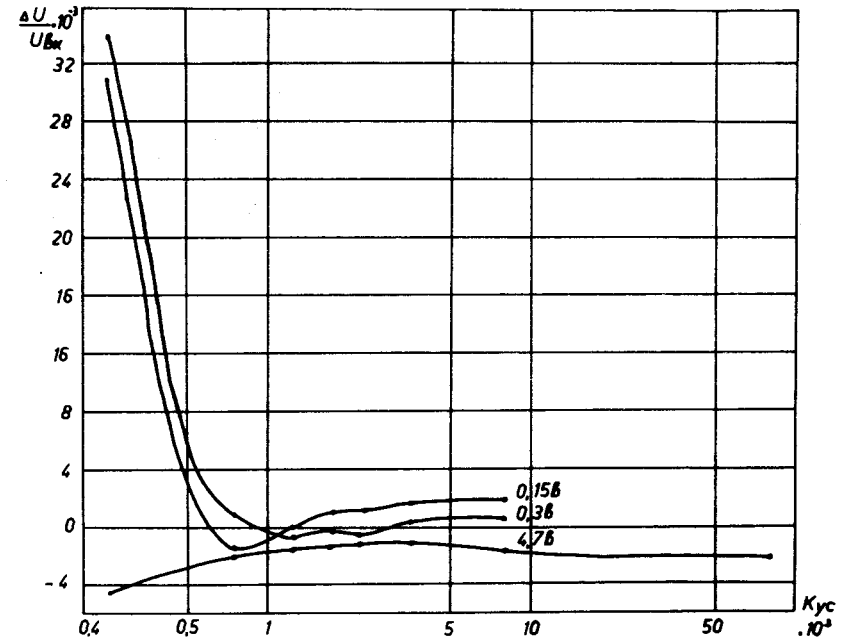


Рис. 9. Зависимость относительного изменения коэффициента передачи запоминающего устройства от коэффициента усиления операционного усилителя.

Для определения характеристик преобразования во временной интервал существен момент перехода через нуль потенциала на выходе операционного усилителя /выход блока 40/, так как он определяет и начало и конец преобразования.

Когда разрядный ток отключается на время запоминания амплитуды импульса, начало преобразования задается внешним устройством и поэтому существен только момент перехода через нуль, соответствующий концу процесса преобразования. Время задержки, в зависимости от скорости разряда, дано на рис. 10. Величина этой задержки постоянна и зависит только от величины тока разряда. Она эквивалентна постоянному смещению начальной точки характеристики преобразования.

На рис. 11 показана зависимость задержки времени перехода через нуль выходного напряжения блока 40, от времени, прошедшего между временем запирающей схемы и моментом перехода через нуль напряжения на запоминающей емкости C_6 . Это время вызвано перезарядкой паразитных конденсаторов операционного усили-

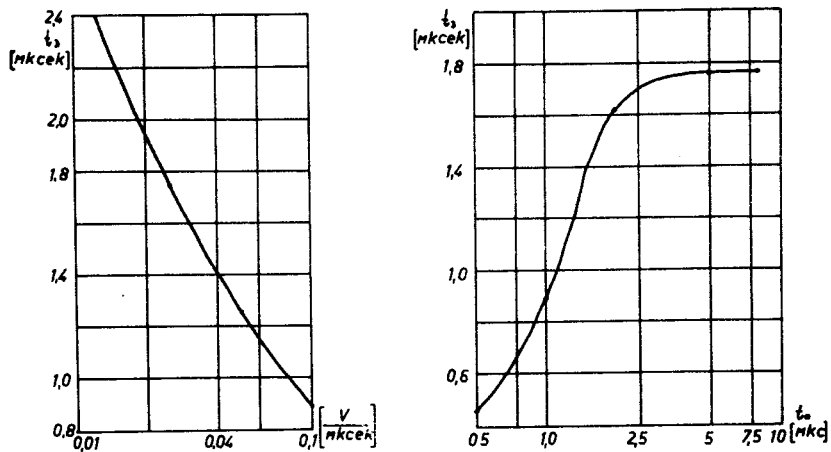


Рис. 10, 11. Зависимость времени перехода через нуль на выходе блока 40 структурной схемы от скорости линейного разряда /рис. 10/ и от длительности временного интервала от включения схемы до перехода через нуль напряжения на выходе блока 30 /рис. 11/.

теля, и может быть уменьшено вводом начальных условий, что эквивалентно фиксации начальных уровней напряжений в схеме до определенной величины.

На рис. 12 показана зависимость задержки времени перехода через нуль от амплитуды и величины константы формирования фронта входного импульса, при непрерывной работе генератора разрядного тока. Такой режим, очевидно, нецелесообразен для случая импульсов квази-гауссовой формы.

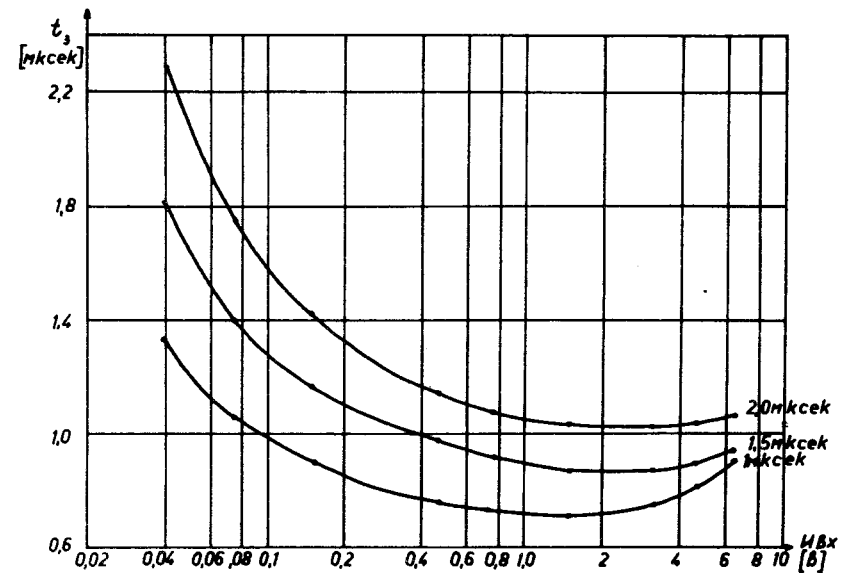


Рис. 12. Зависимость времени задержки перехода через нуль напряжения на выходе блока 40, от амплитуды и константы формирования входного импульса.

На рис. 13 показана форма напряжений в некоторых характерных точках схемы. Видно влияние цепи стабилизирующей обратной связи на переходные процессы схемы. Аналогичным образом могут быть получены зависимости и для любой другой интересующей нас точки схемы.

Параметры, рекомендованные в результате анализа, показаны в табл. 4.

Выводы

Цифровое моделирование в интерактивном режиме с визуальным изображением результатов вычисления позволило достаточно быстро и точно исследовать динамику нелинейной системы с переменными параметрами. Реализация устройства по вычисленным параметрам показала пригодность метода для проектирования реальных систем.

Авторы считают своим приятным долгом поблагодарить С.В.Медведа за обсуждение данной работы и М.Влаху за изготовление чертежей.

Литература

1. Э.Г.Имаев и др. Сообщения ОИЯИ, Р10-3332, Дубна, 1967.
2. Е.Ковальский. Ядерная электроника, Атомиздат, 1972.
3. H.Forner. CSMP-Block orientierte Sprachen zur digitalen Simulation dynamischer Systeme IBM-Nachrichten, p. 51-57, 18, 1968.

Рукопись поступила в издательский отдел
21 февраля 1975 года.

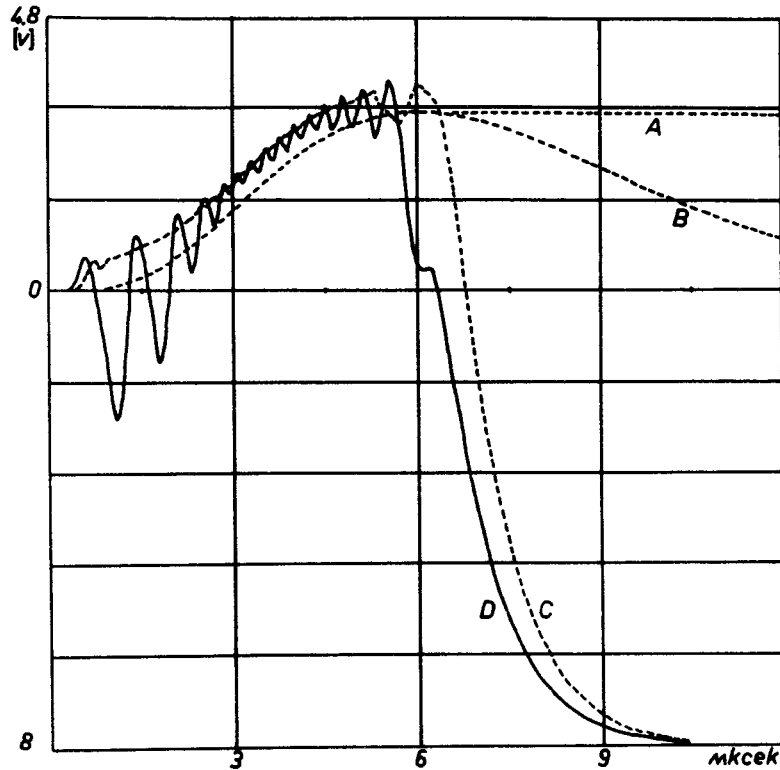


Рис. 13. Диаграмма напряжений в отдельных точках модели устройства. Обозначения: А - напряжение на выходе блока 30; В - напряжение на входе блока 12; С - напряжение на выходе блока 40 при $K_{66} = 0$; Д - напряжение на выходе блока 40 при $K_{66} = 0,1$.

Таблица 4

$K_4 = 3300$	$K_5 = 0,030$	$K_{13} = 3 \cdot 10^3$
$K_7 = 0$		$K_{33} = 1$
$K_{34} = 50$		$K_{66} = 0,1$
$K_{60} = 25$		