

**ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА**

13-86-474

В.Г.Зинов, А.В.Селиков

**БЫСТРОДЕЙСТВУЮЩИЕ ЛОГИЧЕСКИЕ МОДУЛИ
С ПРОГРАММИРУЕМЫМИ ФУНКЦИЯМИ**

Направлено в журнал "Приборы
и техника эксперимента"

1986

Техника современного физического эксперимента требует введения автоматизированного контроля и настройки систем отбора и регистрации событий. Большие перспективы в этом направлении открывает использование электронных блоков, способных программным образом менять свою структуру и параметры /1-3/.

Для организации относительно сложных алгоритмов первичного отбора событий в системах физического эксперимента широко применяются быстродействующие устройства, выполняющие функции комбинационной логики над входными сигналами. Актуальной является задача создания устройств, перепрограммируемых на выполнение различных функций, что позволяет оперативно менять логику анализа в системах быстрого отбора событий в зависимости от требований эксперимента /4-8/.

В работе описываются программно-управляемые блоки для быстрой логической обработки сигналов, реализующие произвольный набор комбинационных логических функций, а также блок, позволяющий моделировать программируемые логические устройства с элементами последовательной логики.

1. Модуль "Матрица 8x8" (рис. 1), имеющий восемь информационных входов и восемь выходов, позволяет параллельно получать до восьми функций комбинационной логики от восьми входных логических сигналов (например, функции "И", "ИЛИ", мажоритарные совпадения, разветвление и мультиплексирование, преобразование кодов и т.д.).

Логическая обработка входных сигналов происходит в быстродействующей матрице ПЗУ (постоянное программируемое запоминающее устройство), выполненной на двух микросхемах типа K500PEI49. Эти микросхемы устанавливаются на панельках на плате блока.

При работе устройства совокупность одновременно поступивших входных сигналов составляет адрес на входе ПЗУ. Выходные сигналы соответствуют таблице истинности, предварительно занесенной в ПЗУ с использованием программатора /9/.

В блоке предусмотрена работа со стробированием входов модуля и стробированием выходных сигналов.

В этом режиме работы (тумблер S1 - в положении "Вкл.") в схеме запуска по положительному фронту сигнала "Строб", сопровождающего входные сигналы, вырабатываются два импульса. По первому импульсу во вход-

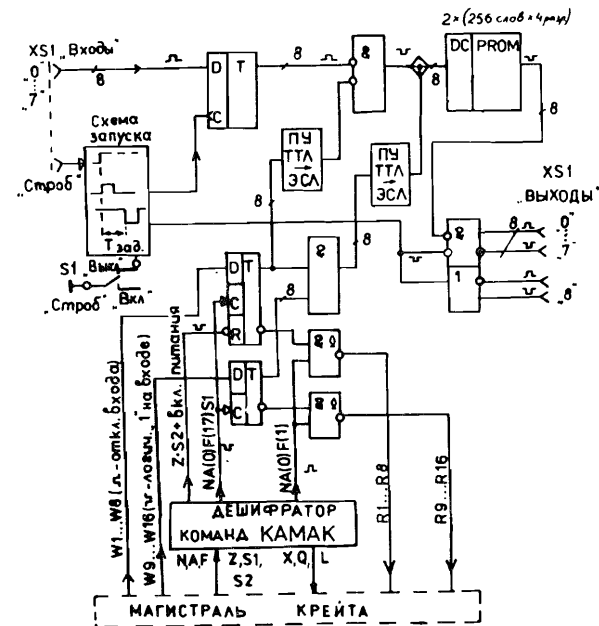


Рис. 1. Функциональная схема модуля "Матрица 8x8".

ном регистре типа "защелка" (микросхемы K500TMI33) запоминается входной код и на время решения выставляется на адресных входах ПЗУ.

Второй импульс с задержкой, равной максимальному времени выборки ПЗУ ($T_{\text{зад}} \approx 27$ нс, рис. 1), стробирует выходные сигналы блока. При этом сигнал на выходе "8" сопровождает каждый запуск устройства. По окончании одного цикла работы происходит саморазблокировка схемы запуска, и устройство снова готово к приему информации.

Описанный режим работы позволяет исключить временную неопределенность появления выходных сигналов, причиной которой является зависимость времени выборки ПЗУ от адреса. Для микросхемы K500PEI49 разброс времени выборки укладывается в диапазон 7 нс.

При работе с относительно длинными входными сигналами либо в случаях, когда допустима временная неопределенность выходных импульсов в пределах 7 нс, возможна работа без стробирования, или в "динамическом" режиме (тумблер S1 - в положении "Выкл."). При этом входной регистр работает в "прозрачном" режиме, и импульсы проходят на вход блока без дополнительной формировки.

Для автоматизации тестирования блока, а также для маскирования некоторых входов в процессе работы предусмотрено отключение со сторо-

ны магистрали КАМАК любых входов модуля с одновременным выставлением на соответствующем входе либо логического "0", либо логической "1". Для этого в управляющий регистр блока по команде $NA(0)F(I7)S1$ записывается 16-разрядное слово, причем первые его восемь разрядов несут информацию об отключаемых входах, остальные разряды указывают на логические уровни, выставяемые на отключаемых входах. При включении питания крейта и по команде общей установки $Z:S2$ происходит разблокировка всех входов блока и выдача в магистраль крейта сигнала "L", который служит лишь для определения наличия блока в крейте КАМАК.

2. Модуль "Матрица 10×10 " (рис. 2), имеющий десять информационных входов и десять выходов, позволяет параллельно получать до десяти функций комбинационной логики от десяти входных логических сигналов. Работа блока основана на сканировании адресов матрицы оперативного запоминающего устройства (ОЗУ), сигналы на выходе которой соответствуют таблице истинности, предварительно занесенной в блок с

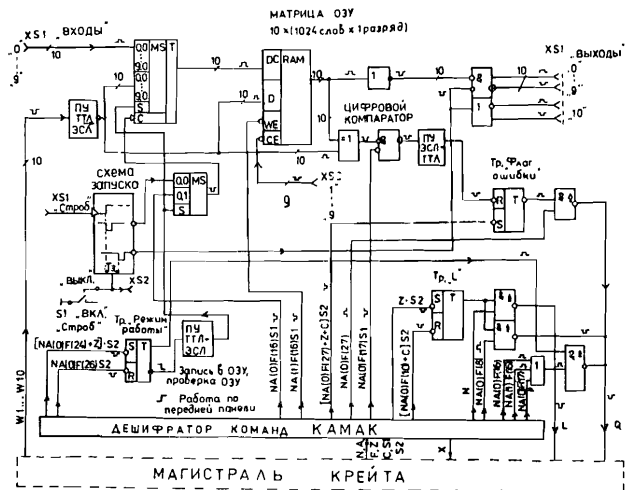


Рис. 2. Функциональная схема модуля "Матрица 10×10 ".
ПУ- преобразователь уровня.

магистрали крейта КАМАК. Матрица ОЗУ выполнена на десяти микросхемах типа K500P4I5. Для занесения необходимой программы в ОЗУ блока по команде $[NA(0)F(24)+Z]S2$ включается режим работы "Запись в ОЗУ, проверка ОЗУ". При этом запрещается работа блока по передней панели.

Запись 10-разрядного слова по одному адресу ОЗУ осуществляется за два цикла КАМАК. В первом цикле по команде $NA(0)F(I6)S1$ во входной регистр-мультиплексор (микросхемы типа K500TM173) заносится 10-разрядный адрес записываемого слова, который выставляется на адресных входах ОЗУ. Во втором цикле КАМАК по команде $NA(I)F(I6)S1$ в матрицу ОЗУ по данному адресу заносится 10-разрядное слово. Таким образом, для занесения в блок полной программы работы требуется $1024 \times 2 = 2048$ циклов КАМАК.

Для выявления сбоев при записи и предотвращения выдачи ложных решений необходим контроль правильности записи информации в ОЗУ. Проверка правильности записи одного слова выполняется за три цикла КАМАК. В первом цикле по команде $NA(0)F(I6)S1$ в блок заносится адрес проверяемого слова. Во втором цикле с магистрали крейта на шинах $W1...W10$ выставляется правильное содержимое слова, которое сравнивается с соответствующим кодом, записанным в ОЗУ, в 10-разрядном цифровом компараторе, выполненном на схемах "исключительное ИЛИ" (K500ЛП107). В случае совпадения сравниваемых кодов по команде $NA(0)F(I7)S1$ устанавливается в ноль триггер "Флаг ошибки", который предварительно взводится по команде $[NA(0)F(27)+Z+c]S2$. В третьем цикле КАМАК по команде $NA(0)F(27)$ проверяется состояние этого триггера. Наличие сигнала "Q = I" свидетельствует о правильности записи проверяемого слова.

Режим работы по передней панели включается по команде $NA(0)F(26)S2$. При этом входы блока коммутируются на адресные разряды матрицы ОЗУ. В режиме стробирования входов и выходных сигналов функционирование устройства аналогично модулю "Матрица 8×8 ". При этом сигнал на выходе "10" сопровождает каждый запуск устройства.

При включении питания крейта и при команде общей установки $Z:S2$ в магистраль крейта выдается сигнал "L", который служит для определения наличия блока в системе.

В современных экспериментальных установках для задач управления, синхронизации процессов, автоматизации настройки и тестирования многоканальной аппаратуры используются устройства для выработки временных интервалов, тактирующих серий импульсов $/10-13/$, функциональные устройства с элементами последовательной логики, например, счетчики импульсов, сдвиговые регистры, последовательные цифровые контроллеры $/15/$ и т.д.

При построении устройств последовательной логики большие перспективы открывает использование специализированных программируемых микросхем $/23/$, а также интегральных запоминающих устройств (ЗУ) повышенной степени интеграции $/14-17/$. Их применение позволяет, в

частности, значительно расширять функциональные возможности подобных устройств.

Основу описанных выше модулей составляют соответствующим образом оформленные быстродействующие ЗУ, обеспечивающие выполнение функций комбинационной логики. Целесообразно расширение их применения на область функций последовательной логики, для чего достаточно добавить к ним некоторые дополнительные узлы /14,15,17/.

С этой целью разработан специальный блок – "Последовательная логика", содержащий набор соответствующим образом коммутируемых функциональных узлов и обеспечивающий при совместной работе с блоком "Матрица 8x8" или "Матрица 10x10" тактирование, сканирование адресов ЗУ, обратную связь.

3. Модуль "Последовательная логика" управляется по магистрали КАМАК и работает в следующих режимах, определяемых управляющим словом, заносимым в регистр "Режим работы" по команде $NA(0)F(17)S1$ (рис. 3).

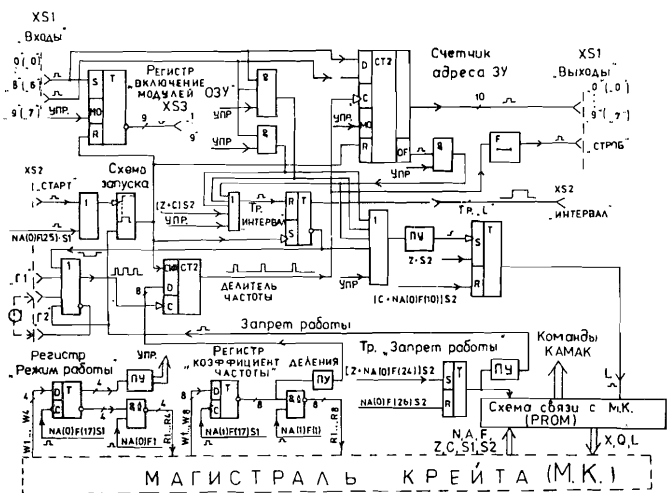


Рис. 3. Функциональная схема модуля "Последовательная логика".
ПУ – преобразователь уровня. Упр. – управляющие сигналы.

а) Режим цифрового одновибратора (таймера) и генератора серии импульсов

Принцип работы в этом режиме заключается в сканировании входных адресов ЗУ (см. "Счетчик адреса ЗУ", рис. 3), начиная с нулевого вплоть до появления логической "1" на старшем выходе ЗУ (выход "7" в блоке "Матрица 8x8" и выход "9" в блоке "Матрица 10x10"), что определяет конец интервала (серии). Связь между блоками осуществляется по передней панели через разъемы XS1 (рис. 1 ÷ 3), причем "Входы" и "Выходы" блока "Последовательная логика" соединяются соответственно с "Выходами" и "Входами" модуля комбинационной логики, работающего со стробированием входов и выходных сигналов. Разъемы "Строб" блоков также соединяются. Таблица для необходимого количества циклов записывается в ЗУ предварительно. Запуск с возможностью продления осуществляется или с передней панели блока (вход "Старт", разъем XS2), или с магистрали крейта по команде $NA(0)F(25)S1$. При этом "Счетчик адреса ЗУ" устанавливается в ноль, синхронно с импульсами тактовой серии включается триггер "Интервал", разрешающий прохождение импульсов внешнего тактового генератора через управляемый "Делитель частоты" на синхронный "Счетчик адреса ЗУ", и начинается сканирование входных адресов ЗУ блоков "Матрица 8x8" или "Матрица 10x10". В качестве выходов "Серия" используются соответственно выходы "8" и "10" этих модулей (рис. 1 и 2). Коэффициент пересчета частоты входной тактовой серии определяется 8-разрядным кодом, который записывается в регистр "Коэффициент деления частоты" по команде $NA(1)F(17)$. Первая логическая "1", появившаяся на старшем выходе ЗУ, сбрасывает триггер "Интервал", что запрещает прохождение входных тактовых импульсов, и цикл работы заканчивается. Возможна работа или с внешним генератором (разъем "Г1", XS2), например, /18/, или с внутренним генератором с задержанной обратной связью на отрезке кабеля (разъемы "Г2", XS2). Предусмотрена выдача сигнала "L" в магистраль крейта по окончании интервала.

Диапазон регулировки длительности интервала при работе с блоком "Матрица 8x8" составляет 256 шагов. Учитывая, что ЗУ блока "Матрица 10x10" составлена из 10 микросхем ОЗУ, при работе с этим модулем можно расширить диапазон регулировки выходной длительности до $10 \cdot 2^{10}$ шагов, установив очередность сканирования адресов микросхем ОЗУ. Для этого введен регистр "Включение модулей ОЗУ", представляющий собой линейку из девяти S-R триггеров и использующийся только в этом режиме работы блока. На S-входы этих триггеров подаются сигналы с П-выходов матрицы ОЗУ, а выходы триггеров через разъем XS3 (рис. 3) соединяются с входами разрешения работы (П+1)-х микросхем

ОЗУ (разъем XS2, рис. 2). Начало и конец сканирования ОЗУ полностью определяются занесенной в него программой. Возможность запуска модуля определяется состоянием триггера "Запрет работы", управляемого с магистрали крейта.

б) В режиме многофазового генератора также происходит сканирование входных адресов ЗУ. Для этого "Выходы" блока "Последовательная логика" коммутируются со "Входами" модуля комбинационной логики. Выходные сигналы многофазового генератора снимаются с выходов блока "Матрица 8x8" (8-фазный генератор) или блока "Матрица 10x10" (10-фазный генератор). Требуемая последовательность выходных сигналов заносится в ЗУ этих блоков предварительно.

В ждущем режиме многофазного генератора запуск и взаимодействие функциональных узлов описываемого модуля осуществляются аналогично режиму цифрового одновибратора. При переполнении "Счетчика адреса ЗУ" (после 256 тактов для блока "Матрица 8x8" и 1024 тактов для блока "Матрица 10x10") цикл сканирования завершается и, при необходимости, выдается сигнал "L" в магистраль крейта. Сигнал по выходу "Интервал" сопровождает весь цикл работы устройства.

В "автоколебательном" режиме импульс переполнения "Счетчика адреса ЗУ" блокируется, и сканирование адресов ЗУ повторяется (рис. 3). Этот режим работы может быть использован для построения программируемого функционального генератора [19,20], для чего коды с выходов блока "Матрица 8x8" или "Матрица 10x10" подаются на цифроаналоговый преобразователь (ЦАП), время установления которого должно составлять не более 50 нс при работе с максимальной тактовой частотой, определяемой быстродействием модуля комбинационной логики.

в) Режим последовательного цифрового контроллера

Структурная схема последовательного цифрового контроллера изображена на рис. 4 [15,21]. Описываемый режим работы может быть использован, например, для задания последовательности управляющих воздействий на объект управления (переменные управления Y , рис. 4) в зависимости от результата воздействия на предыдущем шаге (входные переменные X) и текущего состояния системы регулирования (переменные состояния Z) с целью быстрого управления физическим объектом.

В этом режиме модуль комбинационной логики ("Матрица 8x8" или "Матрица 10x10"), работающий без стробирования, объект управления и блок "Последовательная логика" коммутируются по передним панелям согласно рис. 4, причем разрядность M , L , N переменных определяется соединительными кабелями в зависимости от задачи управления. Функцию регистра памяти выполняет "Счетчик адреса ЗУ" в модуле "Пос-

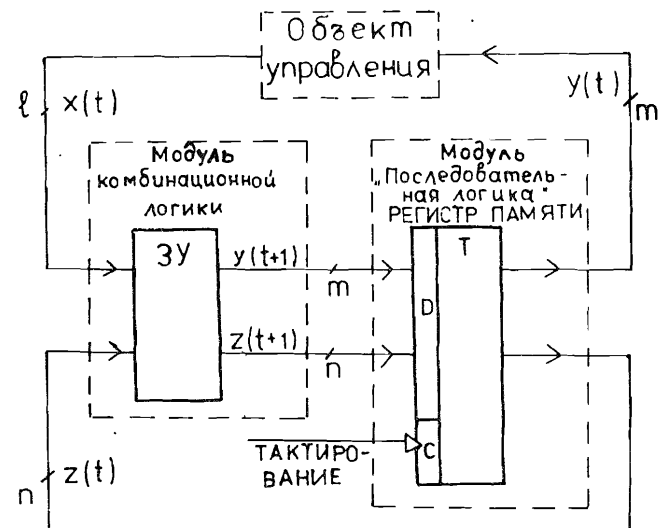


Рис. 4. Структурная схема последовательного цифрового контроллера. ЗУ – запоминающее устройство, X – входные переменные, Y – переменные управления, Z – переменные состояния, t – номер такта.

ледовательная логика" (микросхемы типа К500ИГ136), работающий в режиме $(M+N)$ – разрядного триггера – "защелки" (рис. 3).

Требуемый алгоритм управления заносится в ЗУ модуля комбинационной логики предварительно. Установка системы в исходное состояние (сброс регистра памяти в ноль) происходит по сигналу "Старт" или по команде $NA(0) F(25)S1$ (рис. 3). Тактирование осуществляется аналогично предыдущим режимам работы (разъемы "Г1", "Г2", рис. 3). Предусмотрена возможность выдачи сигнала "L" в магистраль крейта по окончании полного цикла управления, что определяется появлением N логических "1" в N – разрядном слове состояния. Сигнал по выходу "Интервал" сопровождает весь цикл работы устройства.

В описанных блоках быстродействующие функциональные узлы выполнены на микросхемах серии К500, управляющие узлы – на микросхемах серии К155, с использованием ТТЛ-ШИЗУ. По уровням сигналов передних панелей описанный комплект модулей совместим с системой блоков, представленных в [22].

Модули комбинационной логики "Матрица 8x8" и "Матрица 10x10" предназначены для построения систем быстрого отбора событий с возможностью быстрого перепрограммирования на выполнение различных задач

NA(0)F(27)-

проверка состояния триггера "Флаг ошибки" в режиме записи и проверки ОЗУ; X=I; при сброшенном триггере "Флаг ошибки" -Q=I, при взведенном - Q=0; установка в "I" триггера "Флаг ошибки"; X=I; взведение триггера "L".
I,5 A
0,25 A
блок КАМАК IM.

[NA(0)F(27)+Z+C]S2-

Z·S2-

7. Питание: - 6 В
+ 6 В
8. Исполнение:

Технические характеристики модуля "Последовательная логика"

1. Число информационных входов и выходов:
2. Уровни сигналов по передней панели:
3. Минимальная длительность сигналов по разъемам "Входы" и "Старт"
4. Максимальная частота тактовой серии:
5. Команды КАМАК:

10
ЭСЛ (парафазные сигналы по скрученным парам проводов)
5 нс
70 МГц

NA(0)F(1) -

чтение кода, записанного в регистр "Режим работы"; X=I, Q=I;

NA(1)F(1) -

чтение кода, записанного в регистр "Коэффициент пересчета частоты"; X=I, Q=I. проверка сигнала L; X=I, Q=L; сброс сигнала L; X=I, Q=0;

NA(0)F(8) -

[NA(0)F(10)+C]S2 -

NA(0)F(17)S1 -

NA(1)F(17)S1 -

запись 4-разрядного управляющего слова в регистр "Режим работы"; X=I, Q=I; запись 8-разрядного слова в регистр "Коэффициент пересчета частоты"; X=I, Q=I;

[NA(0)F(24)+Z]S2 -

NA(0)F(25)S1 -

взведение триггера "Запрет работы"; X=I, Q=0;
1) запуск с магистрали крейта цифрового одно-вибратора, генератора серии или ждущего многофазного генератора; X=I, Q=I; при взведенных триггерах "Запрет работы" и "Интервал" Q=0;
2) установка в исходное состояние и запуск последовательного контроллера; X=I, Q=I; при взведенных триггерах "Запрет работы" и "Интервал": Q=0;
сброс триггера "Запрет работы"; X=I, Q=0;
проверка состояния блока; X=I;
при взведенном триггере "Запрет работы": Q=0, при сброшенном - Q=I; взведение триггера "L", сброс триггера "Интервал". сброс триггера "L" и "Интервал".

NA(0)F(26)S2 -

NA(0)F(27) -

Z·S2 -

C·S2 -

6. Управляющее слово и соответствующий режим работы:

W1	W2	W3	W4	
0	0	0	0	Цифровой одновибратор и генератор серии с возможностью продления, без выдачи "L". То же, но с выдачей "L" по окончании интервала.
0	I	0	0	
I	0	0	0	Ждущий многофазный генератор с возможностью продления, без выдачи "L". То же, но с выдачей "L" по окончании цикла работы.
I	I	0	0	
I	0	I	0	"Автоколебательный" многофазный генератор.
I	0	0	I	Последовательный цифровой контроллер, без выдачи "L". То же, но с выдачей "L" по окончании цикла управления.
I	I	0	I	

7. Питание: -6 В: - I, I A
 8 +6 В: - 0,5 A
 8. Исполнение: - блок КАМАК IМ.

Литература

- I. Бушнин Ю.Б. и др. В кн.: П Всесоюзное совещание по автоматизации научных исследований в ядерной физике. "Наука", Алма-Ата, 1978, с.212.
2. Бондарь Н.Ф., Волков С.С., Уваров Л.Н. ЛИЯФ -389, Ленинград, 1978.
3. Бессонова Н.А. и др. ИАЭ-4177/14, Москва, 1985.
4. Fucci A. et al. Nucl.Instr.and Meth., 1977, v.147, No 3, p.587.
5. Баиладзе С.Г., Парфенов А.Н. ПТЭ, 1975, № 1, с.81.
6. Берлев А.И., Виноградов В.И. ИЯИ, П-0302, Москва, 1983.
7. Beer A. et al. Nucl.Instr. and Meth., 1979, v.160, p.217.
8. Colla G. et al. Nucl.Instr.and Meth., 1980, v.169, No 3, p.605.
9. Селиков А.В. ОИЯИ, П-84-105, Дубна, 1984.
10. Родионов К.Г. ОИЯИ, IO-83-362, Дубна, 1983.
11. Рене дель Портильо. ОИЯИ, P13-85-447, Дубна, 1985.
12. Богуславский А.А. и др. ПТЭ, 1986, № 1, с.87.
13. Лукьянов С.П. ПТЭ, 1986, № 1, с.89.
14. Квамме. Электроника, 1970, № 1, с. 38.
15. Петрейл Д. Электроника, 1979, № 8, с.54.
16. Замятин Н.И. ОИЯИ, I3-84-128, Дубна, 1984.
17. Ettinger G.M., Tillier M.L. Microprocessors and Microsystems, 1985, v.9, No 9, p.446.
18. Селиков А.В. ОИЯИ, I3-81-844, Дубна, 1981.
19. Палм, Уильямсон. Электроника, 1978, № 1, с.77.
20. Кевин С. Электроника, 1982, №25, с.21.
21. Титце У., Шенк К. Полупроводниковая схемотехника. "Мир", М., 1982, с.344.
22. Борейко В.Ф. и др. ОИЯИ, P10-85-661, Дубна, 1985.
23. Коул Б. Электроника, 1985, № 24, с.18.

Рукопись поступила в издательский отдел
 II июля 1986 года.

Зинов В.Г., Селиков А.В.
 Быстродействующие логические модули
 с программируемыми функциями

13-86-474

Описываются программно-управляемые блоки наносекундного диапазона, реализующие произвольный набор комбинационных логических функций. Основу одного из блоков составляет ППЗУ, другого - ОЗУ, в которые предварительно заносится таблица истинности. Время решения - 30 нс. С помощью вспомогательного блока реализуются программируемые логические устройства с элементами последовательной логики, а именно: а/ цифровой одновибратор /таймер/ и генератор серии импульсов; б/ многофазный генератор; в/ последовательный цифровой контроллер. Блоки описываемого комплекта выполнены в виде модулей стандарта КАМАК единичной ширины.

Работа выполнена в Лаборатории ядерных проблем ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1986

Перевод О.С.Виноградовой

Zinov V.G., Selikov A.V.
 Fast Logic Programme-Controllable Blocks

13-86-474

Programme-controllable blocks of the nanosecond range, realizing an arbitrary set of combination logic functions, are described. One block is based on PROM, the other on RAM, both with the truth table written in beforehand. The solution time is 30 ns. An auxiliary block helps to realize programmable logic devices with elements of consequent logic, namely, a) digital univibrator (timer) and generator of series of pulses; b) multiphase generator; c) consequent digital controller. The described blocks are made in the form of CAMAC modules of a unit width.

The investigation has been performed at the Laboratory of Nuclear Problems, JINR.

Preprint of the Joint Institute for Nuclear Research. Dubna 1986