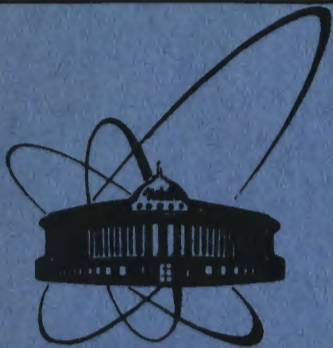


9/10-84



Объединенный  
институт  
ядерных  
исследований  
Дубна

1815/84

13-83-913

В.В. Карлухин

РЕГИСТР ДАННЫХ И ПРОЦЕССОР  
ДЛЯ МНОГОПРОВОЛОЧНЫХ КАМЕР

Направлено в журнал  
"Приборы и техника эксперимента"

1983

В физических экспериментах при высоком уровне фоновой загрузки детекторов необходимо производить отбор событий по заранее заданным критериям до их записи в ЭВМ. Для определения числовых характеристик события в реальном времени находят применение специализированные процессоры с реализованными аппаратурно программами вычислений <sup>1,2/</sup>. Такие процессоры имеют высокое быстродействие, что позволяет использовать их для уменьшения фоновых запусков экспериментальной установки до уровня, определяемого быстродействием ЭВМ. В результате повышается эффективность регистрации полезных событий и более рационально используется внешняя память ЭВМ.

В работе описаны регистр данных и процессор, разработанные для приема и предварительной обработки информации с многоканальных дрейфовых камер установки по исследованию релятивистских позитрониев <sup>3/</sup>.

Особенностью эксперимента является малая вероятность  $10^{-8}$  регистрации позитрониев по отношению к числу мастер-импульсов, вырабатываемых сцинтилляционными и черенковскими счетчиками установки.

Регистр данных /рис.1/. Номер сработавшего канала в дрейфовой камере преобразуется в восьмиразрядный код Грея устройством считывания информации <sup>4/</sup> и подается на вход регистра данных по скрученным парам в уровнях ЭСЛ. В формирователе Ф парафазные сигналы преобразуются в импульсы ЭСЛ отрицательной полярности и подаются на вход регистра, собранного на 8 Д-триггерах 138 ТМ1. По переднему фронту сигнала управления данные заносятся в регистр. Для автоматизации проверки регистров и процессора в блоке предусмотрена запись данных с магистральной КАМАК. После запоминания восьмиразрядный код Грея преобразуется в позиционный двоичный код в соответствии с формулами, приведенными в <sup>5/</sup>:  $a_i = b_i \oplus b_{i+1}$ , где А - позиционный код, В - код Грея. Время преобразования кодов - 20 нс. После их преобразования в блоке формируются сигналы ЛАМ и "Вызов" 1 /2/.

По команде "Чтение" данные из регистров выводятся на разъем, расположенный на передней панели блока. Задержка считывания - 5 нс, уровни сигналов - ЭСЛ. Блок выполнен в стандарте КАМАК на базе микросхем серии 138, в модуле шириной 1М содержатся два восьмиразрядных регистра. Основные характеристики блока приведены в таблице.

Процессор. При распаде позитрония в поле анализирующего магнита образуется пара  $e^+, e^-$ , при этом  $e^+$  пролетает через дрейфо-

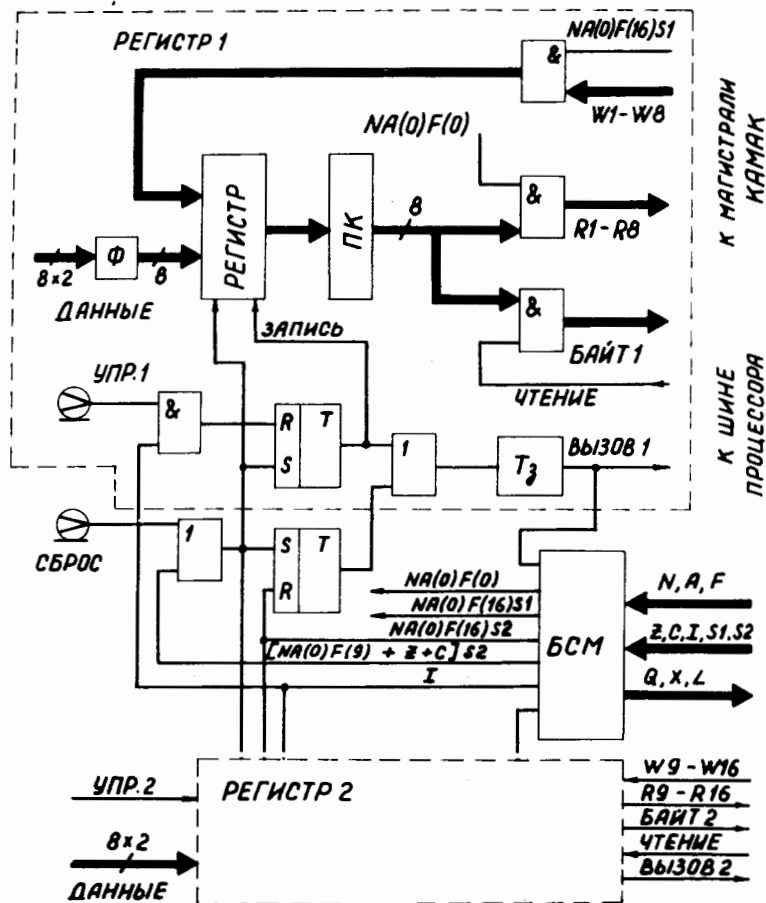


Рис.1. Блок-схема регистра данных. ПК - преобразователь кодов, БСМ - блок связи с магистралью КАМАК.

вые камеры правого телескопа, а  $e^-$  - левого телескопа экспериментальной установки<sup>3/3</sup>. Каждый телескоп содержит 6 камер, регистрирующих Y-координаты частиц, и 6 камер, регистрирующих Y-координаты. Характерным признаком исследуемого распада является равенство всех 12 Y-координат треков частиц как в правом, так и в левом телескопах.

В идеальном случае отбор событий типа "Позитроний" сводится к сравнению номеров сработавших каналов в Y-плоскостях всех 12 камер. Однако в реальных условиях эксперимента Y-координаты могут отличаться друг от друга на величину  $\Delta Y$  из-за того, что угол плоскости вылета частиц из анализирующего магнита относительно оси установки меняется в пределах  $\pm 2,5$  мрад. Кроме этого,

Таблица

Основные характеристики блоков

Наименование	Регистр	Процессор
1. Входы /канал данных/ а/ уровни сигналов	ЭСЛ парафазные	ЭСЛ положительные
б/ входное сопротивление, Ом	100	130
в/ длительность импульсов, нс	5	200
г/ формат данных	2 байта, код Грея	2 байта, позици- онный код
2. Задержка прохождения сигнала, нс	30*	
3. Время решения / $\Upsilon = 256/$ , мкс		16
4. Выполняемые команды КАМАК а/ чтение данных NA(0)F(0)	+	+
б/ запись данных NA(0)F(16)	+	-
в/ запрет I	+	+
г/ сброс Z + C	+	+
д/ обработка сигнала LAM NA(0)F(24), NA(0)F(26), NA(0)F(8)	+	+
5. Потребляемый ток, А		
а/ по цепи +6 В	0,3	4,6
б/ по цепи -6 В	1,6	1,4
в/ по цепи +24 В	-	0,1
г/ по цепи -24 В	-	0,1

\* По каналу "Управление-вызов"

коды могут изменяться на 1 из-за особенностей кода Грея в случае, когда частица проходит посередине между соседними проводками.

Возможно также искажение координат трека частицы из-за неэффективности дрейфов камер и системы регистрации. В этих условиях простое сравнение ( $Y_1 = Y_2 = \dots = Y_{12}$ )  $Y$ -координат треков частиц привело бы к подавлению не только фоновых, но и полезных событий.

Описанный в работе процессор определяет, сколько  $Y$ -координат треков частиц в правом ( $n_{Y1}$ ) и левом ( $n_{Y2}$ ) телескопах находится в интервале  $[Y_{min}, Y_{max}]$ , где  $Y_{min}, Y_{max}$  - равные для всех камер обоих телескопов. Если  $n_{Y1}, n_{Y2} \geq K$ , то событие считается хорошим и выполняется вызов ЭВМ. При  $n_{Y1}, n_{Y2} < K$  выполняется сброс всех запорных устройств установки. Величины  $K$  /"Кратность"/ и  $\Delta Y = Y_{max} - Y_{min} - 1$  /"Полоса"/ задаются с передней панели процессора и могут изменяться от 0 до 15. Максимальное количество одновременно обрабатываемых кодов - 16.

Работа процессора основана на преобразовании величин  $Y, \Delta Y$  во временные интервалы и анализе количества полученных импульсов тока с помощью мажоритарных схем совпадения.

На рис.2 приведена блок-схема процессора. По сигналу "Пуск" данные из восьми регистров  $R_1-R_8$  загружаются по шине процессора в арифметические устройства  $A_1-A_{16}$ , причем  $Y$ -координаты с камер правого телескопа загружаются в  $A_1-A_8$ , а левого - в  $A_9-A_{16}$ . Затем по импульсам тактового генератора  $\Gamma$  выполняется одновременное уменьшение содержимого  $A_1-A_{16}$  на 1 при каждом такте. В тот момент, когда  $Y_k$  становится равным нулю, на выходе  $A_k$  начинает формироваться импульс тока  $I_{0k}$ , а в  $A_k$  загружается код  $\Delta Y$ . По следующим тактам генератора производится вычитание из  $\Delta Y$ . При  $\Delta Y = 0$  формирование импульса  $I_{0k}$  заканчивается.

Таким образом, задержка формирования импульса  $I_{0k}$  относительно сигнала "Пуск" прямо пропорциональна  $Y_k$ , загруженному в  $A_k$ , а его длительность пропорциональна  $\Delta Y$ . Если в интервале  $[Y_{min}, Y_{max}]$  находится  $n_{Y1(2)} \geq K$  координат, то максимальная амплитуда импульса на выходе сумматора тока  $\Sigma I_0$  будет больше, чем  $I_{min} = mK$  ( $m = const$ ). Так как длительность импульсов на выходах компараторов  $K_1$  и  $K_2$  равна длительности импульсов  $\Sigma I_0$  на уровне  $I_{min}$ , то появление сигнала на выходе схемы совпадений  $M_8$  означает, что в интервале  $[Y_{min}, Y_{max}]$  находится  $n_{Y1}, n_{Y2} \geq K$   $Y$ -координат.

В блоке предусмотрен режим объединения обоих сумматоров токов с помощью переключателя тока ПТ и клавиши "+8". В этом режиме суммарный сигнал подается на вход компаратора  $K_2$ , а на выходе  $K_1$  устанавливается разрешающий потенциал. Появление сигнала на выходе  $M_8$  означает, что в интервале  $[Y_{min}, Y_{max}]$  находится  $n_{Y1} + n_{Y2} \geq K$   $Y$ -координат.

Режим объединения позволяет организовать совместную работу двух процессоров. В этом случае сигналы с  $M_8$  выводятся на внешнюю схему совпадений /выход МС/, и используется общий для обоих процессоров генератор тактовых импульсов /вход ВГ/.

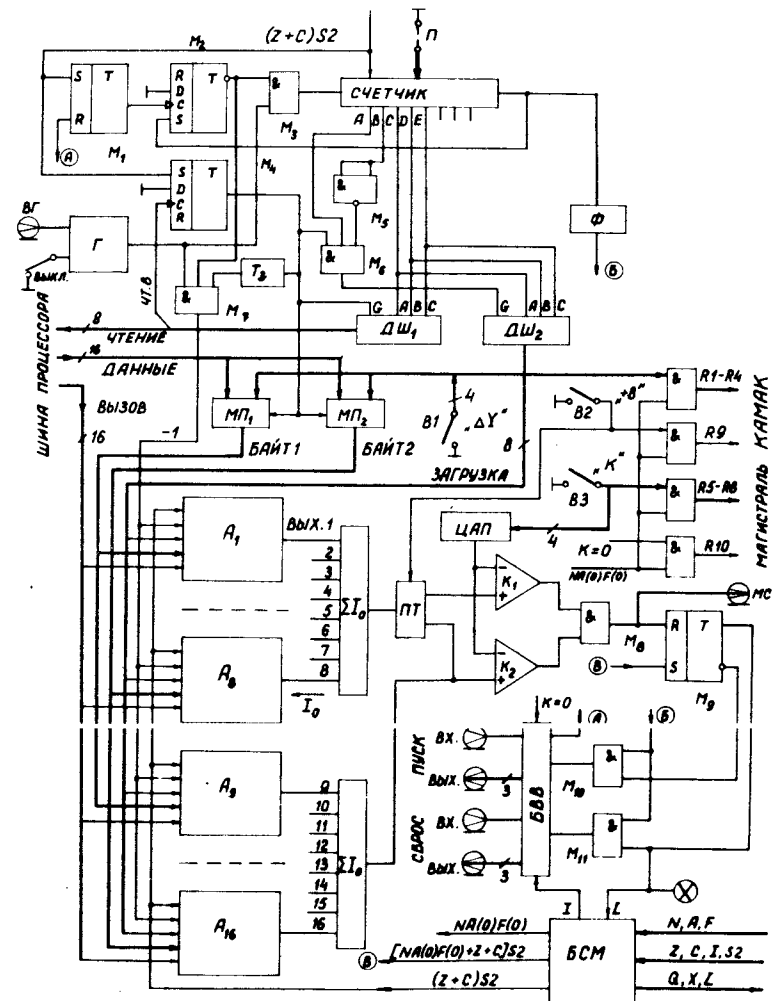


Рис.2. Блок-схема процессора. ЦАП - цифро-аналоговый преобразователь, Ф - формирователь импульсов, БСМ - блок связи с магистралью КАМАК.

Работа процессора обеспечивается устройством управления, состоящим из программируемого девятиразрядного счетчика /рис.2/, микросхем  $M_1-M_7$ , дешифраторов  $ДШ_1, ДШ_2$ , переключателей каналов  $МП_1, МП_2$  и блока ввода-вывода сигналов "Пуск" и "Сброс" БВВ.

При  $K = 0$  процессор выключен и сигналы "Пуск" и "Внешний сброс" подаются на соответствующие выходы через разветвители. При  $K \neq 0$  по переднему фронту сигнала "Пуск" триггеры  $M_1$  и  $M_2$  устанавливаются в состояние "1", а импульсы от генератора  $\Gamma$

подаются на вход счетчика. При этом ДШ<sub>1</sub> формирует на шине процессора 8 импульсов чтения данных из регистров P<sub>1</sub>-P<sub>8</sub>, а дешифратор ДШ<sub>2</sub> - соответствующие им стробы записи данных в A<sub>1</sub>-A<sub>16</sub>. Длительность импульсов чтения - 200 нс, импульсов записи - 50 нс. В одном цикле чтения считывается 16-разрядное слово, причем младший байт записывается в A<sub>k</sub>, старший - в A<sub>k+1</sub>. После считывания данных из P<sub>8</sub> триггер М<sub>4</sub> устанавливается в состояние "0", при этом ДШ<sub>1</sub> и ДШ<sub>2</sub> блокируются, а на шины "байт 1" и "байт 2" через МП<sub>1</sub> и МП<sub>2</sub> выводится код ΔУ. Затем на входы "1" A<sub>1</sub>-A<sub>16</sub> через М<sub>7</sub> начинают поступать импульсы генератора Г. Задержка Т<sub>3</sub> подобрана так, чтобы исключить "резаные" импульсы на выходе М<sub>7</sub>. С помощью перемычек /П/ задается максимальное значение обрабатываемых чисел и, следовательно, - время работы процессора. При установке счетчика в состояние "0" схемы совпадений М<sub>3</sub>, М<sub>7</sub> блокируются, а на выходах БВВ формируются сигналы "Пуск" или "Сброс" в зависимости от состояния триггера М<sub>9</sub>.

Арифметическое устройство /рис.3/ состоит из четырехразрядных двоичных счетчиков /М<sub>1</sub>, М<sub>2</sub>/, триггеров формирования импульса тока I<sub>0</sub>(М<sub>3-1</sub>, М<sub>3-2</sub>), схемы сброса (М<sub>4-1</sub>, М<sub>4-2</sub>) и переключателя тока Д<sub>3</sub>, Д<sub>4</sub>.

По команде записи в М<sub>1</sub> и М<sub>2</sub> загружается Y<sub>k</sub>. В режиме вычитания на вход "-1" М<sub>1</sub> подается серия импульсов генератора Г с частотой 20 МГц, при этом на выходе "≤ 0" М<sub>1</sub> возникают сигналы "Заем", подтверждающие состояние "1" триггера М<sub>3-2</sub>. После окончания импульса, установившего М<sub>1</sub> и М<sub>2</sub> в состояние "0", на выходе "≤ 0" М<sub>2</sub> появляется сигнал "заем", загружающий ΔУ в М<sub>1</sub> и устанавливающий М<sub>3-1</sub> и М<sub>3-2</sub> в состояние "0" /при наличии сигнала "Вызов"/. При этом Д<sub>3</sub> запирается и через Д<sub>4</sub> начинает течь ток I<sub>0</sub>.

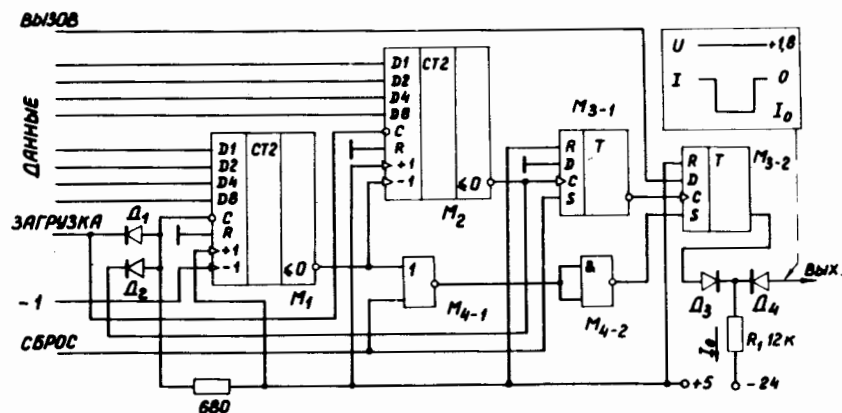


Рис.3. Принципиальная схема арифметического устройства. Д<sub>1</sub>, Д<sub>2</sub> - КД513А; Д<sub>3</sub>, Д<sub>4</sub> - КД514А; М<sub>1</sub>, М<sub>2</sub> - 155ИЕ7; М<sub>3</sub> - 155ТМ2; М<sub>4</sub> - 155ЛАЗ.

Следует заметить, что во время действия сигнала на входе "Загрузка" счетчика 155ИЕ7, вход "-1" заблокирован. Поэтому, при выбранной частоте /20 МГц/ во время загрузки ΔУ в М<sub>1</sub>, один такт генератора пропускается.

По следующим тактам производится уменьшение содержимого М<sub>1</sub> (ΔУ). После установки М<sub>1</sub> в состояние "0" на выходе М<sub>1</sub> "≤ 0" появляется импульс, устанавливающий М<sub>3-2</sub> в состояние "1". При этом Д<sub>3</sub> открывается, и заканчивается формирование импульса тока на выходе устройства.

Для исключения паразитных срабатываний процессора используется триггер М<sub>3-1</sub>, препятствующий возникновению второго импульса тока I<sub>0</sub> во время цикла вычитания. М<sub>4-2</sub> используется в качестве элемента задержки. Процессор выполнен в стандарте КАМАК на базе микросхем серий 155 и 159, ширина модуля 2М. Основные характеристики блока приведены в таблице.

Шина процессора. Данные из регистра выводятся на шину процессора в уровнях ЭСЛ по схеме "Проводное ИЛИ", что накладывает жесткие ограничения на ее длину. Конструктивно шина выполнена на 9 разъемах РП15-50, расположенных с шагом 17,2 мм. Каждый разъем может перемещаться в любом направлении в пределах ±2 мм относительно соседнего. Общая длина шины 40 см /с учетом соединений внутри блоков/. Для подавления наводок в канале данных сигнал записи подается через 100 нс после начала сигнала чтения.

Использование процессора позволило улучшить соотношение эффект/фон для исследуемых событий примерно в 50 раз при загрузке камер 2·10<sup>6</sup> 1/с. К = 4 /из 6/, и ΔУ = 4.

В заключение автор выражает благодарность А.В.Купцову и Д.М.Хазинсу за полезные обсуждения, Л.Л.Неменову - за поддержку работы, С.Г.Пластининой и В.М. Кудрявцеву - за техническую помощь.

#### ЛИТЕРАТУРА

1. Porat D.I., Ouimette D.A. IEEE Trans., NS-26, 1979, No.1, p.209.
2. Басиладзе С.Г., Парфенов А.Н., Пиляр А.В. ПТЭ, 1981, № 4, с.76.
3. Карпунин В.В., Круглов В.В., Купцов А.В. ОИЯИ, Р13-82-902, Дубна, 1982.
4. Карпунин В.В. ПТЭ, 1980, № 2, с.88.
5. Гитис Э.И. Преобразователи информации для электронных цифровых вычислительных устройств. Изд.3-е, перераб. "Энергия", М., 1975.

Рукопись поступила в издательский отдел  
29 декабря 1983 года

## НЕТ ЛИ ПРОБЕЛОВ В ВАШЕЙ БИБЛИОТЕКЕ?

Вы можете получить по почте перечисленные ниже книги, если они не были заказаны ранее.

	Труды VI Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1978 /2 тома/	7 р. 40 к.
	Труды VII Всесоюзного совещания по ускорителям заряженных частиц, Дубна, 1980 /2 тома/	8 р. 00 к.
D11-80-13	Труды рабочего совещания по системам и методам аналитических вычислений на ЭВМ и их применению в теоретической физике, Дубна, 1979	3 р. 50 к.
D4-80-271	Труды Международной конференции по проблемам нескольких тел в ядерной физике. Дубна, 1979.	3 р. 00 к.
D4-80-385	Труды Международной школы по структуре ядра. Алушта, 1980.	5 р. 00 к.
D2-81-543	Труды VI Международного совещания по проблемам квантовой теории поля. Алушта, 1981	2 р. 50 к.
D10,11-81-622	Труды Международного совещания по проблемам математического моделирования в ядерно-физических исследованиях. Дубна, 1980	2 р. 50 к.
D1,2-81-728	Труды VI Международного семинара по проблемам физики высоких энергий. Дубна, 1981.	3 р. 60 к.
D17-81-758	Труды II Международного симпозиума по избранным проблемам статистической механики. Дубна, 1981.	5 р. 40 к.
D1,2-82-27	Труды Международного симпозиума по поляризационным явлениям в физике высоких энергий. Дубна, 1981.	3 р. 20 к.
P18-82-117	Труды IV совещания по использованию новых ядерно-физических методов для решения научно-технических и народнохозяйственных задач. Дубна, 1981.	3 р. 80 к.
D2-82-568	Труды совещания по исследованиям в области релятивистской ядерной физики. Дубна, 1982.	1 р. 75 к.
D9-82-664	Труды совещания по коллективным методам ускорения. Дубна, 1982.	3 р. 30 к.
D3,4-82-704	Труды IV Международной школы по нейтронной физике. Дубна, 1982.	5 р. 00 к.
D2,4-83-179	Труды XV Международной школы молодых ученых по физике высоких энергий. Дубна, 1982.	4 р. 80 к.
	Труды УШ Всесоюзного совещания по ускорителям заряженных частиц. Пратаино, 1982 /2 тома/	11 р. 40 к.
D11-83-511	Труды совещания по системам и методам аналитических вычислений на ЭВМ и их применению в теоретической физике. Дубна, 1982.	2 р. 50 к.
D7-83-644	Труды Международной школы-семинара по физике тяжелых ионов. Алушта, 1983.	6 р. 55 к.
D2,13-83-689	Труды рабочего совещания по проблемам излучения и детектирования гравитационных волн. Дубна, 1983.	2 р. 00 к.

Заказы на упомянутые книги могут быть направлены по адресу:  
101000 Москва, Главпочтамт, п/я 79  
Издательский отдел Объединенного института ядерных исследований

Карпужин В.В. 13-83-913  
Регистр данных и процессор для многопроволочных камер

Описаны регистр данных и процессор для приема и обработки информации с дрейфовых камер установки по исследованию релятивистских позитрониев. Данные на вход регистра подаются в виде 8-разрядного кода Грея, запоминаются и преобразуются в позиционный код. Информация из регистра выводится на магистраль КАМАК и на разъем передней панели. Процессор отбирает треки частиц, лежащие в горизонтальной плоскости установки. Максимальный разброс координат ( $\Delta Y$ ) и минимальное количество точек на треке задаются с передней панели процессора. Время решения процессора - 16 мкс, максимальное количество одновременно анализируемых координат - 16.

Работа выполнена в Лаборатории ядерных проблем ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1983

Karpukhin V.V. 13-83-913  
Data Register and Hardware Processor for Multiwire Chambers

Data register and hardware processor for reception and processing of information from drift chambers of the setup for investigation of relativistic positroniums are described. Input data enter the register as 8-bit Gray code are stored and converted into position binary code. Information from the register enters the dataway CAMAC crate and the front panel of connector. A hardware processor selects the particle tracks that lie in the horizontal plane of the setup. Maximum coordinate spread ( $\Delta Y$ ) and minimum quantity of points on a track are set from the processor front panel. The processor solving time is 16 mks, maximum quantity of coordinates being simultaneously analysed - 16.

The investigation has been performed at the Laboratory of Nuclear Problems, JINR.

Preprint of the Joint Institute for Nuclear Research. Dubna 1983

Перевод О.С.Виноградовой