

ОБЪЕДИНЕННЫЙ  
ИНСТИТУТ  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ  
ДУБНА

3426/83

13-83-162

24/6-83

Н.В.Горбунов, З.Гузик, В.А.Сутулин, А.Форыcki

МИКРОПРОГРАММИРУЕМЫЙ ПРОЦЕССОР XL-100S

Направлено в журнал  
"Nuclear Instruments and Methods"

1983

## ВВЕДЕНИЕ

В настоящее время значительно повысились требования, предъявляемые к аппаратному обеспечению экспериментов в области физики высоких энергий. Основными направлениями усовершенствования экспериментальной аппаратуры являются: минимизация времени сбора физических данных, внедрение многоуровневых и быстрых систем отбора полезной информации, программное управление аппаратурой и модульность системы.

С учетом этих требований был разработан процессор XL-100S, соответствующий новому принципу многофункционального использования системного крейта КАМАК/1/ /см. также приложение/.

Процессор соответствует стандарту EUR 6500/2/, адресуется к внешней памяти с емкостью 4 Мбайт, организует взаимодействие с 49 крейтами КАМАК, расположенными в семи ветвях КАМАК. Восемь внешних запросов инициируют выполнение операций, определенных последовательностью микрокоманд /МК/. Каждая микрокоманда может реализовать доступ как к модулям КАМАК, так и к блокам, выполненным в соответствии с требованиями системного крейта XL/1/. При этом возможны обращения к внешней памяти, модулям КАМАК, организация канала прямого доступа /КПД/ между модулями КАМАК и внешней памятью. Процессор может выполнять арифметические и логические операции над словами с различной разрядностью /8, 16, 32 и больше разрядов/. Предусмотрена возможность обработки данных с плавающей запятой.

Архитектура процессора позволяет использовать его как:

- процессор, эмулирующий мини- или микро-ЭВМ;
- специализированный процессор, запрограммированный для быстрого отбора событий, управления экспериментом, поиска треков и т.д.;
- контроллер для сбора экспериментальных данных, записи их на магнитную ленту или передачи в главную ЭВМ в режиме КПД/3/;
- вспомогательный процессор ввода/вывода в системах, содержащих другие источники программы;
- специализированный процессор для выполнения арифметических вычислений над данными с плавающей запятой, вычислений функций и др.

В системе может быть использовано несколько процессоров XL-100S, выполняющих конкретные задачи. В качестве основной элементной базы процессора используется микропроцессорный комплект Am2900/4/.

## АРХИТЕКТУРА ПРОЦЕССОРА

На рис.1 приведена блок-схема процессора, основным узлом которого является арифметико-логическое устройство /АЛУ/. Информация в АЛУ поступает по двум внутренним шинам "А" и "В", результат обработки посылается на шину "У". Регистр состояний /РС/ содержит всю статусную и управляющую информацию, необходимую для функционирования XL-100S. В табл.1 приведены назначения разрядов регистра состояния.

Процессор обрабатывает информацию, поступающую по 16-разрядным шинам, но обрабатываться могут как 8-разрядные /установлен признак "BYTE" в РС/, так и 16-разрядные данные. При необходимости можно работать со словами с разрядностью, кратной 16.

В XL-100S реализован принцип микропрограммного управления. Выборка и выполнение микрокоманд /МК/ осуществляется конвейерным способом. Код текущей МК и состояние выбранного условия перехода определяют адрес следующей МК. По этому адресу из памяти микрокоманд выбирается код следующей микрокоманды, который заносится в регистр микрокоманд /РМК/ тактовым импульсом процессора. В табл.2 приведены описания полей микрокоманд. В зависимости от состояния битов 31 и 30 выполняется один из четырех возможных микроциклов, которым соответствуют различные назначения остальных полей микрокоманд. Примененный компромиссный принцип максимального и унитарного кодирования совместных полей, не уменьшая функциональных возможностей процессора, сокращает разрядность микрокоманды до 32 бит, что обеспечивает создание весьма компактного устройства. Декодировка управляющих полей МК осуществляется программируемыми логическими матрицами /ПЛМ/, что позволяет, при необходимости, изменить структуру управления процессора. Микрокоманда XL-100S реализует четыре типа микроциклов: АЛУ, перехода, доступа к микропамяти, ввода/вывода.

Микроцикл АЛУ предназначен для обработки информации на основе полного использования больших возможностей микропроцессорной секции Am2903.

Микроцикл перехода применяется для изменения последовательности МК в микропрограмме. Переход возможен либо по внешнему запросу, либо при выполнении внутренней инструкции условного или безусловного перехода. В этом микроцикле возможна пересылка поля "непосредственных данных" МК в один из регистров процессора.

Микроцикл доступа к памяти МК предназначен для динамической загрузки микропрограмм из внешней памяти либо их считывания во внешнюю память.

В микроцикле ввода/вывода осуществляется обращение к модулю КАМАК в одной из 7 ветвей, организация доступа к внешней памяти

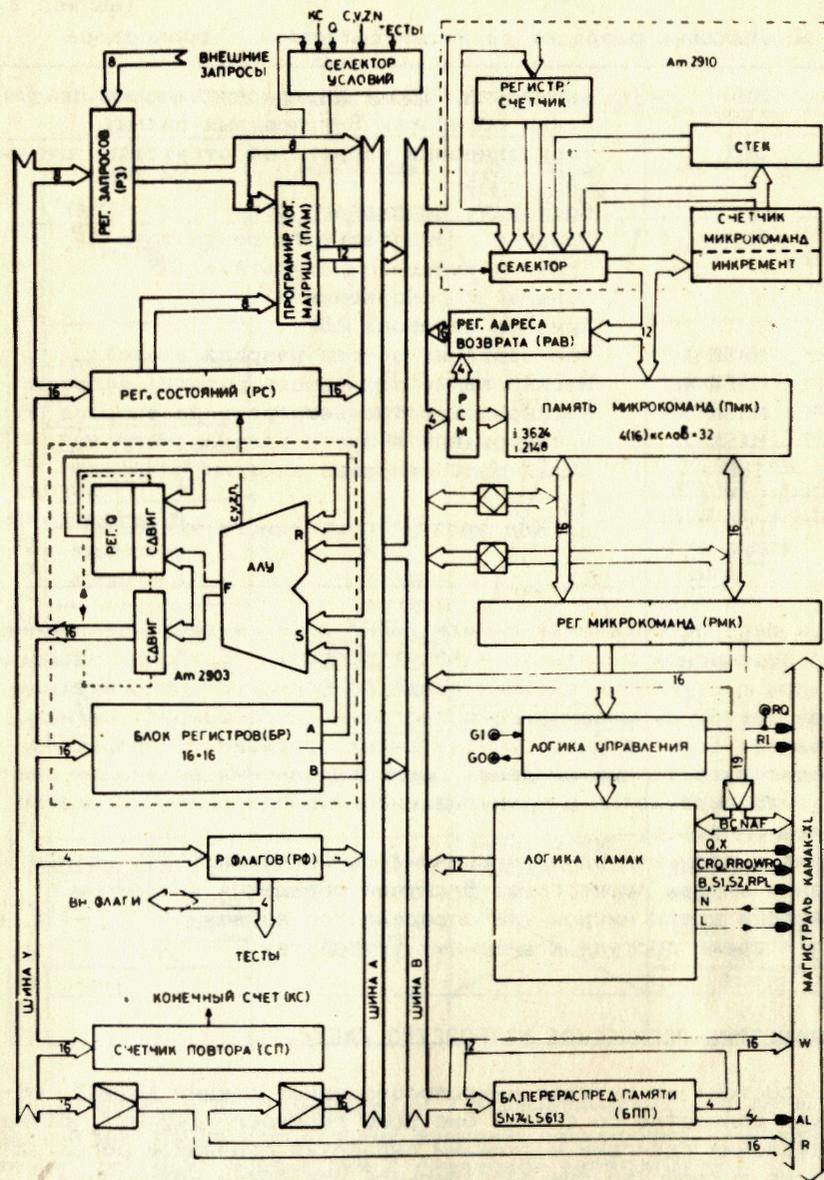


Рис.1. Блок-схема процессора.

или выполнение циклов КПД с перекрытием/1/. Микроцикл ввода/вывода выполняется после получения доступа к магистрали XL в соответствии с требованиями стандарта EUR 6500.

Таблица 1

Назначение разрядов регистра состояния процессора

15	MMU	Включение "Блока перераспределения памяти"
14	BYTE	Режим обработки 8-разрядных данных
13	NOX	Разблокировка запроса об отсутствии ответа "X" КАМАК
12	Q	Состояние последнего ответа "Q" КАМАК
11	N	Признак отрицательного результата АЛУ
10	Z	Признак нулевого результата АЛУ
9	V	Признак переполнения АЛУ
8	C	Признак переноса АЛУ
7	MASK 5	Маскирование пятого разряда запроса
6	MASK 4	Маскирование четвертого разряда запроса
5	MASK 3	Маскирование третьего разряда запроса
4	MASK 2	Маскирование второго разряда запроса
3	IEN	] - Код уровня допустимого запроса
2	LEV 4	
1	LEV 2	
0	LEV 1	

Блок перераспределения памяти /БПП/ обеспечивает увеличение объема адресуемой памяти до 4 Мбайт. Система обработки запросов /СОЗ/ при поступлении внешних запросов формирует приоритетным образом вектор вызываемой микропрограммы и генерирует сигнал прерывания. Если не было промежуточных прерываний, процессор переходит в состояние ожидания после выполнения вызванной операции, что выражается в зацикливании микропрограммы на опросе регистра запросов.

Время выполнения одной микрокоманды составляет 240 нс при обращении внутри процессора. В случае обращения к внешним устройствам время микроцикла определяется величиной  $T_d + 150$  нс/, где  $T_d$  - время доступа к внешнему устройству.

## АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО /АЛУ/

АЛУ состоит из четырех микропроцессорных секций Am2903, образующих совместно со схемой быстрого переноса /Am2902/, схемами управления сдвигами и схемами выработки признаков регистра состояния устройство для параллельной обработки информации. В состав АЛУ входит блок из 16 двухпортовых регистров общего назначения /БР/. Запись данных в БР производится только через порт "В". Кроме БР в АЛУ имеется регистр Q, выполняющий функции дополнительного буфера данных и расширителя для операции умножения, деления, длинных сдвигов и др. Операции, выполняемые АЛУ, определяются соответствующими полями МК /см. табл.2/.

Таблица 2

Формат микрокоманды для всех типов микроциклов процессора

	Цикл АЛУ	Цикл перехода		Цикл доступа к микропамяти	Цикл ввода-вывода
0	Функция АЛУ	Непоср. данные	Адрес непоср. перехода	X	Субадрес А1
1					КАМАК А2
2					А4
3					А8
4	Управление связями сдвигов	Непоср. данные	Адрес непоср. перехода	X	Н1
5					Адрес станции Н2
6					КАМАК Н4
7					Н8
8	Ввод Рег. Q в АЛУ	Выбор условия перехода	X	X	Н16
9	Выбор входного переноса в АЛУ				Стоп при запросе
10	Декремент РП				Стоп при отв. Q=0
11	Модификация признаков АЛУ				Инкремент общ. Рег
12	ED	Полярность условия	X	X	Номер креста С1
13	Внутр. обр. результ. АЛУ ED=0				КАМАК С2
14	Пересылка результ. АЛУ ED=1				Функция КАМАК Р1
15	Пересылка результ. АЛУ ED=1				Р4
16					Р8
17				Чтение	Зап/Чт Р16
18					
19					
20	Номер регистра порта В	Номер регистра порта В	Номер регистра порта В	Номер регистра порта В	
21					
22					
23					
24	Номер регистра порта А	Источник шины А АВЕ=0	Источник шины В	Старшая/Младшая Запись	В1
25					Номер ветви КАМАК В2
26	АВЕ=1	Команда БМУ	X	X	В4
27	АВЕ				Память КАМАК
28					КПД
29	Повтор				Повтор
30	1	0		1	0
31	1	0		0	1

Поле "Функция АЛУ" определяет 7 арифметических и 9 логических операций или набор специальных функций: нормировка, умножение, деление, операции арифметики с плавающей запятой и др.

Поле "Выбор входного переноса в АЛУ" обеспечивает мультиплексирование на входе линии переноса АЛУ одного из трех возможных состояний: "1", "0" или признака "С" регистра состояния.

Результат операции, проводимой АЛУ, может быть подвергнут дополнительной внутренней обработке /арифметический или логарифмический сдвиг, определение четности и др./, возможность которой фиксируется полем "ED". Состояние ED=0 определяет поле "Внутренней обработки результата", обеспечивая сохранение общего

результата в регистре ВР или регистре Q. Если ED=1, то результат без дополнительной обработки пересылается в один из внешних регистров процессора /поле "Пересылка результата АЛУ"/.

Поле "Управление связями сдвигов" определяет конфигурацию входных линий сдвигов, обеспечивая независимые и совместные сдвиги содержимого регистров общего назначения и Q-регистра.

Поле "Модификация признаков АЛУ" управляет состояниями битов N, V, Z, C регистра состояния в зависимости от результата выполняемой операции. Модифицироваться могут как индивидуальные разряды РС, так и их совокупность.

В цикле АЛУ на шину "В" выводится содержимое одного из регистров ВР, а на шину "А" - информация или регистра ВР /AVE=1/, или одного из внешних регистров процессора, определенного полем "Источник шины А" /AVE=0/.

#### МИКРОПРОГРАММНОЕ УПРАВЛЕНИЕ /МПУ/

В состав МПУ XL-100S входят: блок микропрограммного управления /БМУ/, селектор условий перехода, память микропрограммы /МПК/, регистр микрокоманд /РМК/, регистр повтора /РП/ и регистр флагов /РФ/.

БМУ построен на основе БИС Am2910 и предназначен для определения адреса следующей МК, формируемой с помощью 16 инструкций ветвления/4/. Адрес очередной МК определяется внутри БМУ из счетчика микрокоманд, стека или регистра-счетчика, а вне БМУ - по шине "В", где устанавливается адрес непосредственного перехода. Выбор адреса непосредственного перехода формируется полем "Источник шины В", на которую может подаваться код вектора поступившего запроса, указателя директивы КАМАК, поля "Адрес непосредственного перехода" или содержание регистра ВР. Десять инструкций ветвления работают в зависимости от состояния одного из 16-ти условий перехода, выбранного селектором условий. Условиями перехода могут быть четыре признака результата операции АЛУ, четыре разряда РФ, сигнал конечного счета РП, сигнал Q-ответа при обращении к модулю КАМАК и сигнал прерывания. Можно в качестве условия перехода использовать как прямое, так и инверсное состояние признаков перехода.

БМУ имеет внутренний стек, но его пятиуровневая глубина может оказаться недостаточной в некоторых применениях. Поэтому во время выполнения инструкции перехода со стеком /n+1/ адрес МК заносится в регистр возврата /РВ/ для последующей пересылки во внешнюю магазинную память.

РП используется для повторения текущей микрокоманды. Он необходим для итерационных арифметических операций, реализации программных задержек или фиксирования количества циклов КРД. После загрузки РП и установления режима повторения содержимое РП уменьшается в каждом цикле. Цикл будет повторяться до момента достижения нулевого состояния РП.

Содержимое регистра флагов выводится на четыре разъема LEMO на передней панели блока, где может суммироваться по проводному ИЛИ с внешними сигналами и использоваться затем как условие в циклах перехода.

ПМК используется в качестве управляющей памяти процессора XL-100S и может содержать до 64К 32-разрядных микрокоманд, разбитых на страницы по 4К. В составе ПМК могут быть использованы микросхемы различных типов /ППЗУ, ОЗУ/. В опытном экземпляре процессора применялись микросхемы типа i3624 и i2148. Основным требованием, предъявляемым к памяти, является ее быстродействие. Время доступа не должно превышать 80 нс. Физический адрес МК состоит из 12 бит виртуального адреса, вырабатываемого БМУ, и 4 бит регистра страницы микропамяти /РСМ/.

Загрузка или чтение ПМК производится в специальном цикле удвоенной длительности, разбитом на два подцикла, различающихся между собой состоянием линии условия. В первом подцикле с помощью адреса, находящегося в регистре-счетчике БМУ, выбирается ячейка ПМК. Обмен информацией между этой ячейкой и одним из регистров ВР осуществляется по шине "В". Во втором подцикле из ПМК выбирается код следующей МК и загружается в РМК. Одновременно можно адресовать 16-разрядную половину ПМК.

#### СИСТЕМА ОБРАБОТКИ ЗАПРОСОВ

СОЗ является единственным средством внешнего воздействия на работу XL-100S. Процессор реагирует на 8 запросов, коммутируемых произвольным образом из шин прерываний AL системы XL, внешних запросов, поступающих в процессор через разъемы на передней панели, и директив КАМАК. Коммутированные запросы запоминаются в регистре запросов /РЗ/. Существует также возможность занесения информации в РЗ по шине "У" и считывания содержимого РЗ на шину "А", что обеспечивает проверку конкретных запросов независимо от системы маскирования, имитацию поступления тех или иных внешних запросов или их индивидуальное обнуление.

Для маскирования запросов используются биты 0÷7 регистра состояния, которые используются либо для индивидуального маскирования, либо для маскирования по уровню приоритета. Одна из возможных комбинаций маски запросов показана в табл.1.

В случае возникновения одного или нескольких разрешенных запросов СОЗ вырабатывает сигнал внутреннего прерывания и формирует код вектора, соответствующий запросу с наивысшим приоритетом.

Функции маскирования, формирования вектора, генерации прерывания выполняет ПЛМ 82S101/5/. Возможность перепрограммирования ПЛМ позволяет изменять приоритетность запросов и назначение маски. Единственным немаскированным запросом процессора является команда инициализации, по которой XL-100S переходит к нулевому адресу памяти микропрограмм.

## ВВОД/ВЫВОД ДАННЫХ И ЛОГИКА КАМАК

Процессор получает доступ в модулям КАМАК или внешней памяти через магистраль системного крейта XL, протекающего в одном удлинённом микроцикле /рис.2/. В обмене данными в циклах ввода/вывода участвуют все три внутренние шины процессора, связанные с магистралью XL через схемы буферов: на шину "А" поступают загружаемые затем в регистр Q считываемые данные, по шине "У" происходит запись данных, содержащихся в регистре Q, а на шине "В" формируется содержащийся в БР адрес ячейки памяти. Полная команда КАМАК /В, С, N, А, F/ задается в поле микрокоманды, осуществляющей цикл ввода/вывода.

Увеличение объема памяти обеспечивается в БПП "битами расширения памяти" /1/, использование которых позволяет адресовать до 4 Мбайт с разбивкой на страницы по 4К 16-разрядных слов. Загрузка и считывание кода, определяющего конфигурацию страницы в БПП, производится специальными командами КАМАК. В качестве БПП используется БИС типа SN74LS613/6/.

Операции, связанные с организацией КПД между модулями КАМАК и памятью, осуществляются в одном микроцикле /рис.3/. Направление передачи данных определяется состоянием разряда F16 МК. Возможно как одиночное выполнение цикла КПД, так и многократное. В последнем случае завершение операции произойдет при достижении нулевого состояния в РП. Цикл КПД может быть прерван в случае прихода выбранного внешнего запроса или отсутствия реальных данных /ответ Q=0/. Во время выполнения циклов КПД адрес памяти, сформированный процессором, инкрементируется автоматически.

Микропрограммное управление процессором XL-100S обеспечивает написание микропрограмм для организации блочных режимов /7/, в частности режима сканирования адресов КАМАК, в котором каждая микрокоманда адресует конкретный адрес модуля КАМАК. При этом исключаются избыточные циклы опроса несуществующих адресов и обеспечивается произвольный порядок обращения к модулям.

Если в системном крейте XL установлен еще один, кроме XL-100S, источник программ, то он воспринимает процессор XL-100S как модуль КАМАК и может обращаться к нему со следующими командами:

- N.F(0).A(n) - чтение n-той страничной конфигурации БПП;
- N.F(8).A(0) - проверка наличия запроса LAM процессора;
- N.F(10).A(0) - сброс запроса LAM процессора;
- N.F(16).A(n) - запись n-той страничной конфигурации БПП;
- N.F(24).A(0) - блокировка выдачи сигнала LAM;
- N.F(26).A(k) - разрешение выдачи сигнала LAM и генерирование запроса k-той директивы.

Выдачей директивы F(26).A(k) дополнительный источник программ в системе XL обеспечивает выполнение процессором XL-100S определенной процедуры. Имеется возможность выполнения 16 директив, среди которых могут быть: загрузка или чтение микропамяти, запуск отладочных процедур, распечатка внутренних регистров

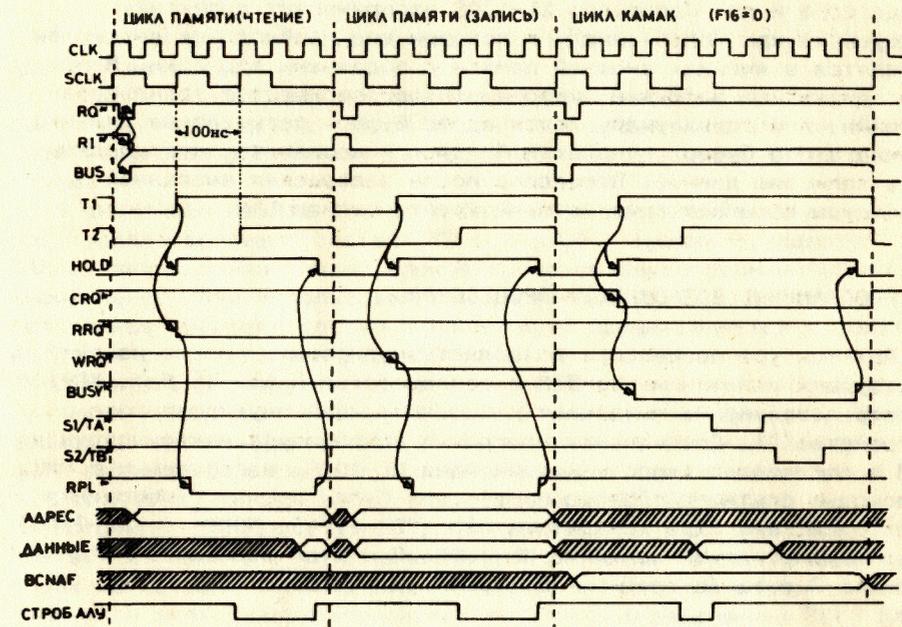


Рис.2. Временная диаграмма работы процессора /одиночные циклы/.

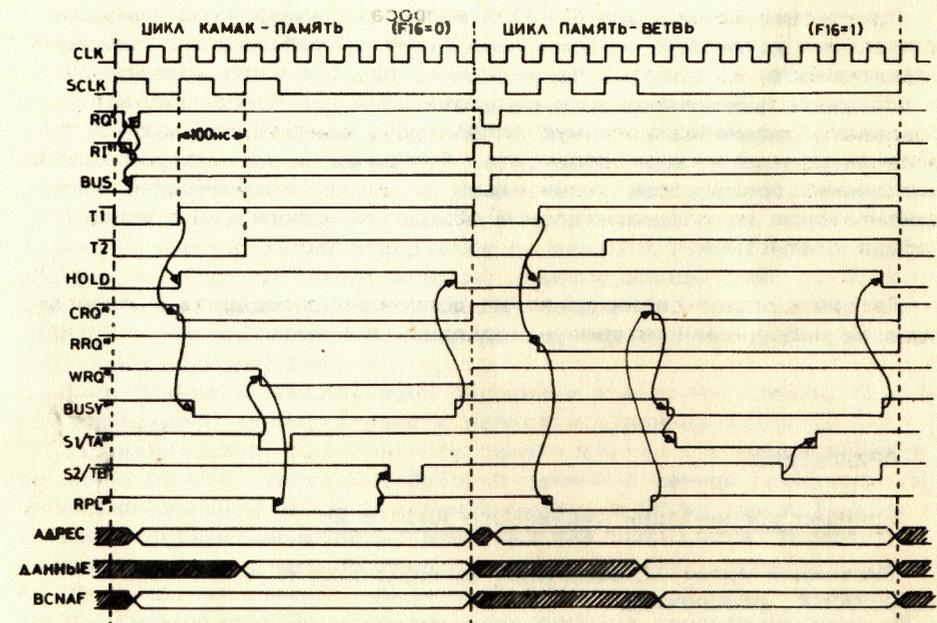


Рис.3. Временная диаграмма работы процессора /циклы КПД/.

процессора и др. Процессор XL-100S воспринимает директиву F(26).A(k) как "сообщение", в котором все необходимые параметры находятся в ячейках внешней памяти с заданными адресами. Например: директива загрузки микропамяти сопровождается тремя параметрами, в которых указывается адрес буфера загружаемых данных, размер этого буфера и начальный адрес микропамяти, куда должны быть записаны данные. Процессор после завершения вызванной процедуры посылает в магистраль крейта сигнал LAM.

## ПРОГРАММНЫЕ ВОЗМОЖНОСТИ ПРОЦЕССОРА

Архитектура процессора позволяет эмулировать многие из существующих мини- и микро-ЭВМ с разрядностью 8 или 16 бит. XL-100S непосредственно не выполняет макроинструкций эмулированного устройства/8/. Специальная программа преобразует макроинструкции ЭВМ в последовательность микрокоманд XL-100S, загружаемых в ПМК. С помощью опытного образца процессора была произведена оценка быстродействия ряда конкретных ЭВМ (PDP 11/45, NORD 10, HP-2100) и их эмулированной копии на XL-100S. При этом оказалось, что копия в 2 раза /в среднем/ быстрее оригинала.

## ЗАКЛЮЧЕНИЕ

Применение процессора XL-100S в составе аппаратуры экспериментальных установок, несомненно, будет способствовать повышению эффективности их работы. Наличие микропрограммного управления и доступность изменения его пользователем системы позволяет создавать специализированную аппаратуру, ориентированную на требования конкретного эксперимента. Возможность установки в крейте нескольких процессоров значительно расширяет возможности экспериментаторов по предварительной обработке информации в процессе набора статистики.

Авторы считают своим приятным долгом поблагодарить Э.Н.Цыганова за постоянный интерес и поддержку в работе.

## ПРИЛОЖЕНИЕ

### Принцип организации системного крейта XL

Системный крейт XL расширяет функциональные возможности системы КАМАК, обеспечивая

- размещение в системном крейте XL до 4 Мбайт памяти;

- доступ к 50, включая системный, крейтам КАМАК, расположенным в 7 ветвях;

- двойное использование шин магистрали крейта, что обеспечивает выполнение цикла "КАМАК/ветвь" одновременно с циклом "Память", заметно увеличивая скорость обмена по каналу прямого доступа.

В системном крейте XL могут быть использованы блоки двух типов: удовлетворяющие системе XL и соответствующие стандарту КАМАК. Между этими типами блоков возможен двухсторонний обмен информацией. При использовании в системном крейте нескольких источников программ доступ к магистрали осуществляется в соответствии со стандартом EUR 6500.

Обязательным модулем системного крейта XL является блок управления /БУ/, обеспечивающий помимо стандартных функций, предусмотренных стандартом EUR 4600, выполнение специальных функций, свойственных системе XL. БУ участвует также в выработке циклов КАМАК для системного крейта и ветвей системы.

Источник программы может организовать три типа циклов: "КАМАК", "Ветвь" и "Память", устанавливая для этого на соответствующих шинах магистрали необходимую командную и адресную информацию. Данные во всех циклах передаются по 24-разрядным шинам "R". Для управления системой XL используются пять нестандартных сигналов, выведенных на резервные шины P1-P5 магистрали крейта.

Циклы "КАМАК" и "Ветвь", различающиеся состоянием шины BR(P1), инициируются сигналом CRQ по шине P3. Имеется возможность приостановить цикл сигналом, посланным на шину HOLD(P2). Цикл "КАМАК" организован в соответствии с требованиями стандарта EUR 4100. Цикл "Ветвь" (BR=1) формируется с помощью расположенных в системном крейте драйверов ветви /ДВ/. При этом таймирующие сигналы TA и TB передаются по шинам S1 и S2. Выбор одного из семи возможных ДВ осуществляется коммутируемыми в БУ сигналами N. Номер ветви посылается по шинам EN1-EN4 вспомогательной магистрали, номер крейта и номер станции передается по шинам W17-W24. Запрос на обслуживание BD поступает в БУ по индивидуальной шине L. По шине N-1 /ДВ имеет двойную ширину/ в ДВ передается команда BG. Циклы "КАМАК" и "Ветвь" заканчиваются по заднему фронту сформированного в БУ сигнала BUSY.

Цикл "Память" обеспечивает обращение к модулям памяти. Основной адресуемой единицей памяти является страница емкостью 64К 24-разрядных слов. Адрес ячейки памяти внутри страницы задается по шинам W1-W16 крейта XL. Выборка данной страницы производится по индивидуальным шинам L, коммутируемым в БУ из шин AL21-AL24 вспомогательной магистрали. Возможны два типа цикла "Память": чтение и запись, инициируемые сигналами BRQ(P4) и WRQ(P5) соответственно. При обмене информацией с адресуемой памятью используется сигнал RPL(P2). Исчезновение сигнала свидетельствует об установлении реальных данных на магистрали для циклов чтения или завершения операции для циклов записи.

Запросы на обслуживание системного крейта, возникающие в стандартных модулях КАМАК или драйверах ветви, передаются в БУ по индивидуальным шинам L. Внешние запросы поступают в БУ через разъемы на передней панели блока. В БУ запросы коммутируются приоритетным образом на шины AL1-AL16 вспомогательной магистрали и формируют 16 прерываний системы.

#### ЛИТЕРАТУРА

1. Гузик З., Форыцки А. ОИЯИ, 13-81-587, Дубна, 1981.
2. Multiple Controller in a CAMAC Crate. ESONE Committee. EUR 6500, 1978.
3. Водопьянов А.С. и др. ОИЯИ, P13-82-547, Дубна, 1982.
4. The Am2900 Family Data Book, Advanced Micro Devices, Sunnyvale, 1979.
5. Memory Data Book, Signetics, San Francisco, 1979.
6. The TTL Data Book. Texas Instruments, Western Germany, 1979.
7. Block Transfers in CAMAC Systems. ESONE Committee, EUR 4100 Suppl.
8. Kunz O.F. The LASS Hardware Processor, 1976, 135, p.435.

Рукопись поступила в издательский отдел  
17 марта 1983 года.

Горбунов Н.В. и др.

Микропрограммируемый процессор XL-100S

13-83-162

Описывается микропрограммируемый процессор XL-100S, обеспечивающий мультипроцессорный режим работы в системном крейте XL. Процессор соответствует требованиям EUR 6500, адресуется к памяти емкостью 4 Мбайт и организует взаимодействие с 7 ветвями КАМАК. Восемь внешних запросов инициируют выполнение операций, определенных последовательностью микрокоманд в микропамяти емкостью до 64К 32-разрядных слов. Архитектура процессора позволяет эмулировать команды большинства мини- и микро-ЭВМ, включая операции с плавающей запятой. Процессор XL-100S может быть использован в различных областях экспериментальной физики: для управления аппаратурой физического эксперимента, быстрого отбора полезных событий, организации ввода/вывода, включая организацию канала прямого доступа к памяти и др. В качестве элементной базы используется микропроцессорный комплект Am2900. Процессор выполнен в виде модуля КАМАК одиночной ширины.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1983

Gorbunov N.V. et al.

The XL-100S Microprogrammable Device

13-83-162

The XL-100S is a microprogrammable device based on the Am2900 family of bit slices and designed for use in the multimaster environment of an XL System Crate. The processor conforms to the EUR 6500 CAMAC standard and can access up to 4 Mbyte of memory and 7 CAMAC branches. Processor operations, which are a sequence of predefined microcommands fetched from a 32-bit wide control store with capacity up to 64 kwords, can be initiated by any of eight external requests. The architecture of the XL-100S allows one to emulate almost any mini- or macro-computer including floating point operations. The processor can be used for: fast physical event filtering and data preprocessing, flexible apparatus control, organization of sophisticated DMA transfer modes, etc. The device with 4 kwords of control store is housed in a single width CAMAC module.

The investigation has been performed at the Laboratory of High Energies, JINR.

Preprint of the Joint Institute for Nuclear Research. Dubna 1983

Перевод авторов.