

сообщения  
Объединенного  
института  
ядерных  
исследований  
Дубна

2751/82

7/6-82

13-82-152

С.Г.Басиладзе, Као Дак Хьен

БЫСТРОДЕЙСТВУЮЩИЙ БЛОК УМНОЖЕНИЯ

1982

В настоящее время на крупных физических установках широко применяют быстрые специализированные процессоры для выделения интересующих экспериментаторов событий в реальном времени эксперимента<sup>/1-4/</sup>. Их применение позволяет значительно сократить время обработки, количество магнитных лент для записи экспериментальных данных, а также объем аппаратуры, реализующей алгоритм отбора.

Несмотря на то, что процессоры создавались специально для разных задач, они содержат ряд функционально-тождественных модулей. Поэтому унификация устройств в процессорных системах возможна и весьма необходима. Следуя такому подходу, авторы работы<sup>/5/</sup> разработали универсальный быстрый цифровой шифратор.

В спецпроцессорах операция умножения очень часто используется в алгоритмах отбора<sup>/2-4/</sup>. Схема умножения должна иметь по возможности наибольшее быстродействие для снижения мертвого времени процессора. Сокращение времени выполнения умножения, даже ценой усложнения логической схемы, позволяет существенно повысить общее быстродействие систем обработки. Методы ускорения умножения систематически рассмотрены в работах<sup>/6,7/</sup>.

В настоящей работе описывается блок умножения двух 12-разрядных чисел в стандарте КАМАК. На рис.1 показана схема гене-

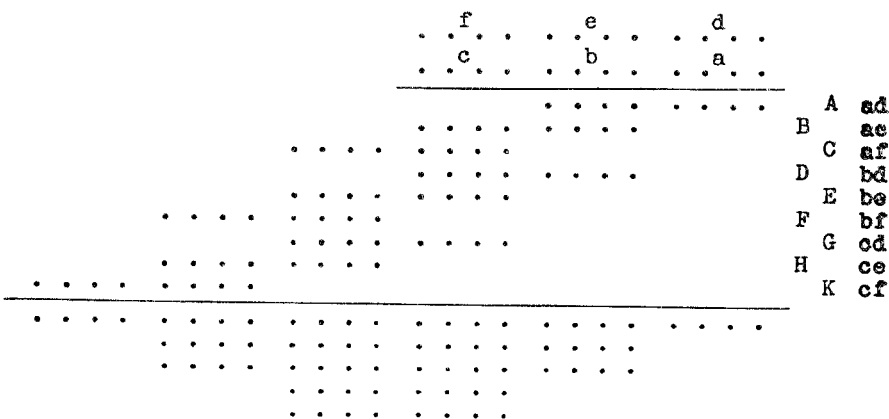


Рис.1. Схема генерации матрицы частичных произведений для умножения двух 12-разрядных чисел.

рации матрицы частичных произведений /каждое частичное произведение представляется точкой/ для умножения двух 12-разрядных чисел  $(f \times 2^8 + e \times 2^4 + d)(c \times 2^8 + b \times 2^4 + a)$  с помощью элементарных умножителей  $4 \times 4$ :

О БЪЕДИНЕННЫЙ ЦЕНТРАЛЬНЫЙ  
 НАУЧНО-ИССЛЕДОВАТЕЛЬСКИЙ  
 ИНСТИТУТ  
**БИБЛИОТЕКА**

$$\begin{array}{lll}
 a \times d = A, & b \times d = D, & c \times d = G, \\
 a \times e = B, & b \times e = E, & c \times e = H, \\
 a \times f = C, & b \times f = F, & c \times f = K.
 \end{array}$$

Элементарные умножители созданы на основе схем ППЗУ емкостью 256x4 типа К556РТ4<sup>/8/</sup> /Intel 3601<sup>/9/</sup>, SN74284-SN74285<sup>/10/</sup>. Каждое двойное ППЗУ запрограммировано для реализации таблицы умножения 4x4. Оба операнда играют роль 8-разрядных адресных входов, и их 8-разрядные произведения являются выходами /рис.2/.

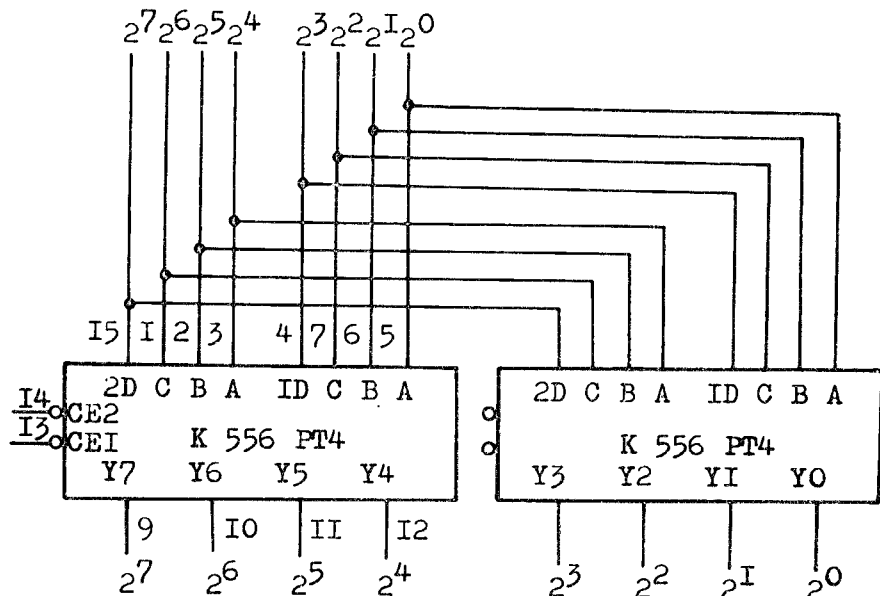


Рис.2. Реализация элементарного умножителя 4x4 на основе ППЗУ К556РТ4.

На рис.3 показаны два варианта сведения матрицы частичных произведений. Вариант на рис.3б реализуется по методу "дерева" Уоллеса с помощью счетчиков /3,2/<sup>/6/</sup>. В этом варианте требуются 3 уровня сведения. Для описываемого умножителя необходимо только 2 уровня для сведения матрицы к двум строкам /рис.3а/. Используются два типа счетчиков: /2,2,2,3,4/ - на базе арифметического, логарифмического устройства /АЛУ/ - К155ИПЗ или /SN74181/ и /3,2/ - на базе полных сумматоров с ускоренным переносом К134ИМ5 /или SN74183/. Совместное применение двух таких типов счетчиков на одном уровне приемлемо, поскольку они /SN74S181 и SN74183/ обладают одним и тем же быстродействием.

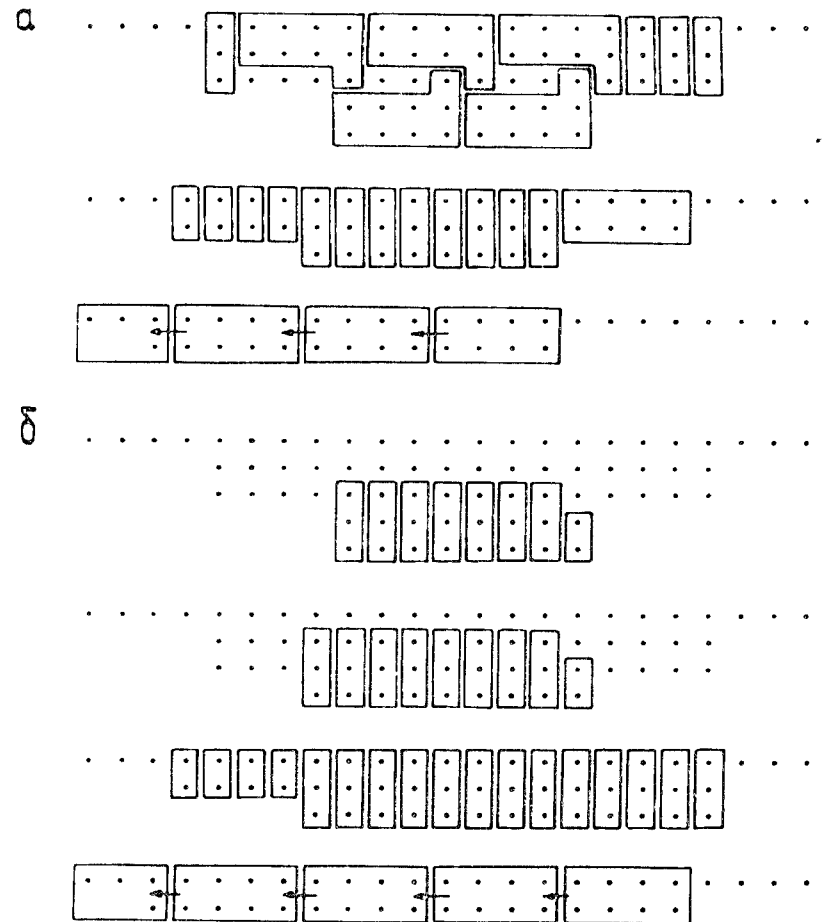


Рис.3. Два варианта сведения матрицы частичных произведений.

При применении счетчика /2,2,2,3,4/ на втором уровне позволяет использовать только 4 сумматора со сквозным переносом для получения суммы /на последнем уровне/ и, таким образом, задержка этой операции не превышает 19 нс<sup>/10/</sup>. В итоге полная задержка умножителя складывается из задержки АЛУ, задержки полного сумматора, задержки четырех сумматоров со сквозным переносом и задержки ППЗУ, т.е.

$$T_{12 \times 12} = 16 \text{ нс} + 11 \text{ нс} + 19 \text{ нс} + 40 \text{ нс} = 86 \text{ нс}$$

/при применении микросхем SN74S181, SN74183, SN74284-74285/.

Если используются микросхемы К155ИПЗ, К134ИМ50, К556РТ4, задержка умножителя увеличивается до 160 нс. Количество корпусов интегральных схем в разработанной схеме умножителя - 36.

Разработанный блок можно также использовать для проведения операции деления 12:4 бит, заменив в ППЗУ таблицу умножения на таблицу деления.

#### ХАРАКТЕРИСТИКИ БЛОКА УМНОЖЕНИЯ

Входы: а/ через разъем на передней панели, число входов - 24 скрученные пары /12-разрядное множимое и 12-разрядный множитель/, уровни  $\overline{TTL}$ ;  
б/ по шинам W1+W24.

Выходы: а/ через разъем на передней панели, число выходов - 24 скрученные пары, уровни  $\overline{TTL}$ ;  
б/ по шинам R1+R24.

Время умножения - 86 нс.

#### Функции и команды КАМАК

NA(0)F(0) - Чтение данных по шинам R1+R24 / R1+R12 соответствуют множителю, R13+R24 - множимому/.

NA(0)F(16) - Запись данных по шинам W1+W24.

Q - Ответ на F(0), F(16).

Токи, потребляемые блоком от источников питания, - +6 В/-2,5 А.

#### ЛИТЕРАТУРА

1. Веркерк С.В. В кн.: Труды IX Международного симпозиума по ядерной электронике. Варна, 1977. ОИЯИ, Д13-11182, Дубна, 1978, с. 128.
2. Verkerk C. In: Proc. of the 1978 CERN School of Computing. CERN, 78-13, p. 65.
3. Басиладзе С.Г., Парфенов А.Н., Пиляр А.В. ОИЯИ, 13-12453, Дубна, 1979.
4. De Mori F., Rivoria S., Serra A. IEEE Trans. on Computers, 1975, vol. C-24, No.12, p. 1202-1216.
5. Басиладзе С.Г., Парфенов А.Н. ОИЯИ, 13-11449, Дубна, 1978.
6. Басиладзе С.Г., Као Дак Хьен. ОИЯИ, 13-82-146, Дубна, 1982.
7. Басиладзе С.Г., Као Дак Хьен. ОИЯИ, 13-82-147, Дубна, 1982.
8. Полупроводниковые запоминающие устройства и их применение. /под ред. А.Ю.Гордонова/. "Радио и связь", М., 1981.
9. Intel, Data Catalog, 1975, Intel Corporation.
10. Texas Instruments, Inc., The TTL Data Book for Design Engineers, Dallas, Tex., 1976.

Рукопись поступила в издательский отдел  
24 февраля 1982 года.

Басиладзе С.Г., Као Дак Хьен. Быстродействующий блок умножения 13-82-152

Описывается блок умножения двух 12-разрядных чисел, имеющий быстродействие 86 нс. Он построен на основе метода табличного поиска "генерации-сведения матриц частичных произведений". Генерация матрицы частичных произведений выполняется элементарными умножителями 4x4 на основе ППЗУ К556РТ4 емкостью 256x4. Благодаря совместному использованию счетчиков /2,2,2,3,5/ и /3,2/ необходимо лишь два уровня сведения матриц. Блок предназначен для использования в специализированных быстродействующих процессорах. Он реализован в стандарте КАМАК. Данные могут подаваться как с передней панели, так и с магистрали.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1982

Basiladze S.G., Cao Dac Hien A Block of Fast Multiplier 13-82-152

A 12x12 bit multiplier with 86 ns propagation delay is described. The multiplier is based on the generation-reduction scheme of a matrix of partial product terms. The 256x4 PROM K556 PT4 is used as 4x4 elementary multipliers to generate partial products. With simultaneous implementation (2,2,2,3,5) and (3,2) counters requires only two reduction levels. The block is intended to operate in fast processors. It is possible to transfer data via the CAMAC dataway as well.

The investigation has been performed at the Laboratory of the High Energies, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1982

Перевод О.С.Виноградовой.