

сообщения
объединенного
института
ядерных
исследований
дубна

2749/82

7/6-82

13-82-147

С.Г.Басиладзе, Као Дак Хьен

БЫСТРОДЕЙСТВУЮЩИЕ СХЕМЫ УМНОЖЕНИЯ
НА ОСНОВЕ МЕТОДА
ТАБЛИЧНОГО ПОИСКА

1982

ВВЕДЕНИЕ

В работе^{/1/} был проведен сравнительный анализ быстродействующих умножителей, созданных на основе сумматоров частичных произведений. Показано, что получаемая на практике скорость умножения двух n -разрядных сомножителей намного меньше скорости сложения. Например, при $n = 16$ время суммирования сумматора со сквозным переносом равно $2(2\lceil \log_4 16 \rceil + 1) = 10$ единиц задержек, а время задержки умножителя, реализованного по методу "дерева" Уоллеса - $4\lceil \log_3/2 \frac{16}{2} \rceil + 2(2\lceil \log_4 (16 \times 2) \rceil + 1) + 1 = 39$ единиц^{/1/}.

Это объясняется положением Бреннана^{/2/} о том, что любое представление числа позволяет достигнуть максимальной скорости только для операции одного вида. Так, двоичное представление чисел удобно только для сложения. Логарифмическая же линейка, созданная на основе логарифмического представления чисел, может только умножить, но не сложить.

Рассматриваемый в настоящей работе метод табличного поиска, реализованный на основе постоянных запоминающих устройств /ПЗУ/^{/3,4/}, дает возможность получения одинаковой скорости как для операций сложения и умножения, так и для других.

Решение задачи повышения быстродействия схем комбинационного умножения осуществляется по двум направлениям: создание множеств однородных элементов, образующих регулярную сеть^{/5-9/} /часто называется итеративной матрицей/, и генерация - сведение матриц частичных произведений^{/10-12/} /ГСМЧП/ путем сжатия подпоследовательности матриц с помощью псевдосуммирования /суммирования без переноса/. Схема ГСМЧП, по сути дела, является модификацией древовидного метода^{/1, 13/}. Схемы итеративных матриц, будучи привлекательными компактностью и однотипностью /регулярностью/ основной цепи, обладают тем недостатком, что их задержка линейно возрастает с длиной операнда и довольно велика для больших слов /см. табл.1/^{/9/}.

В этом отношении схема ГСМЧП имеет значительное преимущество, особенно для больших операндов, поскольку ее задержка увеличивается пропорционально только логарифму длины операндов^{/14/}. Существование интегральных схем/SN74S274-74S275/^{15/}, SN74284-74285/^{15/}; ПЗУ 256x4, 256x8, ... / позволяет создать частичные произведения

* [D] - наименьшее целое число, которое больше или равно D.

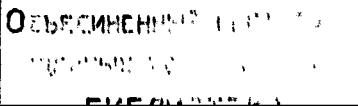


Таблица 1

Длина операнда	Кол-во микросхем	Время задержки /нс/
8x8	8	150
12x12	18	260
16x16	32	350
24x24	72	550

из операндов, которые имеют длину больше одного бита. Тогда умножители типа ГСМЧП могут конструировать со схемой итеративных матриц в компактности. Ниже рассмотрены принцип построения схем умножения ГСМЧП с большой длиной операндов и возможности реализации таких схем.

1. СХЕМА ГЕНЕРАЦИИ-СВЕДЕНИЯ МАТРИЦ ЧАСТИЧНЫХ ПРОИЗВЕДЕНИЙ

Традиционная форма схем ГСМЧП строится на основе элементарных умножителей /ЭУ/ $m \times m = 1 \times 1$ /метод "дерева" Уоллеса/13/. При этом высота i -столбца матрицы частичных произведений двух n -разрядных чисел /см. рис.1, где каждое частичное произведение представляется точкой/ равна

$$h_i = \begin{cases} i+1 & \text{при } i = 0, 1, \dots, n-1, \\ 2n-1-i & \text{при } i = n, \dots, 2n-2, \end{cases} \quad /1/$$

$\max(h_i) = H = n.$

Ускорение достигается благодаря использованию ЭУ с $m > 1$. На рис.2 показана правая часть симметричной матрицы частичных произведений схемы умножения двух n -разрядных операндов $n \times n$ с ЭУ $m \times m$, причем n кратно m ($\frac{n}{m} = K$). Тогда высота i -столбца

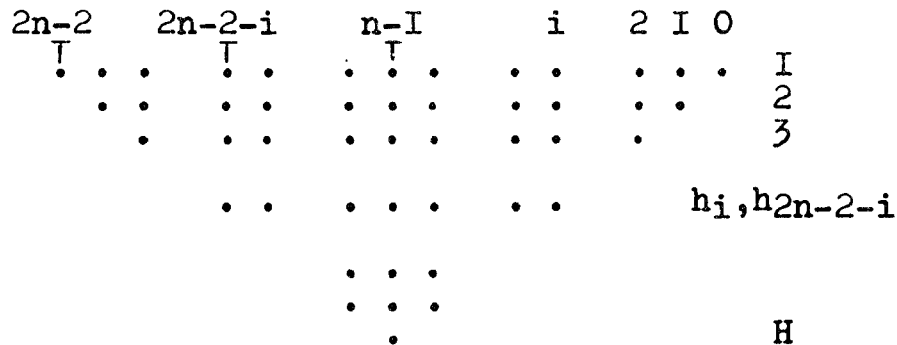


Рис.1. Матрица частичных произведений схемы умножения с элементарными умножителями 1×1 .

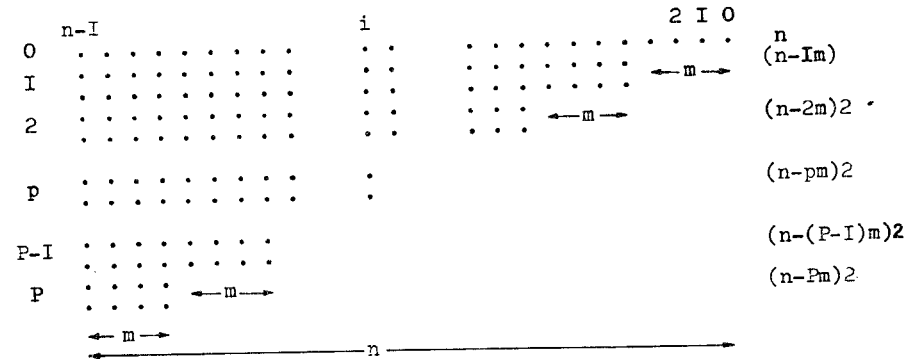


Рис.2. Правая часть симметричной матрицы частичных произведений схемы умножения $n \times n$ с элементарными умножителями $m \times m$.

матрицы равна

$$h_i = \begin{cases} 1 + 2 \lfloor \frac{i}{m} \rfloor * & \text{при } i \leq n-1, \\ 1 + 2 \lfloor \frac{2n-1-i}{m} \rfloor & \text{при } i > n-1. \end{cases} \quad /2/$$

Видно, что число слагаемых p -пары строк /состоящих из одинакового числа слагаемых/ есть $(n-pm)2$. Значение $p_{\max} = P$ /номер последней пары строк/ определяется условием

$$n - Pm = m, \quad /3/$$

$$P = \frac{n-m}{m} = K - 1,$$

откуда максимальная высота матрицы есть

$$H = 1 + 2P = 2K - 1. \quad /4/$$

Количество слагаемых матрицы равно

$$N/2 = n + (n-1m)2 + (n-2m)2 + \dots + (n-pm)2 + \dots + (n-Pm)2 =$$

$$= n + 2nP - 2m \sum_{p=1}^P p.$$

Из /3/ и $\sum_{p=1}^P p = \frac{P(P+1)}{2}$ следует

* [D] - наибольшее целое число, которое меньше или равно D.

$$N/2 = n + 2n(K-1) - n(K-1) = nK$$

или

$$N = 2nK = 2n^2 / m.$$

/5/

Таким образом, при $m > 1$ имеем коэффициент сокращения чисел частичных произведений:

$$\eta = \frac{N(m=1)}{N(m>1)} = \frac{n^2}{2n^2/m} = \frac{m}{2}.$$

/6/

ПЗУ емкостью 256x8 может быть запрограммировано для реализации таблицы умножения 4x4. При этом два операнда играют роль 8-разрядных адресных входов и их 8-разрядные произведения являются выходами. ПЗУ используются также для сведения матрицы частичных произведений. Так, например, ПЗУ 1Kx4 может быть запрограммировано для обращения к двум 5-разрядным столбцам, находящимся рядом, и выполнять функцию табличного поиска суммы. На рис.3 показан пример использования ПЗУ для умножения 12x12 бит. Первый уровень на рисунке соответствует использованию ЭУ с $m = 4$, а полная n^2 -матрица, соответствующая $m = 1$, имеет высоту 12 бит и содержит в себе вдвое больше термов /см. /6//.

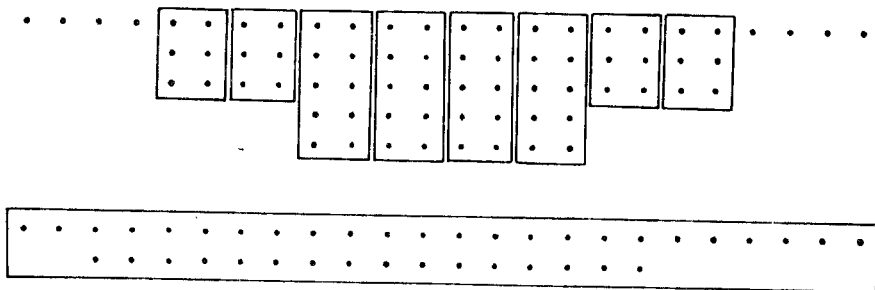


Рис.3. Пример использования ПЗУ для умножения 12x12 бит.

Обобщенные счетчики. Дадда^{/10/} ввел понятие (с,d)-счетчика как комбинационной схемы, которая получает на входах с бит одного веса /разряда/ и формирует на выходах d-разрядную сумму. Значение выхода счетчика есть

$$v = \sum_{i=0}^{c-1} b_i,$$

/7a/

где b_i - значение i-бита входной комбинации; v - значение d-разрядного выхода.

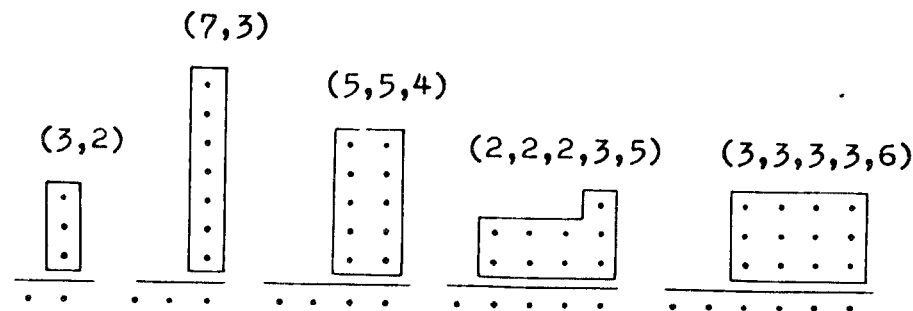


Рис.4. Обобщенные счетчики при $d = 2 \div 6$.

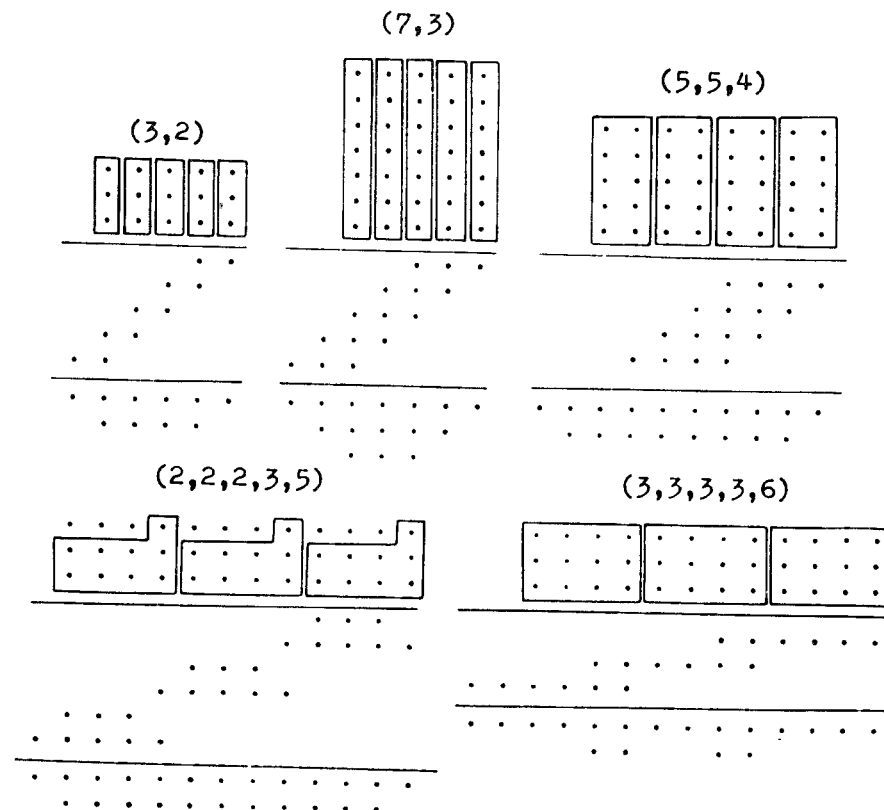


Рис.5. Эффект применения счетчиков к наборам входных колонок матрицы частичных произведений.

Число выходных разрядов d должно быть таким, чтобы

$$2^d - 1 \geq c. \quad /8a/$$

Обобщенным счетчиком Дадда/16/ называется счетчик, который получает на входах несколько колонок (k) последовательных двоичных разрядов (c) и формирует их d -разрядную сумму. Такой счетчик обозначается как $(c_{k-1}, c_{k-2}, \dots, c_0, d)$, значение выхода счетчика равно

$$v = \sum_{i=0}^{k-1} \sum_{j=0}^{c_i-1} b_{ij} 2^i, \quad /76/$$

где b_{ij} - значение j -бита в i -колонке. На d накладывается ограничение, аналогичное /8a/:

$$2^d - 1 \geq \sum_{i=0}^{k-1} c_i 2^i. \quad /86/$$

Примеры таких счетчиков при $d = 2 \div 6$ показаны на рис.4. Обведенные рамкой точки обозначают входные колонки. Все показанные на рис.4 счетчики /за исключением счетчика /3,3,3,3,6// обеспечивают полное использование разрядности выходного слова.

Эффект применения счетчиков к наборам входных колонок иллюстрируется на рис.5. Каждая диаграмма показывает входную конфигурацию счетчиков, результаты действий счетчиков и эквивалентное конечное представление этих результатов. Видно, что последовательность счетчиков /7,3/ может свести матрицу высотой 7 строк к трехстрочной, а последовательность счетчиков /5,5,4/ сводит матрицу из пяти строк к двухстрочной. В общем случае число строк s выходной матрицы равняется $\lfloor \frac{d}{k} \rfloor$.

Регулярные счетчики, все входные колонки которых имеют равную высоту, наиболее полезны при сведении регулярной части матрицы частичных произведений. Пусть имеются регулярные счетчики, на входы которых поступает матрица, состоящая из k колонок и r строк, то есть $r = c_{k-1} = c_{k-2} = \dots = c_0$. Обозначим через v_r максимальное значение входной строки счетчика, а через v_0 - максимальное значение результата, тогда $v_r = 2^k - 1$ и $v_0 = 2^d - 1$. Очевидно, что $v_0 \geq r v_r$, откуда $r \leq \frac{2^d - 1}{2^k - 1}$. Если d не кратно k , то выходная матрица содержит некоторые пробелы; такая матрица, например, выходная матрица счетчика /3,3,3,3,6/, называется нерегулярной. Оптимальным является регулярный счетчик, который формирует регулярную выходную матрицу. Это достигается, если d кратно k , то есть $d = sk$. При этом

$$r = \frac{2^d - 1}{2^k - 1} = \frac{2^{sk} - 1}{2^k - 1} = 2^{(s-1)k} + 2^{(s-2)k} + \dots + 1.$$

В табл.2 представлены характеристики оптимальных счетчиков для малых значений s, k . В настоящее время реализуются счетчики /3,2/, /7,3/, /5,5,4/ и, возможно, /15,4/. Величина r быстро растет при возрастании s или k , так что реализация счетчиков, отличных от вышеперечисленных, нецелесообразна.

Таблица 2

Оптимальные регулярные счетчики на основе ПЗУ

Вход		Выход		Конфигурация ПЗУ слово x бит
Колонки (k)	Строки (r)	Колонки (d)	Строки (s)	
1	3	2	2	$2^3 \times 2^*$
2	5	4	-	$2^{10} \times 4^*$
3	9	6	-	$2^{27} \times 6$
1	7	3	3	$2^7 \times 3^*$
2	21	6	-	$2^{42} \times 6$
1	15	4	4	$2^{15} \times 4^*$
1	31	5	5	$2^{31} \times 5$

* Счетчики реализуются.

Число уровней сведения. Найдем число уровней, необходимое для сведения высоты матрицы частичных произведений $k \times s$ строкам. Обозначим максимальную высоту ℓ -уровневой матрицы через H_ℓ , тогда s является высотой матрицы, соответствующей последнему L -уровню ($L = \ell_{\max}$), то есть $H_L = s$ и $H_{L-1} = r$. Очевидно /см.рис.6/, что, зная H_ℓ , мы можем определить $H_{\ell-1}$ по формуле

$$H_{\ell-1} = r \left\lfloor \frac{H_\ell}{s} \right\rfloor + (H_\ell) \bmod s. \quad /9/$$

Последовательность максимальных высот, сводимых с помощью счетчиков /3,2/ матриц, есть 2,3,4,6,8,11,16,...^{1/}; с помощью счетчиков /5,5,4/ - 2,5,11,26,65,... и счетчиков /7,3/ - 3,7,15,79,....

В общем случае последовательность максимальных высот будет иметь примерно следующий вид:

$$s, s \left(\frac{r}{s}\right), s \left(\frac{r}{s}\right)^2, s \left(\frac{r}{s}\right)^3, \dots$$

Поэтому число уровней, необходимое для сведения N -строчной матрицы $k \times s$ -строчной матрице,

$$L = \log_{r/s} \left(\frac{H}{s} \right)^i \quad /10/$$

Формула /10/ является более общей, чем соответствующая формула в случае "дерева" Уоллеса.

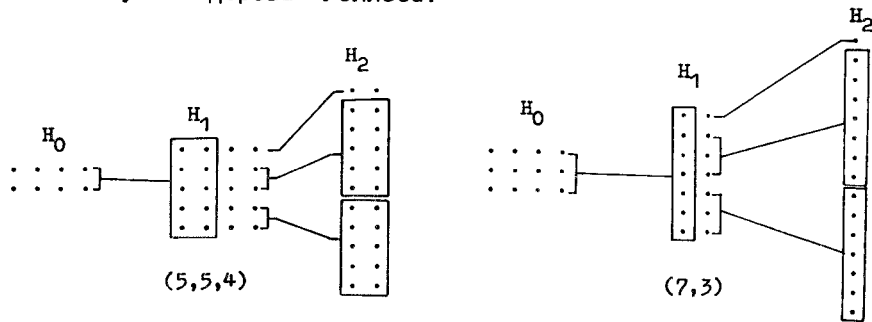


Рис. 6. Нахождение последовательности максимальных высот, сводимых с помощью счетчиков /5,5,4/ и /7,3/ матриц.

Алгоритм сведения. Используя обобщенный счетчик Дадда, авторы работы /16/ прямо применили эвристический алгоритм сведения матрицы с помощью счетчиков /3,2/, предложенный в /10/, и к случаю обобщенных счетчиков.

Обозначим через H и T высоты матрицы до и после текущего уровня сведения соответственно, h_i есть текущая высота i -колонки матрицы. Алгоритм сведения следующий:

- 1/ определить начальные значения H, h_i :
 - а/ если $m = 1$ - по формулам /1/;
 - б/ если $m \geq 2$ - по формулам /2/, /4/;
- 2/ положить T равным наибольшему члену в последовательности сведения, который меньше H , то есть $T = H_\ell$ при ℓ таких, что $H_\ell < H$ и $H_{\ell-1} \geq H$;
- 3/ если $H = 2$, завершить процесс. Если $H > 2$, выполнить шаг 3а для $i = 0, \dots, 2n-1$:
 - а/ при $h_i \leq T$ ничего не предпринимать; при $h_i \geq T$ встроить в той точке счетчик, пересчитать высоту колонок и повторить 3а;
 - б/ пересчет высот колонок выполняется по формулам

$$h_{i+j} = \begin{cases} \max[T, (h_{i+j} - c_j + 1)] & \text{при } j = 0, 1, \dots, k-1, \\ h_{i+j} + 1 & \text{при } j = k, \dots, d-1. \end{cases}$$

4/ положить $H = T$ и T равным следующему члену последовательности сведения /9/:

$$T = s \lfloor \frac{T}{r} \rfloor + (T) \bmod r;$$

5/ перейти к шагу 3.

На рис. 7 показан пример сведения произведения 32-разрядных сомножителей при $m = 4$ и использовании счетчиков /5,5,4/ вместе с /3,2/. Начальная матрица имеет 15 строк, и последовательность сведения суть 6,3,2.

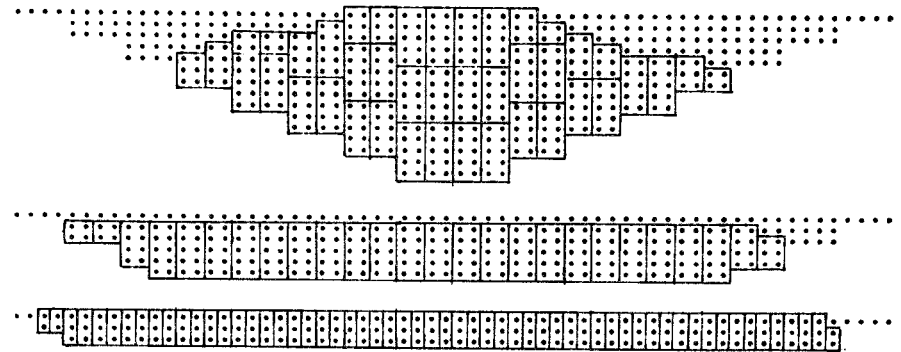


Рис. 7. Сведение матрицы частичных произведений для умножения двух 32-разрядных сомножителей с использованием счетчиков /5,5,4/ вместе с /3,2/.

Метод сокращения числа ячеек счетчиков (c_k, d). Благодаря свойству перестановочности суммирования можно уменьшить число лишних ячеек счетчиков (c_k, d). Например, 2 может представлять собой одну из следующих 5 сумм: $10 = 1+1+0+0=1+0+1+0=1+0+0+1=0+1+1+0=0+0+1+1$. Таким образом, в этом случае можно оставить одну сумму и тем самым сократить /5-1/, то есть 4 лишние ячейки.

В работе /17/ развит метод суммирования на базе программируемой логической матрицы /ПЛМ/. На рис. 8 показан счетчик /7,3/, созданный по этому методу. Задержка схемы состоит из задержек 3 вентиля 4-разрядного дешифратора, вентиля ИЛИ, запоминающей ячейки и выходного вентиля ИЛИ, что приблизительно равно задержке счетчика /7,3/ на базе ПЗУ. В то же время число необходимых ячеек уменьшается до $5 \times 12 = 60$, а при использовании ПЗУ это число равно $2^7 \times 3 = 384$. Таким образом, счетчик /7,3/, представляющий собой модификацию сумматора на основе ПЛМ, дает значительный выигрыш в мощности рассеяния.

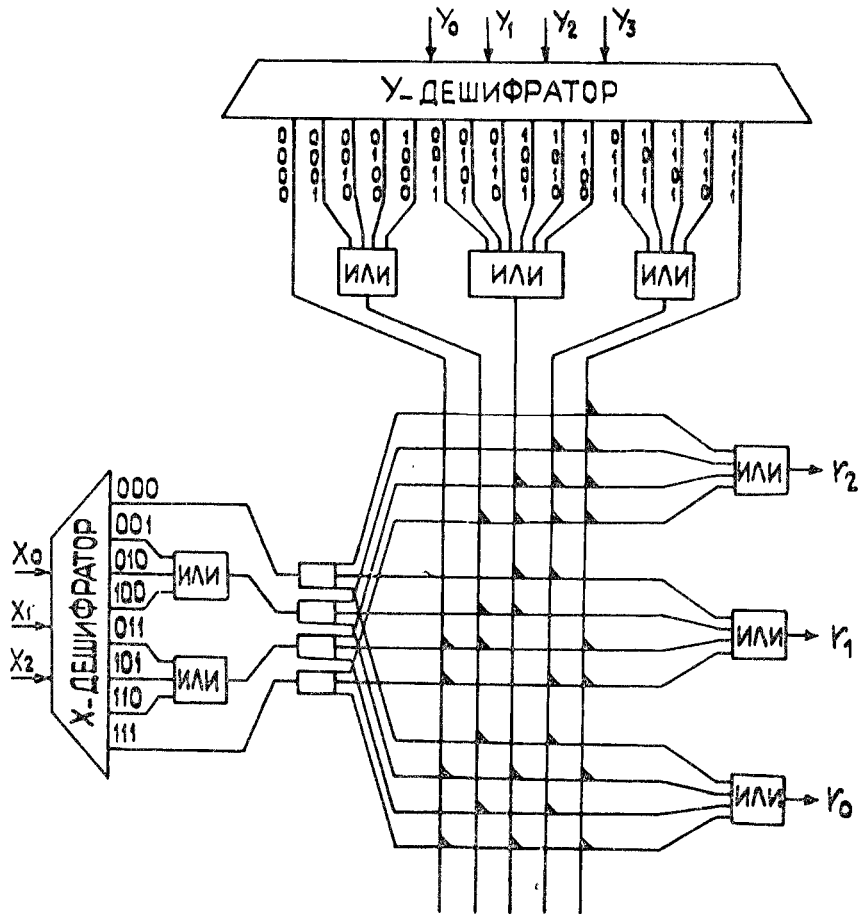


Рис. 8. Счетчик /7,3/, созданный на основе программируемой логической матрицы.

2. ЧЕТВЕРТЬКВАДРАТИЧНЫЙ УМНОЖИТЕЛЬ

Для умножения $p \times m$ при использовании метода табличного поиска на базе ПЗУ необходимое число ячеек памяти равно $2^{(n+m)}$. Необходимость использования такого большого числа ячеек памяти объясняется тем, что одно и то же произведение может запоминаться в разных ячейках. Например, 6 может запоминаться в 4 разных ячейках как 2×3 , 3×2 , 1×6 и 6×1 . Можно значительно сократить количество используемых ячеек памяти при помощи метода аналогового умножения, в частности, способа четвертькватричного умножения:

$$XY = \frac{1}{4} \{ (X+Y)^2 - (X-Y)^2 \} /18,19/ \quad /11/$$

Надо сказать, что существуют и другие варианты аналогового умножения. Так, например,

$$XY = \frac{1}{2} \{ (X+Y)^2 - X^2 - Y^2 \} /20/ \quad /12/$$

или

$$XY = e^{\ln X + \ln Y} /21/$$

В варианте /12/ требуется на один квадрат больше, чем в варианте /11/. Если провести сравнительный анализ по затратам на оборудование, времени и точности вычисления /оценка точности вычислений проводится по среднеквадратичной ошибке σ /, то оказывается, что оптимальным является вариант /11/. На рис. 9 приведена функциональная схема четвертькватричного умножителя /для $X, Y > 0$ и $X \geq Y$ /. Входные аргументы X и Y поступают на два сумматора SM1 и SM2. Для получения суммы $[X+(-Y)]$ необходимо аргумент Y подать на вход сумматора SM2 в дополнительном коде. Поэтому Y сначала поступает на группу входных инверторов и в младший разряд сумматора подается 1. С выходом сумматоров снимаются только старшие $n-1$ разряды - так осуществляется процесс деления сумм $(X+Y)$ и $[X+(-Y)]$ на два. Далее, ПЗУ1 после сумматоров используется для получения $(\frac{X+Y}{2})^2$ и ПЗУ2 дает дополнительный код $(\frac{X-Y}{2})^2$. По сравнению с методом простого табличного поиска метод четвертькватричного умножения дает коэффициент сокращения числа используемых ячеек памяти:

$$C = \frac{N_1}{N_2} = \frac{2^{2n} \times 2n}{2^{n+1} \times 2n + 2^n \times 2(n-1)} = \frac{2^n}{3 - \frac{1}{n}}, \quad /13/$$

где N_1, N_2 - числа используемых ячеек ПЗУ по методам простого табличного поиска и четвертькватричного соответственно. Например, при $n = 8$ метод простого табличного поиска требует ПЗУ емкостью 64×16 разрядов, а метод четвертькватричного умножения требует 512×16 разр. + 256×14 разр. и $C \approx 87$. Для умножения двух чисел в дополнительных кодах требуется еще один раз-

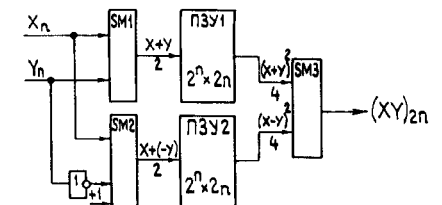


Рис. 9. Функциональная схема четвертькватричного умножителя.

ряд для запоминания знака отрицательных чисел. В этом случае

$$C = \frac{2^{2n} \times 2n}{2 \times 2^{n+1} \times 2n} = 2^{n-2}.$$

Применение четвертьквадратичных умножителей в качестве ЭУ 4x4 в схеме ГСМПЧ тоже дает значительную экономию ячеек памяти. Например, при n=24 требуются 72 ПЗУ емкостью 32x8 вместо 36 ПЗУ емкостью 256x8, то есть в 4 раза меньше, чем в случае, когда используются обычные схемы табличного поиска. Однако ко времени задержки добавляются задержки схемы сложения и схемы получения Y в дополнительном коде.

3. МОНОЛИТНЫЕ УМНОЖИТЕЛИ

Благодаря усовершенствованию алгоритмов и достижениям технологии изготовления БИС в настоящее время созданы монолитные умножители, которые имеют длину слова до 24 бит/23,24/. В табл.3 показаны характеристики некоторых монолитных умножителей.

Быстродействие монолитных умножителей лежит в диапазоне от 30 нс для умножителя 2x4 до 800 нс для умножителей 16x16, а мощности рассеяния - от 200 мВт до 5 Вт соответственно.

Ниже описываются основные особенности некоторых монолитных умножителей. Монолитная схема AMD25S05/8/ является элементарной ячейкой итеративных умножителей. На входы такой схемы подаются сигналы X.Y + K, где K - сигналы от предыдущей схемы. В этих схемах реализован алгоритм Бута. Для построения итеративного умножителя 16x16 бит требуется 32 схемы AMD25S05, в результате задержка умножителя T = 150 нс.

Схема MMI 67558/24/ представляет собой умножитель 8x8 бит, использующий алгоритм Бута. Монолитный умножитель 4x4 типа SN74S274/15/ представляет собой ПЗУ табличного поиска. Сочетание схем "дерева" Уоллеса SN74S275, выполненных на 7-разрядных секциях с умножителями SN74S274, позволяет создать высокоскоростные умножители.

Другой монолитный умножитель 4x4 бит состоит из двух микросхем SN74284 - SN74285/15/, первая из них дает 4 младших разряда произведения, а вторая - его 4 старших разряда. Этот умножитель является ПЗУ табличного поиска.

Фирма TRW выпускает ряд умножителей/22,23/, не имеющих возможности расширения и применяемых специально для цифровой обработки сигналов.

Таблица 3

Особенности монолитных умножителей

	Конфигурация	Число выводов	Время задержки /нс/	Тип	Рассеиваемая мощность /Вт/	Алгоритм
M	MC10287L	1x2	8,5	ЭСЛ	0,400	Итеративная матрица
	MC 10183L	2x4	24	"	0,750	
F/9/	F 100183DC	2x8	2,2	"	0,880	"-
	9344FM	2x4	30,0	ТТЛ	0,550	
AMD/8/	AM 2505DC	2x4	24	"	0,725	"-
	AM 25S05DC	2x4	24	"	0,935	
	AM 25LS14DC	1x8	25,0	"	0,775	
	AM 25LS2516DC	8x8	40	"	2,000	
TT/15/	SN 74LS261N	2x4	42,0	"	0,200	ПЗУ табличного поиска
	SN 74284J	4x4	60,0	"	0,650	
	SN 74285J	4x4	60,0	"	0,650	
	SN 74S274N	4x4	20	"	0,775	
	SN 74S384N	1x8	"	"	"	
MMI/24/	67558	8x8	40	"	0,750	модифицированный алгоритм Бута
	67516	16x16	800,0	"	1,000	
TRW/22/	MPY 8AJ*	8x8	40	"	1,500	И-вентили и сумматоры с ускоренным переносом
	MPY 12AJ*	12x12	64	"	3,800	
	MPY 16AJ*	16x16	64	"	5,000	
	MPY 24HJ	24x24	200,0	"	4,300	
TDC/25/	TDC 1008J	8x8	100,0	"	1,600	-
	TDC 1009J	12x12	135,0	"	3,200	
	TDC 1010J	16x16	155,0	"	4,500	

* В 1980 г. фирма TRW выпускала серию HJ монолитных умножителей, обладающую еще большим быстродействием и меньшими мощностями /например, MPY-16HJ имеет T₃ = 100 нс и P = 3 Вт/.

В заключение авторы выражают благодарность П.К.Маньякову, А.П.Крячко, А.Н.Парфенову за полезные обсуждения и Л.Г.Булаевой за помощь при оформлении рукописи.

ЛИТЕРАТУРА

1. Басиладзе С.Г., Као Дак Хьен. ОИЯИ, 13-82-146, Дубна, 1982.
2. Brennan J.F. IBM Research Reports, 1968, vol.4, No.1.
3. Nichols John L. Electronics, 1967, 12, p.111.
4. Hemel Albert. Electronics, 1970, vol.43, No.10, p.104-111.
5. Majithia J.C., Kitai R. IEEE Trans.Comput., 1971, vol.C-20, p.214-216.
6. Pazaris S.D. IEEE Trans.Comput., 1971, vol.C-20, p.442-447.
7. Agrawal D.P. IEEE Trans.Comput., 1979, vol.C-28, No.4, p.215-224.
8. TTL/MSI AM2505 4-Bit by 2-Bit's Complement Multiplier. Advanced Micro Devices, 901 Thompson Place, Sunnyvale, Calif., Inc., Low Power Schottky Data Book, 1977.
9. TTL/MSI 9344 Binary (4-Bit by 2-Bit) Full Multiplier Fairchild Semiconductors, 313 Fairchild Drive, Mountain View, Calif., June, 1972.
10. Dadda L. Alta Frequenze, 1965, vol.34, No.5, p.349-356.
11. Habibi A., Witz P.A. IEEE Trans.Comput., 1970, vol.C-19, No.2, p.153-157.
12. Meo A.R. IEEE Trans.Comput., 1975, vol.C-24, p.258-280.
13. Wallace C.S. IEEE Trans.Electronics Comp., 1964, vol.EC-13, p.14-17.
14. Gibson J.A., Gibbard R.W. IEEE Trans.Comput., 1975, vol.C-24, p.1020-1027.
15. Texas Instruments, Inc., the TTL Data Book for Design Engineers, Dallas, Tex., 1976.
16. Stenzel W.J., Rubitz W.J., Garcia G.H. IEEE Trans. on Comput., 1977, vol.C-26, No.10, p.948-957.
17. Ho I.T., Tien Chi Chen. IEEE Trans. on Comput., 1973, vol.C-22, p.762-767.
18. Johnson E.L. IEEE Trans. on Comput., 1980, No.3, p.258.
19. Jayashree, Basu D. IEEE Trans. on Comput., 1976, vol.C-25, p.957-960.
20. Logan J.R. A Square-Summing High-Speed Multiplier. Comput. Dec., June 1971, p.67-70.
21. Brubaker T.A., Becher J.C. IEEE Trans. on Computers, 1975, vol.C-24, p.761-765.
22. Catalog, TRW, MPY. Series Multipliers, Redondo Beach, Calif., Oct. 1977.
23. Electronics, Feb.1980, vol.53, No.5, p.70-71.
24. Catalog Monolithic Memories, Inc., 67558 Data Sheet, Sunnyvale, Calif., Aug.1978.
25. DATA Book, Electronic Information Series. Digital Integrated Circuits. 9 Edition: February 1981 through July 1981.

Рукопись поступила в издательский отдел
24 февраля 1982 года.

НЕТ ЛИ ПРОБЕЛОВ В ВАШЕЙ БИБЛИОТЕКЕ?

Вы можете получить по почте перечисленные ниже книги, если они не были заказаны ранее.

D1,2-9224	IV Международный семинар по проблемам физики высоких энергий. Дубна, 1975.	3 р. 60 к.
D-9920	Труды Международной конференции по избранным вопросам структуры ядра. Дубна, 1976.	3 р. 50 к.
D9-10500	Труды II Симпозиума по коллективным методам ускорения. Дубна, 1976.	2 р. 50 к.
D2-10533	Труды X Международной школы молодых ученых по физике высоких энергий. Баку, 1976.	3 р. 50 к.
D13-11182	Труды IX Международного симпозиума по ядерной электронике. Варна, 1977.	5 р. 00 к.
D17-11490	Труды Международного симпозиума по избранным проблемам статистической механики. Дубна, 1977.	6 р. 00 к.
D6-11574	Сборник аннотаций XV совещания по ядерной спектроскопии и теории ядра. Дубна, 1978.	2 р. 50 к.
D3-11787	Труды III Международной школы по нейтронной физике. Алушта, 1978.	3 р. 00 к.
D13-11807	Труды III Международного совещания по пропорциональным и дрейфовым камерам. Дубна, 1978.	6 р. 00 к.
D1,2-12036	Труды VI Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1978 /2 тома/	7 р. 40 к.
D1,2-12450	Труды V Международного семинара по проблемам физики высоких энергий. Дубна, 1978	5 р. 00 к.
D1,2-12450	Труды XII Международной школы молодых ученых по физике высоких энергий. Приморско, НРБ, 1978.	3 р. 00 к.
D11-80-13	Труды VII Всесоюзного совещания по ускорителям заряженных частиц, Дубна, 1980 /2 тома/	8 р. 00 к.
D4-80-271	Труды рабочего совещания по системам и методам аналитических вычислений на ЭВМ и их применению в теоретической физике, Дубна, 1979	3 р. 50 к.
D4-80-385	Труды Международной конференции по проблемам нескольких тел в ядерной физике. Дубна, 1979.	3 р. 00 к.
D2-81-543	Труды Международной школы по структуре ядра. Алушта, 1980.	5 р. 00 к.
D10,11-81-622	Труды VI Международного совещания по проблемам квантовой теории поля. Алушта, 1981	2 р. 50 к.
D10,11-81-622	Труды Международного совещания по проблемам математического моделирования в ядерно-физических исследованиях. Дубна, 1980	2 р. 50 к.

Заказы на упомянутые книги могут быть направлены по адресу:
101000 Москва, Главпочтамт, п/я 79
Издательский отдел Объединенного института ядерных исследований

**ТЕМАТИЧЕСКИЕ КАТЕГОРИИ ПУБЛИКАЦИЙ
ОБЪЕДИНЕННОГО ИНСТИТУТА ЯДЕРНЫХ
ИССЛЕДОВАНИЙ**

Индекс	Тематика
1.	Экспериментальная физика высоких энергий
2.	Теоретическая физика высоких энергий
3.	Экспериментальная нейтронная физика
4.	Теоретическая физика низких энергий
5.	Математика
6.	Ядерная спектроскопия и радиохимия
7.	Физика тяжелых ионов
8.	Криогеника
9.	Ускорители
10.	Автоматизация обработки экспериментальных данных
11.	Вычислительная математика и техника
12.	Химия
13.	Техника физического эксперимента
14.	Исследования твердых тел и жидкостей ядерными методами
15.	Экспериментальная физика ядерных реакций при низких энергиях
16.	Дозиметрия и физика защиты
17.	Теория конденсированного состояния
18.	Использование результатов и методов фундаментальных физических исследований в смежных областях науки и техники
19.	Биофизика

Басиладзе С.Г., Као Дак Хьен
Быстродействующие схемы умножения на основе метода
табличного поиска

13-82-147

Рассмотрены умножители на основе схемы генерации - сведения матриц частичных произведений. Приводится понятие обобщенного счетчика, служащего основой алгоритма сведения. Предлагается способ сокращения необходимого числа ячеек памяти путем использования метода аналогового умножения. Приводятся характеристики монолитных умножителей некоторых зарубежных фирм. Быстродействующие умножители находят широкое применение в спецпроцессорах, используемых в физике высоких энергий, а также в системах цифровой обработки сигналов в реальном времени.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1982

Basiladze S.G., Cao Dac Hien
Fast Multipliers on the Basis of Lookup Table Method

13-82-147

The parallel multiplication schemes of the generation-reduction of a matrix of partial-product terms are considered. The conception of generalized counters used for reduction algorithm is presented. Methods of reducing the number of ROM bits required by using methods of analogic multiplication are described. Some characteristics of monolithic multipliers are also presented. Fast multipliers are widely applied in systems of data preparation for event selection hardware processors in high energy physics experiments, as well as for real-time digital signal processing.

The investigation has been performed at the Laboratory of High Energies, JINR.

Communication of the Joint Institute for Nuclear Research, Dubna 1982

Перевод О.С.Виноградовой.