

сообщения
Объединенного
института
ядерных
исследований
Дубна

2450/82

7/6-82

13-82-146

С.Г.Басиладзе, Као Дак Хьен

БЫСТРОДЕЙСТВУЮЩИЕ СХЕМЫ УМНОЖЕНИЯ
НА ОСНОВЕ СУММАТОРОВ
ЧАСТИЧНЫХ ПРОИЗВЕДЕНИЙ

1982

ВВЕДЕНИЕ

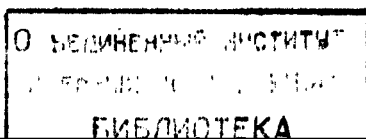
Настоящая работа посвящена рассмотрению способов построения быстродействующих умножителей, играющих важную роль в устройствах цифровой обработки сигналов. Как показывает статистическая обработка большого количества расчетов, 20-30% из общего количества операций приходится на умножение. Поэтому сокращение времени выполнения умножения, даже ценой усложнения логической схемы, позволяет существенно повысить общее быстродействие цифровых устройств. Значительные успехи в создании интегральных схем постоянного запоминающего устройства /ПЗУ/ достаточно большой емкости и со все меньшим и меньшим временем цикла обращения позволяют реализовать математические операции на основе метода табличного поиска. Использование ПЗУ в схемах цифровых устройств привлекательно своим быстродействием, поскольку за один цикл обращения получается нужное решение.

Благодаря таким схемам и быстродействующим аналого-цифровым преобразователям можно производить "цифровую фильтрацию на линии" в экспериментах в физике высоких энергий /1-5/, быстрое преобразование Фурье /БПФ/, а также создавать специализированные устройства цифровой обработки для анализа речевых и радиолокационных сигналов /6-12/ и т.д.

Простейшим способом выполнения умножения является метод "сложения-сдвига". Этот метод последовательного умножения реализуется с помощью сумматора и сдвигового регистра и вполне приемлем для приложений при низких скоростях.

Для достижения высоких скоростей необходимо производить умножение по комбинационному методу, благодаря использованию которого одновременно формируются частичные произведения, а затем они суммируются в одной операции. Значение каждого очередного разряда частичного произведения определяется с помощью операции "И" над очередным битом множимого и одним битом множителя, а сдвиг осуществляется благодаря соответствующему соединению сумматоров, используемых для суммирования частичных произведений.

Комбинационные умножители в общем случае представляют собой сумматоры многих чисел. Быстродействие их зависит от принятой процедуры уменьшения числа частичных произведений и сведения их в конечном итоге к двум слагаемым.



Различают обычно матричные и древовидные схемы построения комбинационных умножителей. При матричном построении требуется $(m-1)$ уровней параллельных n -разрядных сумматоров, где n , m - числа разрядов множимого и множителя соответственно, в этом случае от одного уровня к другому число строк матрицы частичных произведений уменьшается на единицу. При древовидном построении требуется $L \approx \lceil \log_2 m \rceil$ уровней параллельных сумматоров. В этом случае при использовании сумматоров с ускоренным переносом /см. раздел 2/ число строк от уровня к уровню уменьшается на $\sim 1/3$. У матричных комбинационных умножителей при больших значениях m скорости меньше, чем у древовидных, однако они обладают большей степенью регулярности и более удобны для модульно-разрядного секционирования.

1. МАТРИЧНЫЕ УМНОЖИТЕЛИ

В матричных умножителях используют различные способы включения базовых ячеек: горизонтальный перенос, диагональный перенос, суммирование с пропуском строк, использование схем со сквозным переносом. В зависимости от способа включения определяются следующие показатели: число типов базовых ячеек, регулярность связей, быстродействие. Основным типом базовых ячеек матричного умножителя является полный одноразрядный сумматор частичного произведения $X_i \cdot Y_j$ с суммой предшествующих частичных произведений $S_{вх}$ и входным переносом $C_{вх}$. На выходах ячейки формируются новая сумма частичных произведений $S_{вых}$ и перенос $C_{вых}$:

$$S_{вых} = X_i \cdot Y_j \oplus S_{вх} \oplus C_{вх},$$

$$C_{вых} = X_i \cdot Y_j \cdot (S_{вх} + C_{вх}) + S_{вх} \cdot C_{вх}.$$

Быстродействие ячейки есть задержка распространения сигналов через логические вентили /за единицу принята задержка на один вентиль/. Сложность схемы и мощность, рассеиваемая ячейкой, прямо определяются общим количеством вентилях. Обычно задержка переноса $\tau_c = 2$, задержка суммы $\tau_s = 4$, а их отношение $\tau_c / \tau_s = 1/2$. Каждая ячейка содержит 10 вентилях.

Умножители с горизонтальным переносом. На рис.1 показан пример построения схемы умножителя с горизонтальным переносом для двух 6-разрядных X и 5-разрядных Y чисел. Для этой схемы

* $[D]$ - наименьшее целое число, большее или равное D .

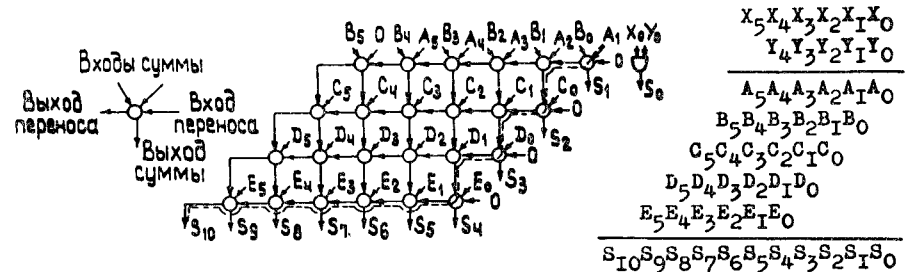


Рис.1. Схема умножения с горизонтальным переносом.

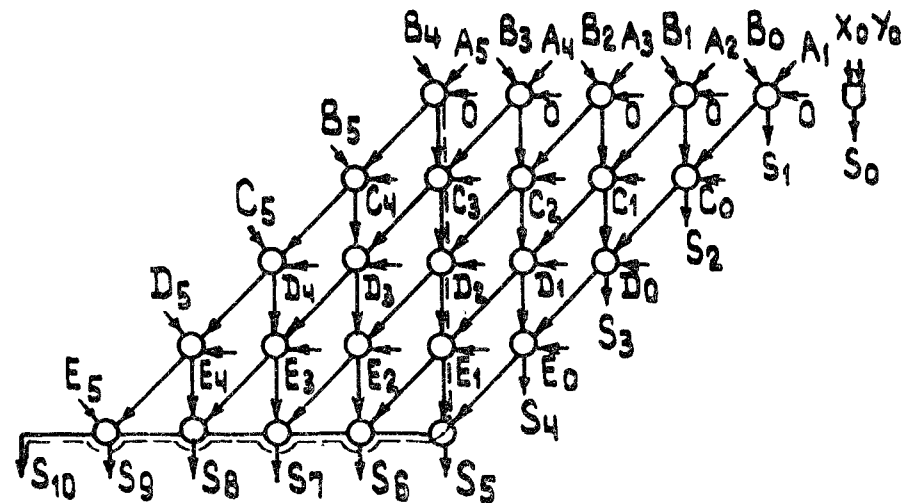


Рис.2. Схема умножения с диагональным переносом.

скорость умножения определяется задержкой самой длинной линии распространения сигналов /пунктирная линия на рис.1/. Эта цепочка состоит из $(m-1)$ схем суммирования и $[n+(m-2)]$ схем переноса; еще одна вентиляная задержка связана с формированием частичных произведений. Общее число задержек составляет

$$T_{n \times m} = (m-1)\tau_s + [n+(m-2)]\tau_c + 1. \quad /1a/$$

В общем количество вентилях входят $n \times m$ вентилях И, используемых для формирования частичных произведений, и $n \times (m-1)$ базовых ячеек. Таким образом, общее количество вентилях умножителя с горизонтальным переносом

$$N_{n \times m} = n \times m + n \times (m-1) \times 10. \quad /16/$$

Умножители с диагональным переносом. На рис.2 приведен пример схемы умножителя с диагональным переносом, который требует особых соединений для нижней строки сумматоров. Как показано на этом рисунке, он позволяет повысить быстродействие при формировании окончательного произведения. Длительность формирования произведения /при $\tau_s > \tau_c$ / в схеме с диагональным переносом равна

$$T_{n \times m} = (n-1)(\tau_c + \tau_s) + 1. \quad /2a/$$

Общее количество вентилях этого умножителя составляет

$$N_{n \times m} = n \times m + (n-1) \times m \times 10. \quad /2б/$$

Суммирование с пропуском строк позволяет выравнивать задержки распространения переноса и суммирования в схеме с диагональным переносом и добиться лучшего быстродействия умножителя. Однако в этой схеме структура менее регулярна и зависит от разрядности операндов, а также отношения задержек формирования суммы и переноса τ_s / τ_c в базовой ячейке умножителя. На рис.3 представлена схема умножения для отношения задержек, равного 2. В этой схеме полное произведение формируется в полтора раза быстрее /при $\tau_s = 4, \tau_c = 2$ /, чем в предыдущей:

$$T_{n \times m} = (n-1)(\tau_c + \tau_s / \tau_c) + 1. \quad /3/$$

Выполнение операции умножения значительно замедляется из-за задержек распространения сигналов переноса через сумматоры нижней строки. Для уменьшения этих задержек часто применяется способ сквозного переноса. Последний требует сумматоров соответствующего типа на нижней строке. Как видно из рис.4, общая задержка наиболее длинного пути распространения /пунктирная линия/ складывается из следующих составляющих: одной вентиляной задержки формирования частичных произведений, задержки $(m-2)$ сумматоров /по четыре вентиляные задержки в каждом/ и задержки каскадов со сквозным переносом $2(2 \lceil \log_4 n \rceil + 1)^{13/}$. Таким образом, общая задержка этого умножителя равна

$$T_{n \times m} = (m-2)\tau_s + 2(2 \lceil \log_4 n \rceil + 1) + 1. \quad /4а/$$

Количество вентилях определяется по формуле

$$N_{n \times m} = n \times m + n(m-2) \times 10 + \lceil n/4 \rceil \times 30. \quad /4б/$$

Здесь $n(m-2)$ - количество базовых ячеек; $\lceil n/4 \rceil$ - число сумматоров со сквозным переносом, по 30 вентилях в каждом.

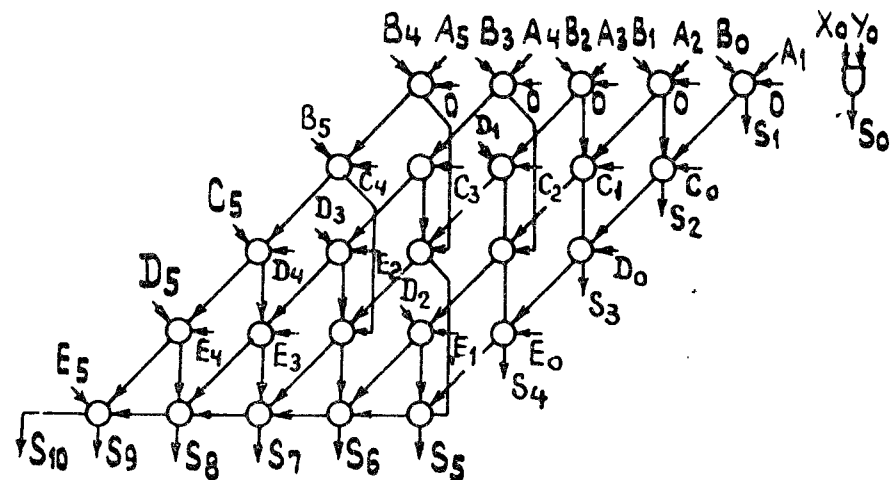


Рис.3. Схема умножения с суммированием с пропуском строк.

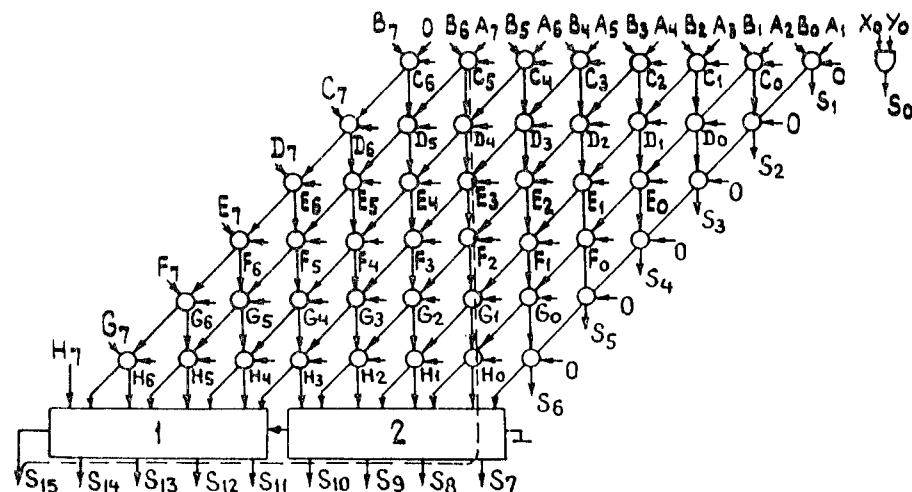


Рис.4. Схема умножения со сквозным переносом.

2. ДРЕВОВИДНЫЕ УМНОЖИТЕЛИ

Быстродействие умножителя можно повысить путем использования "дерева" Уоллеса^{14/} (Wallace's tree). Матрица частичных произведений содержит столбцы, в каждом из которых находятся

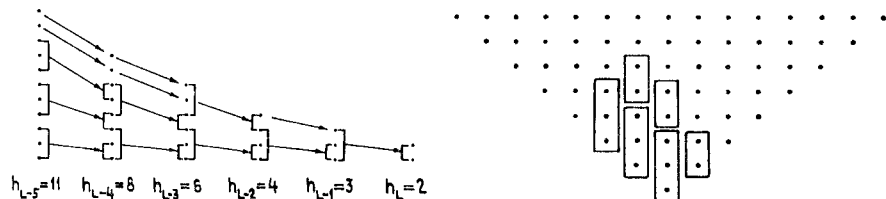


Рис.5. Последовательность максимальных высот, сводимых с помощью сумматора с ускоренным переносом.

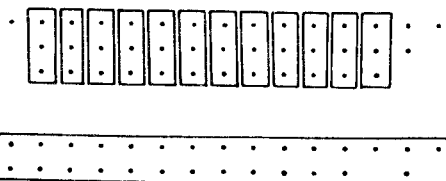
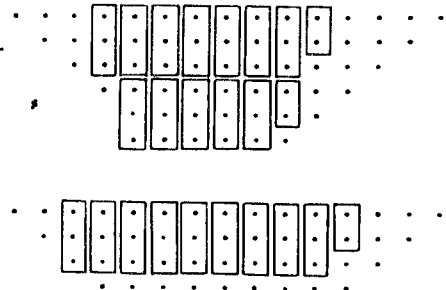


Рис.6. Сведение матрицы частичных произведений для умножения 8x8 на основе метода "деревя" Уоллеса.

слагаемые одного веса /разряда/. Максимальная высота столбца составляет m бит. Столбец разделяется на группы по три бита, которые суммируются с помощью сумматора с ускоренным переносом. В результате получается 2-разрядная сумма, после чего столбец имеет высоту $\lceil 2/3m \rceil$. Новый столбец снова разделяется на группы из трех бит, и процесс продолжается до тех пор, пока высота матрицы не понизится до двух. Обозначим последний уровень через L , при этом матрица имеет высоту $h_L = 2$. Находим высоту матрицы, соответствующую предыдущему $(L-1)$ уровню: $h_{L-1} = 3$. Из $h_{L-1} = 3$ снова находим $h_{L-2} = 4$ и т.д. /см. рис.5, где каждый бит представлен точкой/. Следовательно, высота $(\ell-1)$ -уровневой матрицы / ℓ - текущий уровень/ равна

$$h_{\ell-1} = \lfloor h_{\ell} / 2 \rfloor 3 + h_{\ell} \text{ mod}(2). \quad /5/$$

На уровне ℓ высота сводимой матрицы, зависящая от числа m разрядов множителя, есть $(2/3)^{\ell} m$. Последний L -уровень определяется условием $(2/3)^L m = 2$ или

$$L = \lceil \log_{3/2} m/2 \rceil = \lceil \lg(m/2) / \lg 3/2 \rceil. \quad /6/$$

На рис.6 /каждое слагаемое представлено точкой/ дано сведение матрицы частичных произведений для умножения 8x8 на основе метода "деревя" Уоллеса. Здесь нужно только $L = 4$ уровня сумматоров для сведения высоты матрицы частичных произведений к двум строкам /по сравнению с 6-уровнями на рис.4/. В общем случае задержка распространения схемы древовидного множителя складывается из следующих составляющих: одной вентиляной задержки формирования частичных произведений, задержки L сумматоров с ускоренным переносом /по четыре вентиляные задержки в каждом/, задержки каскадов с ускоренным переносом - итогов:

$$T_{n \times n} = \lceil \log_{3/2} (m/2) \rceil 4 + 2(2 \lceil \log_4 2n \rceil + 1) + 1. \quad /7a/$$

При равенстве числа разрядов множимого и множителя $m=n$ для сведения высоты матрицы к двум строкам требуется количество сумматоров с ускоренным переносом, равное

$$N_{\text{свед.}} = \lfloor n/3 \rfloor (\lfloor n/3 \rfloor + 1) + \sum_{\ell=1}^L \lfloor h_{\ell} / 3 \rfloor [2(n-h_{\ell}) + \lfloor h_{\ell} / 3 \rfloor + 1].$$

Таким образом, общее число вентиля определяется по формуле

$$N = n^2 + N_{\text{свед.}} \times 10 + \lfloor 2n/4 \rfloor \times 30. \quad /7b/$$

3. МОДИФИЦИРОВАННЫЙ АЛГОРИТМ БУТА

Существует еще один способ повышения скорости умножения - модифицированный алгоритм Бута ^{/15/} /МАН/, впервые примененный в "системе 360" фирмы IBM. По существу, алгоритм Бута позволяет при выполнении операции умножения "перескакивать" через любую цепочку сплошных смежных единиц или нулей множителя вместо того, чтобы формировать частичное произведение для каждого бита. Перескакивание через цепочку нулей не вызывает затруднений, а при перескакивании через цепочку единиц используется следующее свойство двоичных чисел: значение цепочки единиц может быть вычислено путем вычитания веса самой правой единицы из модуля /модуль n -битового слова есть 2^n , а вес любого n -го бита есть 2^{n-1} , если считать справа налево/. Например, значение двоичного числа 11100 можно вычислить как $2^5 - 2^2 = 28$. При аппаратной реализации этого алгоритма каждый множитель разбивается на подцепочки по 3 бита, причем соседние группы имеют один общий бит /см. рис.7/.

* $\lfloor D \rfloor$ - наибольшее целое число, меньше или равное D .

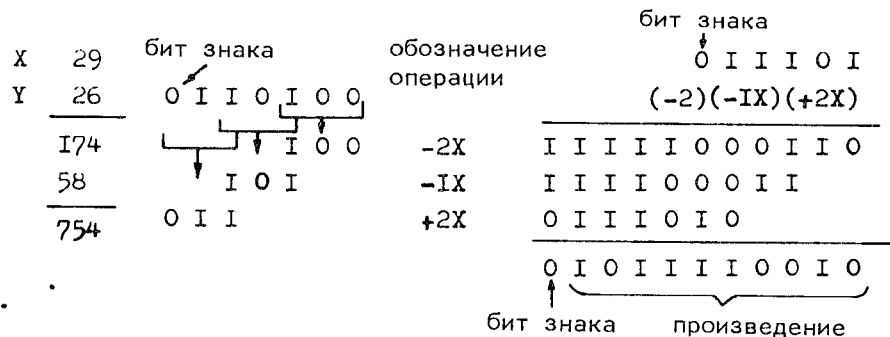


Рис.7. Пример реализации умножения на основе алгоритма Бута.

Таким образом, МАБ - это схема умножения, которая предусматривает постоянный сдвиг на два бита за такт /при одновременном анализе трех битов множителя/ и образует $(n+2)/2$ частичных произведений вместо n . Все возможные комбинации трех анализируемых битов множителя, как показывает табл.1, образуют команды, предотвращающие ненужные вычисления для нулевых частичных произведений.

Таблица 1

| 2^{i+1} Y_{i+1} | 2^i Y_i | 2^{i-1} Y_{i-1} | Обозначение операции | Операция |
|------------------------|----------------|------------------------|----------------------|----------------------------------|
| 0 | 0 | 0 | 0 | Прибавление нуля |
| 0 | 0 | 1 | +1X | Прибавление множимого |
| 0 | 1 | 0 | +1X | - " - |
| 0 | 1 | 1 | +2X | Прибавление удвоенного множимого |
| 1 | 0 | 0 | -2X | Вычитание удвоенного множимого |
| 1 | 0 | 1 | -1X | Вычитание множимого |
| 1 | 1 | 0 | -1X | - " - |
| 1 | 1 | 1 | 0 | Вычитание нуля |

Недостаток такого модифицированного алгоритма, как видно из таблицы, состоит в том, что он требует вычитания. Операция вычитания реализуется путем прибавления кода дополнения до 2. Табл.1 показывает, что всегда можно прибавлять бит Y_{i+1} к младшему разряду частичного произведения. Если бит $Y_{i+1}=0$, никакое-

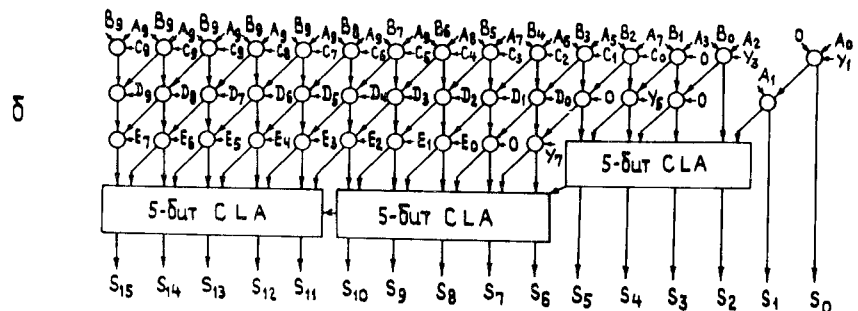
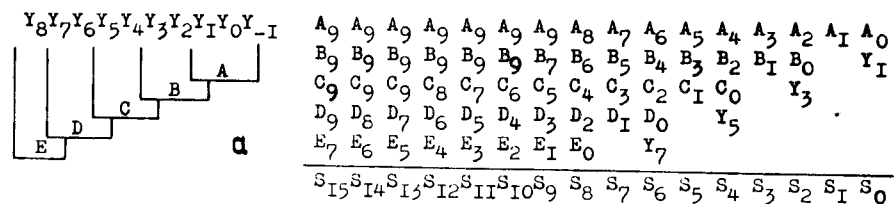


Рис.8. Схема умножения на основе модифицированного алгоритма Бута.

го вычитания не требуется и прибавление нуля ничего не меняет. С другой стороны, если бит $Y_{i+1}=1$, то формирование нужного дополнительного двоичного кода обеспечивается путем прибавления этой единицы к младшему разряду. Естественно, что код дополнения до 2 требует добавления знаковых битов A_9, B_9, \dots /см. рис.8а/ до полной длины конечного результата.

Схема МАБ приведена на рис.8б. Общая задержка состоит из задержек двух вентилях дешифратора 3-разрядной команды множителя, задержки двух вентилях для выбора X или $2X$, задержки $[(m+2)/2]-3$ сумматоров с ускоренным переносом и задержки $[(n+m)/4]$ сумматоров со сквозным переносом, что дает в сумме

$$T_{n \times m} = 4 + \{[(m+2)/2] - 3\}4 + [(n+m)/4] \times 3. \quad /8/$$

При $n=m=8$ $T_{8 \times 8} = 22$. Схема /рис.8б/ состоит из 5 дешифраторов, 32 мультимплексов, 40 сумматоров с ускоренным переносом (CSA) и 3 сумматоров со сквозным переносом (CLA), то есть общее количество вентилях $N_{8 \times 8} = /5 \times 5 + /32 \times 5 + /40 \times 10 + /3 \times 30 = 675$.

Быстродействие и число вентилях умножителей, реализованных по разным алгоритмам

| Варианты | 4x4 | | 8x8 | | 12x12 | | 16x16 | | 24x24 | | 32x32 | |
|----------|----------------|-----|----------------|-----|----------------|------|----------------|------|----------------|------|----------------|-------|
| | T _э | N | T _э | N | T _э | N | T _э | N | T _э | N | T _э | N |
| 1 | 25 | 136 | 57 | 624 | 89 | 1464 | 121 | 2656 | 185 | 6096 | 249 | 10944 |
| 2 | 19 | 139 | 43 | 624 | 67 | 1464 | 91 | 2656 | 139 | 6096 | 187 | 10944 |
| 3 | 13 | 136 | 29 | 624 | 45 | 1464 | 61 | 2656 | 93 | 6096 | 125 | 10944 |
| 4 | 15 | 126 | 33 | 604 | 51 | 1434 | 67 | 2616 | 103 | 6036 | 135 | 10864 |
| 5 | 17 | 136 | 27 | 604 | 35 | 1424 | 39 | 2596 | 43 | 6116 | 43 | 11064 |
| 6 | 12 | - | 22 | 675 | 34 | - | 42 | - | 58 | - | 74 | - |

Умножители:

- 1 - с горизонтальным переносом;
- 2 - с диагональным переносом;
- 3 - с суммированием с пропуском строк;
- 4 - со сквозным переносом;
- 5 - на основе "дерева" Уоллеса;
- 6 - на основе модифицированного алгоритма Бута.

ВЫВОДЫ

В табл.2 приведены сравнительные данные по быстродействию, а также количеству вентилях в умножителях чисел различной разрядности, реализованных по описанным выше алгоритмам.

Кроме схемы МАБ, все схемы используют одну и ту же процедуру генерирования слагаемых. Время, требуемое для этой процедуры, равно задержке распространения сигналов через один логический вентиль "И". Для перемножения двух n -разрядных чисел в данной процедуре требуется n^2 вентилях "И". В схеме МАБ число строк слагаемых уменьшается до $(n+2/2)$. Однако для генерирования требуется время, равное задержке четырех вентилях.

Основное различие между рассматриваемыми схемами заключается в процессе уменьшения числа слагаемых матрицы, продолжительность которого пропорциональна числу уровней, необходимых для снижения количества строк до двух. Длительность операции уменьшения на каждом уровне соответствует единичной задержке распространения сигнала через полный сумматор. В первом приближении для схема Уоллеса /вариант 5 в табл.2/ число уровней возрастает примерно пропорционально логарифму n /см. форм./6//. В умножителе с ускоренным переносом - вариант 4 в табл.2, а также в умножителях по вариантам 1,2,3 /см. табл.2/ число уровней равняется $(n-1)$. Затраты времени на сложение двух последних чисел в умножителе Уоллеса такие же, как и в умножителе со сквозным переносом /вариант 4 в табл.2/ и равняется $2(2\log_2 n+1)$. Таким образом, по быстродействию схема Уоллеса имеет преимущество перед схемами, соответствующими вариантам 1,2,3,4, особенно когда имеется большое число разрядов. В то же время разница в числе вентилях во всех этих схемах незначительна. При $n \leq 12$ схема МАБ более быстрая, чем схема Уоллеса, но она состоит из большого числа вентилях.

В заключение авторы выражают благодарность П.К.Маньякову, А.П.Крячко, А.Н.Парфенову за полезные обсуждения и Л.Г.Булаевой за помощь при оформлении рукописи.

ЛИТЕРАТУРА

1. Verkerk C. Proc. of the 1978 CERN School of Computing. Jadwisin, Poland, 28 May - 10 June 1978, p.65-87.
2. Verkerk C. Special Purpose Processors for High Energy Physics Applications. The IX-th Int. Symp. on Nucl. Electronics. Varna, May, 1977.
3. Гузик З., Басиладзе С.Г. ОИЯИ, P13-6917, Дубна, 1973.
4. Басиладзе С.Г., Парфенов А.Н., Пиляр А.В. ОИЯИ, P13-12453, Дубна, 1979.

5. Басиладзе С.Г., Парфенов А.Н. ОИЯИ, P13-12828, Дубна, 1979.
6. De Mori F., Rivoria S., Serra A. IEEE Trans.Comput., 1975, vol.C-24, No.12, p.1202-1216.
7. Waser Sh., Peterson A. Electronics, 1977, vol.50, No.20, p.93-99.
8. Mick J.R., Springer J. Electronics, 1976, vol.49, No.10, p.103-108.
9. Schirm V.L. Electronics, 1979, vol.52, No.26, p.109-115.
10. Gold B., Bially T. IEEE Trans. on Audio and Electroacoustics, Feb.1973, AU-21, No.1, p.5-16.
11. Schafer R.W., Rabiner L.R. IEEE Trans. on Audio and Electroacoustics, June 1973, AU-21, p.165-174.
12. Muehe C.E. et al. Proc. IEEE, 1974, 62, No.6, p.716-723.
13. Atkins D.E., Shau Chi Ong. IEEE Trans. on Comput., 1979, vol. C-28, No.12, p.918-926.
14. Wallace C.S. IEEE Trans. Electronic Computers, 1964, vol.EC-13, p.14-17.
15. Rubingfield L.P. IEEE Trans. Comput., 1975, vol.C-24, p.1014-1015.

Рукопись поступила в издательский отдел
24 февраля 1982 года.

Басиладзе С.Г., Као Дак Хьен 13-82-146
Быстродействующие схемы умножения на основе сумматоров
частичных произведений

Рассмотрены схемы матричных умножителей, древовидных умножителей, а также схемы умножения, созданные на основе модифицированного алгоритма Бута. Предложены формулы для определения времени выполнения операции умножения, необходимого числа вентиля /то есть общей рассеиваемой мощности/ с учетом задержки и мощности рассеивания одного вентиля и сделаны количественные оценки указанных характеристик умножителей для этих схем. Быстродействующие умножители находят широкое применение в системах цифровой обработки сигналов в реальном времени, а также в спецпроцессорах, используемых в физике высоких энергий.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1982

Basiladze S.G., Cao Dac Hien 13-82-146
Fast Multipliers on The Basis of Adders for Partial Products

Schemes of the matrix multipliers, multipliers on the basis of Wallace's tree and multipliers using modified Booth's algorithm are considered. The expressions for determining speed of multiplication (gate delays) and power dissipation (total gate count) are suggested. The quantity comparison characteristics of indicated multipliers are also given. The fast multipliers are widely applied for real-time digital signal processing and in systems of data preparation for event selection hardware processors in high energy physic experiments.

The investigation has been performed at the Laboratory of High Energies, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1982

Перевод О.С.Виноградовой.