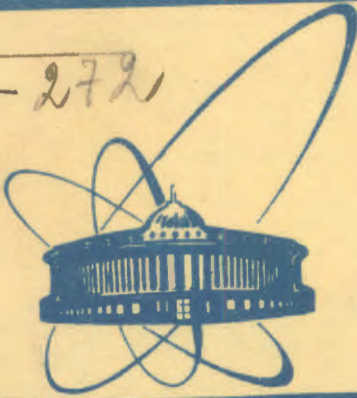


Б-272



сообщения
объединенного
института
ядерных
исследований
дубна

3638/2-81

20/11-81

13-81-328

С.Г.Басиладзе

**FASTBUS - СТАНДАРТ
ДЛЯ ПОСТРОЕНИЯ БЫСТРОДЕЙСТВУЮЩЕЙ
ЭЛЕКТРОННОЙ АППАРАТУРЫ
IV ПОКОЛЕНИЯ
(Обзор)**

1981

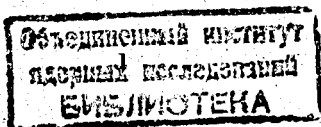
В развитии электронных средств обеспечения ядерно-физических экспериментов можно проследить смену трех поколений аппаратуры. Первым поколением были приборы ядерной физики на электронных лампах, вторым - модульная транзисторная аппаратура в стандарте NIM, а третьим - аппаратура на интегральных схемах (ИС) малой и средней степени интеграции в стандарте КАМАК. Характерными тенденциями развития современных ядерно-физических установок, особенно в физике высоких энергий, являются:

- 1) резкий рост потоков исходных данных от детекторов ядерных частиц, сопровождаемый возрастанием количества регистрирующей аппаратуры;
- 2) стремление значительно повысить быстродействие и объем производимой обработки данных в реальном времени эксперимента (в он-лайн аппаратуре) с целью более эффективной селекции искомых взаимодействий и контроля за ходом проведения эксперимента;
- 3) создание автономных тестовых и управляющих систем для крупных узлов и экспериментальных установок в целом.

Решение этих задач требует развития техники быстродействующих иерархических систем сбора и обработки данных с распределенной вычислительной мощностью (распределенной интеллигентностью). Элементарной базой подобной аппаратуры являются большие интегральные схемы. Стандарт FASTBUS призван, со своей стороны, служить структурно-логической и конструкционной основой совместимой, высокопроизводительной ядерно-физической аппаратуры IV поколения.

Стандарт FASTBUS разрабатывался в течение 1977+80 гг. /I+9/ специалистами по аппаратуре в физике высоких энергий, объединенными в группу Fast System Design Group при комитете NIM /1/, при участии ряда специалистов ЦЕРН. При разработке этого стандарта были поставлены следующие цели:

1. Максимально возможное быстродействие, по крайней мере на порядок большее, чем в стандарте КАМАК.
2. Возможность широкого варьирования скорости обмена данными для обеспечения подключения как быстрых, так и медленных внешних приборов.



3. Приспособленность структуры к быстрому поиску случайно распределенных данных в больших наборах детекторов.
4. Удобство построения специализированных процессорных систем фильтрации фоновых событий, для понижения частоты запусков устройств долговременной памяти центрального процессора установки.
5. Сегментация магистрали, обеспечивающая параллельную обработку данных на уровне подсистемы.
6. Выработка протокола обмена данными, базирующегося на возможностях больших ИС, допускающего мультипроцессорный режим работы в сегменте, с большим разнообразием логики обмена между подсистемами различных уровней, чем в стандарте КАМАК.
7. Большое адресуемое поле памяти - 32 бит, соответствующее тенденции развития современных мини-ЭВМ и обеспечивающее применимость быстросействующих табличных методов обработки данных.
8. Логическая адресация, т.е. независимость идентификатора модуля от его положения в сегменте.
9. Модульность конструкции, дающая широко известные преимущества в темпах создания, снижении стоимости, ремонтпригодности, последовательном совершенствовании и повторном использовании аппаратуры.
10. Наличие специальных мер для обнаружения ошибок (диагностики).

Разработчики исходили из того, что повышение степени (ужесточение) стандартизации понижает гибкость и широту охвата возможного спектра экспериментальных установок, повышает избыточность оборудования, ухудшает приспособленность к будущему прогрессу в технологии ИС.

С учетом изложенного выше были стандартизованы:

- 1) протокол обмена данными внутри и между сегментами;
- 2) разъемы и уровни логических сигналов в сегменте;
- 3) элементы механической конструкции модулей и крейта;
- 4) уровни и мощности источников питания;
- 5) аппаратные и программные средства для
 - а) межпроцессорной связи,
 - б) инициализации,
 - в) диагностики.

Основные определения

Сегмент - элемент, к которому подсоединяются модули; является основной структурной единицей стандарта FASTBUS. Сегментом обычно служит магистраль крейта (с разъемами). В роли сегмента выступает также кабель, соединяющий крейты; к нему могут подсоединяться приборы, работающие в соответствии с протоколом FASTBUS. К сегменту подключаются следующие основные типы модулей.

Ведущий модуль (Master- M) - модуль, которому принадлежит инициатива в процессе обмена данными. Ведущим модулем является обычно программно-активный, управляющий блок (контроллер).

Ведомый модуль (Slave - S) - модуль, с которым происходит обмен данными по командам ведущего модуля. Ведомыми модулями являются пассивные блоки (преобразователи информации, накопители и т.п.); в роли ведомого может выступать и управляющий блок, если обращение к нему производится со стороны другого управляющего блока.

Модуль связи (Segment Interconnect - SI) - модуль, через который осуществляется связь между сегментами в соответствии с протоколом FASTBUS . Часть модуля связи, обращенная к ведущему модулю, названа ближней стороной (near-side); она имеет логику ведомого модуля. Другая часть, обращенная к сегменту, где находится ведомый модуль, названа дальней стороной (far-side); она имеет логику ведущего модуля.

Буферный модуль связи (Buffer Interconnect - BI -) - модуль, осуществляющий связь между сегментами, не синхронизуя их работы. Согласно ^{5/}, им также может являться модуль, осуществляющий связь (интерфейс) с прибором, который не может сам непосредственно работать по протоколу FASTBUS .

Интерфейс центрального процессора (Processor Interface - PI) - буферный модуль центрального (Host) процессора.

На рис. 1 приведены графические изображения вышеперечисленных модулей и показан вариант топологии системы в стандарте FASTBUS .

Шины и сигналы магистрали. Магистраль сегмента содержит 63 сквозных сигнальных шины. Перечень их и функциональное назначение приведены в табл. 1. Все шины являются двунаправленными, т.е. передача сигналов возможна между любыми модулями в сегменте. В целях экономии шины адресов и данных объединены, поэтому циклы передач адресов и данных разделены во времени.

Ради достижения наибольшего быстродействия сигналы на магистраль выводятся в уровнях эмиттерно-связанной логики (ЭСЛ). Сами шины выполнены в виде полосковых печатных линий и согласуются на концах сопротивлениями ~ 100 Ом, подключенными к источнику питания - 2 В. Благодаря этому время цикла на магистрали составляет менее 100 нс*.

Следует отметить так называемые GA - и T-выводы, отличающиеся способом разводки. На каждом разъеме магистрали имеется одиночный T-вывод. Он подсоединяется в порядке очередности местоположения разъемов к одной из AD - шин. В результате каждый модуль имеет возмож-

* Типичной величиной является ~ 50 нс.

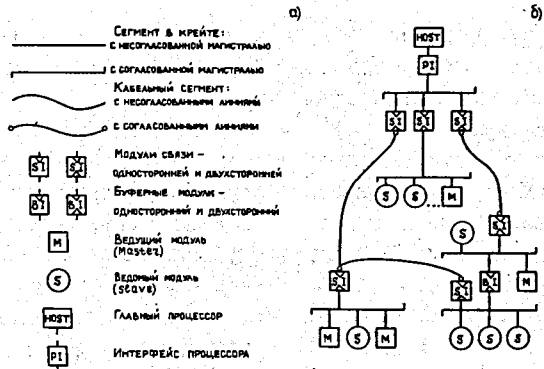


Рис. 1. Основные типы модулей - а), пример конфигурации системы - б) в стандарте FASTBUS.

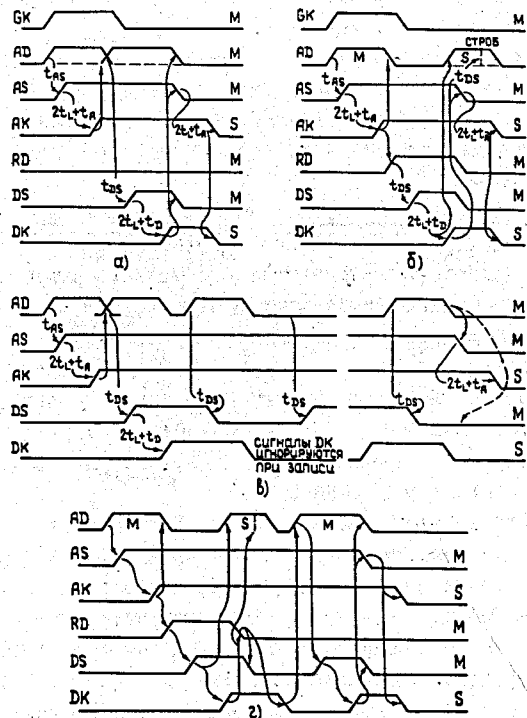


Рис. 2. Временные диаграммы (со стороны ведущего модуля) единичных операций записи - а) и чтения - б); блочной передачи данных по сигналам синхронизации - в); смешанной операции типа "чтение-модификация-запись" - г).

ность радиальной связи со всеми модулями сегмента. Роль T-выводов аналогична назначению L шин в крейте КАМАК, с их помощью производится поиск данных. На выводы GA постоянно подается код географического адреса модуля (запаивается индивидуально на каждый разъем).

- Протокол обмена данными предусматривает использование 59 шин (см. табл. I). Сигналы на этих шинах принадлежат 3 категориям:
- 1) синхронизирующие - переход между логическими уровнями служит строб-сигналом; различаются переходы
 - а) (u) - up, из нулевого в единичное логическое состояние,
 - б) (d) - down, из единичного в нулевое,
 - в) (t) - любая смена логических состояний,
 - 2) управляющие - потенциал (логический уровень) является условием выполнения той или иной операции;
 - 3) информационные - информацию несет уровень сигнала (потенциал) в момент перепада синхронизирующего сигнала.

Протокол обмена

Операция FASTBUS состоит из адресного цикла, одного или нескольких циклов передачи данных и завершающей последовательности сигналов.

Установление связи между модулями. Установление связи между ведущим и ведомым модулем (адресный цикл) всегда происходит по способу "запрос-ответ" путем послышки адресного кода по шинам AD, сигнала стробирования адреса AS(u) и получения ответа о распознавании адреса АК(u) - см., например, рис. 2а. Сигналы AS и АК остаются на магистрали до конца операции и запрещают использование ее другими модулями. Обмен данными между модулями, расположенными в разных сегментах, осуществляется через модуль связи. При появлении кода адреса на адресных шинах сегмента модуль связи обращается к находящейся в нем маршрутной таблице (Route Table) адресов сегментов, с которыми он может установить связь. Данная таблица записывается в S1 в процессе инициализации. Если адрес содержится в таблице, то модуль связи выставляет его код на регистре дальней стороны и выдает сигнал AS(u). Пройдя по цепочке модулей связи, код адреса достигает ведомого блока, который выдает сигнал распознавания адреса АК(u). По получении его ведущим модулем связь является установленной. Принятая схема не содержит ограничений на структуру связей между сегментами, в частности, могут быть организованы радиальная, кольцевая или древовидная структуры. Если между двумя удаленными сегментами часто устанавливается связь, причем она мешает работе промежуточных сегментов, через которые она осуществляется, то между ними

Табл. I. Перечень и функциональное назначение шин магистрали в крейте FASTBUS.

| Мнемоническое обозначение | Назначение шин | Категория | Количество | Примечания |
|---------------------------|---|-----------|------------|--|
| AS | Синхронизация адреса (Address Synch.) | C/U | 1 | Для адресации и сообщения статуса соединения |
| AK | Адрес принят (Address Acknowledge) | C/U | 1 | |
| WT | Ожидание (Wait) | I/U | 1 | |
| EG | Географическая адресация (Enable Geographical) | У | 1 | |
| AD | Адрес/Данные (Address/Data) | И | 32 | Для данных и управления передачей |
| EK | Цепь занята (Busy Acknowledge) | И | 1 | |
| CB | Управление/Блочная передача (Control/Block) | У | 1 | |
| NH | Передача не в режиме запрос-ответ (No Handshake) | У | 1 | |
| NK | Обращение не принято (Negative Acknowledge) | У | 1 | |
| PA | Бит четности (Parity) | И | 1 | |
| PE | Режим контроля по четности (Parity Enable) | I/U | 1 | |
| RD | Режим чтения (Read) | У | 1 | |
| DS | Синхронизация данных (Data Synch.) | С | 1 | |
| DK | Данные приняты (Data Acknowledge) | С | 1 | |
| AG | Сигнал процесса установления приоритета (Arbitration Grant) | С | 1 | |
| AL | Вектор (двоичный код) приоритета (Arbitration Vector) | И | 6 | Для установления приоритета |
| AR | Запрос на установление приоритета (Arbitration Request) | У | 1 | |
| GK | Приоритет установлен (Grant Acknowledge) | С | 1 | |
| VV | Действительное значение вектора приоритета (Valid Vector) | И | 1 | |
| RB | Сброс магистрали (Bus Reset) | У | 1 | |
| SR | Запрос на обслуживание (Service Request) | И | 1 | |
| SL | Последовательная линия (Serial Line) | I/U | 1 | Для диагностики |
| SLR | Возвратная последовательная линия (Serial Line Return) | | 1 | |

59 шин

можно включить кабельный сегмент, через который поток данных будет обходить промежуточные сегменты. Такое подключение не потребует никаких изменений адресов, необходимо только внести изменения в маршрутные таблицы модулей связи соединяемых сегментов.

Виды операций. В цикле данных может передаваться информация о данных, о состоянии управляющих и статусных регистров, либо расширенный адрес. Возможны следующие типы передач.

1. Нулевая - не содержит цикла данных; может использоваться для тестов и подготовки аппаратуры.

2. Единичная - в процессе которой передается одно слово данных. Направление передачи данных - чтение или запись (по отношению к ведущему блоку) задается управляющим сигналом (RD = I - чтение данных ведущим блоком). По окончании адресного цикла ведущий блок выставляет на шинах AD слово данных, либо на шине RD сигнал чтения (в зависимости от направления передачи - см., соответственно, рис. 2а и рис. 2б). Затем он генерирует сигнал стробирования данных DS(u) и ожидает получения сигнала ответа DK(u), свидетельствующего об окончании цикла передачи данных. Завершающая последовательность операции заканчивается сигналом AK(d).

3. Блочная передача, в процессе которой после одного адресного цикла передается массив слов. Статус передачи выставляется по шине CB (CB = I в цикле передачи данных - блочная передача). При блочной передаче возможны два способа синхронизации. Если расстояние, на которое производится передача, невелико, либо если требования к быстродействию не являются предельными, то передача данных осуществляется по способу "запрос-ответ". Первый цикл начинается сигналом DS(u) и оканчивается сигналом DK(u). Второй цикл начинается с DS(d) и оканчивается DK(d), т.е. информация передается на каждый DS(t) перепад. Передача блоков данных по способу "запрос-ответ" имеет преимущество, заключающееся в возможности приостановления процесса ведомым блоком. Это может потребоваться, например, для проведения регенерации динамической памяти ведомого блока, модификации данных и т.д. Если длина линии связи достаточно велика, т.е. время двукратного прохождения линии $-2t_L$ сигналами "Запрос" и "Ответ" существенно увеличивает длительность цикла, то для записи в ведомый модуль могут использоваться только сигналы DS(t), которые генерируются ведущим модулем независимо от поступления сигналов DK(t), см. рис. 2в. Сигналы DK(t) используются только для стробирования данных в ведущем модуле при чтении. Естественно, что в ведущий модуль должна быть заложена информация о максимально допустимой частоте сигналов данного ведомого модуля (т.е. об его быстродействии). При таком способе синхронизации

ции обеспечивается максимальная скорость передачи данных, не ниже 400 Мбит/с, что в 40 раз выше, чем по стандарту КАМАК. Статус синхронизации выставляется по шине NH (NH = 0 в цикле передачи данных - синхронизация по способу "запрос-ответ").

4. Смешанная операция - на один адресный цикл проводится две или более передач данных. Примером смешанной операции служит возвратная передача типа "чтение-модификация-запись", когда после первого цикла данных шины AD реверсируются (сигналом RD) и модифицированные данные возвращаются к модулю-источнику информации (см. рис. 2г). Передача данных может идти и в одну сторону, но первое слово данных модуль-приемник информации интерпретирует, например, как внутренний (расширенный) адрес, если в цикле данных NH = 1, либо как состояние статусного регистра, а второе слово - уже непосредственно как данные.

Более сложные многоцикловые и многоадресные (макро-) операции называются множественными, если ведущий блок в процессе их выполнения сохраняет контроль над магистралью сегмента. Контроль над сегментом устанавливается единичным потенциалом на шине GK (см. ниже).

Заметим, что при всех типах операций ведущий блок должен иметь информацию о временном сдвиге, необходимом между сигналами адресов и данных и соответствующими сигналами синхронизации (t_{AS} , t_{DS} - см. рис. 2 а+в).

Способы адресации

Адресное пространство FASTBUS разбито на поле данных и поле управляющих и информационных регистров. Размер поля данных $2^{32} \approx 4,29 \cdot 10^9$ ячеек. Установлены три основных способа адресации: географическая, логическая и групповая.

Географическая адресация. Географический адрес модуля определяется его местоположением в сегменте. Нулевой адрес имеет крайний правый модуль в крейте. Географическая адресация используется для инициализации системы (после включения питания). В каждом сегменте младшие 256 адресов зарезервированы. Из них первые 32 отводятся под географический адрес модулей в сегменте. На задней стороне магистрали располагается специальный узел вспомогательной логики (Ancillary Logic), который при географической адресации возбуждает шину EG. Модули по сигналу EG сравнивают свои коды на выводах GA с кодом на шинах AD. Тот модуль, у которого имеется совпадение кодов, выдает сигнал АК.

Логическая адресация. 32-разрядный код адресного поля разбит на две части - рис. 3а. Младшие разряды отводятся под адреса узлов

внутри модуля (Internal Address - IA, аналогичны субадресам в крейте КАМАК). Оставшаяся часть задает код адреса устройства (Device Address - DA). Зона DA в свою очередь делится на 2 части. Модули объединяются в группы, каждая группа имеет свой адрес, задаваемый старшими разрядами адреса устройства. Адреса групп используются модулями SI для обеспечения связи между сегментами. Группа (GP) обычно совпадает в своих границах с сегментом, но если внутри сегмента имеются модули с очень большими адресными полями, то он может содержать в себе несколько групп. Границы зон в коде адреса не стандартизованы* и определяются конкретно используемыми модулями и конфигурацией систем. Логический адрес модуля записывается в него в процессе инициализации, либо задается вручную (переключателем), он должен быть считываемым. Нулевые адреса не используются для логической адресации. В процессе выбора модуля разряды внутреннего адреса игнорируются.

Возможны две схемы опознавания адреса. По первой (предпочтительной) схеме адреса группы и модуля распознаются непосредственно модулями. По второй схеме адрес группы распознается модулем связи, который трансформирует адрес, выставляя на своей задней стороне уже только адрес модуля и нули в разрядах адреса группы. Вторая схема позволяет упростить адресный дешифратор в модулях**.

Группа с наименьшим адресом является базовой, она должна содержать географические адреса для сегмента. Трансформирующие модули связи переводят абсолютный адрес базовой группы в сегменте в нулевой адрес, абсолютный адрес следующей группы (если она есть в сегменте) - в первый и так далее в порядке очередности, т.е. выдают смещенные адреса относительно базы. Модули в одном сегменте связываются между собой посредством смещенных адресов, поэтому абсолютные адреса групп должны быть больше, чем максимальное смещение групп в любом из сегментов системы, во избежание неопределенности обращения из сегмента со смещенными группами.

Поскольку шины адресов и данных объединены, информация о внутреннем адресе запоминается в регистре временного хранения (Temporary Storage Register - TSR) для использования в последующем цикле данных. При географической адресации рекомендуется производить сброс TSR, что снижает вероятность ошибок. Этот регистр должен загружаться внутренним адресом в цикле обычной или с

* Рекомендуется под адрес модуля - MA отводить не менее 6 бит.

** Тем не менее в модулях рекомендуется декодировать и нулевой адрес группы для большей свободы задания адресов и независимости схемы модуля от величины адресного поля в конкретной установке.

шин AD в цикле расширенной адресной операции* и считываться при расширенной адресной операции* чтения. TSR должен инкрементироваться после каждого цикла блочной передачи данных. Если адрес в TSR выходит за границы использованного в модуле пространства, то в цикле данных должны генерироваться сигналы $NK = BK = I$, означающие, что данных больше нет. По этим сигналам ведущий модуль может перейти, например, к блочной передаче в следующий модуль памяти, не зная непосредственно границы между модулями.

Адресация к управляющим и статусным регистрам. Признаком адресации к этим регистрам (Control-Status Registers - CSR) является выставление I на шине CB в адресном цикле. Эта процедура служит защитой управляющего поля памяти от случайного разрушения данными. Операция доступа к CSR является трехцикловой, т.е. смешанной: в первом адресном цикле задается адрес ведомого модуля ($CB = I$), во втором ($CB = 0, NH = I$) - адрес (номер) управляющего регистра, а в третьем - передается управляющее слово. Таким образом, поле управляющей и статусной информации может содержать также до 2^{32} слов, что позволяет хранить в модуле его паспортные данные, константы калибровки и подстройки**, операционные инструкции и т.д.

Групповая адресация. В ряде случаев, например, при инициализации системы, очистке банков данных, послыке общих команд может потребоваться одновременно передать информацию многим модулям в разных сегментах (Broadcast Transaction). Этот режим реализуется при выставлении $NH = I$ в адресном цикле. Различают локальную (L) и глобальную (G) групповые адресации. Локальное обращение производится к группе модулей внутри одного сегмента, а глобальное обращение затрагивает несколько сегментов. Структура кода адреса при групповой адресации показана на рис. 3б. При групповой адресации модули связи на основании информации, записанной в маршрутной таблице, задерживают или пропускают обращение дальше, благодаря чему оно может распространяться вдоль линии, либо по древовицной структуре вдоль системы (пересечения путей, т.е. кольцевые структуры должны быть исключены). В таблице 2а приведены варианты групповых сообщений, инициализируемые ведущим модулем. В таблице 2б приведены варианты реакции модулей связи в адресном цикле Broadcast в зависимости от содержимого двух бит: PASS и LOCAL (см. ниже) в маршрутной таблице модуля связи.

* $CB = 0, NH = I$ на $DS(u)$.

** В/4/ отмечается, что в настоящее время стоимость двух байт ОЗУ, в которых можно хранить подстроечные данные, составляет ~ 10 центов, а подстроечного потенциометра ~ 2 долларов.

Табл. 2. Варианты групповых сообщений, инициализируемых ведущим модулем - а); виды реакции модулей связи - б) в адресном цикле Broadcast.

а) Сигналы ведущего блока при групповой адресации:

| GP | G | I | |
|-----|---|---|---|
| 0 | 0 | I | Адресация только к данному локальному сегменту |
| 0 | I | 0 | Посылка сообщения по древовицной структуре за данным сегментом |
| 0 | I | I | Посылка сообщения по древовицной структуре за и включая данный сегмент |
| 0 | 0 | 0 | Посылка сообщения только сегменту N |
| N>0 | 0 | I | Посылка сообщения по линии сегментов, соединяющей ведущий модуль с сегментом N, включая сегмент N |
| N | I | 0 | Посылка сообщения сегменту N и по древовицной структуре за ним |
| N | I | I | Посылка сообщения по линии сегментов, соединяющей ведущий модуль с сегментом N и по древовицной структуре за ним. |

б) Реакция модулей связи:

| GP | G | PASS | LOCAL | |
|-----|---|------|-------|--|
| 0 | 0 | X | X | Сообщение игнорируется, т.к. оно локальное |
| 0 | X | 0 | X | Сообщение не передается, т.к. данный SI находится вне избираемой структуры |
| 0 | I | I | X | SI выставляет $L = I$ и пропускает сообщение нормальный режим Broadcast |
| N>0 | X | 0 | X | Сообщение не пропускается |
| N | X | I | 0 | Сообщение пропускается, причем $L_{\text{вых}} = L_{\text{вх}}$; передача по линии |
| N | X | I | I | Сообщение пропускается, причем выставляются $AD8 + 3I = 0, L_{\text{вых}} = I$; конец линейной и начало (если $G = I$) древовицной передачи. |

Ведомые модули должны отвечать на команду Broadcast, если в коде адреса $L = I$, и генерировать сигнал на выводе T в случае наличия информации, если $T = I$ (см. рис. 3б). В случае $X = I$ ответ и возбуждение T-вывода производятся в зависимости от четырехразрядного кода условий - KU. Нулевой код условий соответствует $X=0$. Если KU равен I, то возбуждают T-вывод только те модули, которые выставили запрос на обслуживание. Тем самым с помощью групповой адресации осуществляется поиск модулей, которым необходимо обслуживание. Если $T=0$ и $KU=N$, то обращение идет только к модулям категории N.

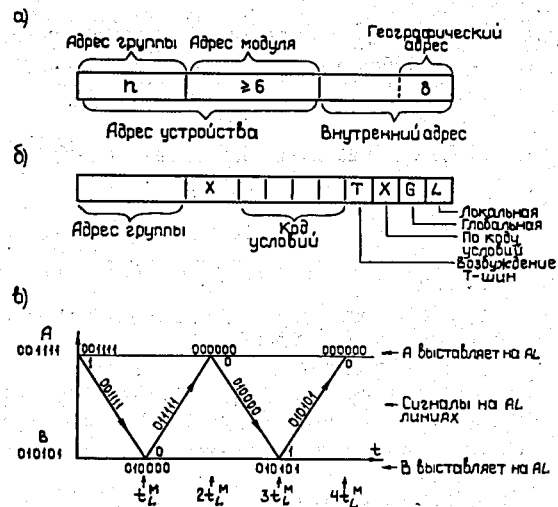


Рис. 3. Структура кода адреса при логической - а) и групповой - б) адресациях; временная диаграмма установления высшего кода приоритета на шинах AL - в) (время реакции модулей по шинам AL принято нулевым).

Поскольку в этом типе передачи ведомых модулей много, использование обычных индивидуальных сигналов ответа АК невозможно. Поэтому для групповой адресации предусмотрен механизм системного адресного сигнала "ответ" (SH), по которому ведущий модуль узнает, что связь установлена со всеми необходимыми модулями. Каждый модуль связи в адресном цикле Broadcast выставляет сигнал WT = I на своей ближней стороне. Следит за появлением этого сигнала в сегменте специальная схема (System Handshake Logic - SHL), входящая в узел вспомогательной логики. Если в течение двух задержек в магистрали, плюс время декодирования адреса в SI, сигнал WT не появляется, то это значит, что данный сегмент является конечным для команды Broadcast, и поэтому схема вспомогательной логики генерирует сигнал АК, являющийся ответом одного из концов ветви в адресном цикле. В узлах ветвления пришедшие раньше сигналы АК задерживаются модулями связи до тех пор, пока не снимется сигнал WT от наиболее удаленного сегмента древовидной структуры. Последний по времени сигнал АК и является сигналом системного ответа.

В адресном цикле FASTBUS используются еще две шины: BK и NK - для индикации состояния и причин отказов цепи, по которой производится соединение. Сигналы на этих шинах выставляются модулями связи.

Эти же шины используются в цикле данных, сигналы на них в этом случае выставляются ведомым блоком. Значения сигналов BK и NK в обоих циклах приведены в табл. 3.

Табл. 3. Значения сигналов СВ, NH и BK, NK в адресном цикле и цикле данных.

Адресный цикл

| СВ | NH | Выставляются ведущим модулем | Ответ ведомого модуля |
|----|----|--------------------------------------|-----------------------|
| 0 | 0 | Передача данных | AK(u) |
| 0 | 1 | Многоадресная передача данных | - [SH:AK(u)] |
| 1 | 0 | Передача статуса | AK(u) |
| 1 | 1 | Многоадресная передача статуса | - [SH:AK(u)] |
| BK | NK | Выставляются ведомым модулем | |
| 0 | 0 | Адрес опознан | |
| 0 | 1 | Ошибка в установлении связи | |
| 1 | 0 | Цепь занята | |
| 1 | 1 | Соединение не может быть установлено | |

Цикл данных

| СВ | NH | Выставляются ведущим модулем | Ответ ведомого модуля |
|----|----|---|-----------------------|
| 0 | 0 | Единичная передача данных | - DK(u) |
| 0 | 1 | Передача расширенного адреса | - [SH:DK(u)] |
| 1 | 0 | Блочная передача "запрос-ответ" | DK(t) |
| 1 | 1 | Блочная передача по DS(t) | - [SH:DK(t)] |
| BK | NK | Выставляются ведомым модулем | |
| 0 | 0 | Слово данных передано | |
| 0 | 1 | Ошибка в передаче данных | |
| 1 | 0 | Ведомый модуль занят | |
| 1 | 1 | RD = 0, ведомый модуль не может принять больше данных | |
| | | RD = 1, S не имеет больше данных | |

Установление приоритета

Выбор модуля с наивысшим приоритетом, из числа пытающихся установить контроль над магистралью сегмента, производится с помощью специального таймера приоритета (Arbitration Timing Controller - ATC),

являющегося частью узла вспомогательной логики, и ИО шин установления приоритета. Модули, претендующие на пользование магистралью (если они не единственные ведущие модули в сегменте), выставляют на шине AR запрос на установление приоритета. Схема АТС воспринимает $AR = 1$ и, поймавшись $GK = 0$ и $WT = 0$, выдает синхронизирующий сигнал $AG(u)$ начала процесса установления приоритета. По этому сигналу соперничающие модули выставляют (по проводному ИШИ) на шинах $ALO + AL5$ свои коды уровней (векторы) приоритета. Далее каждый из этих модулей сравнивает имеющийся на шинах AL код со своим собственным, бит за битом, начиная со старшего. Если модуль обнаруживает "единицу" на одной из шин (I) там, где в его коде содержится "нуль", то он снимает "единицы" своего кода со всех младших разрядов $AL(I) + AL(0)$. Протекание этого процесса во времени показано на рис. Зв. В результате не более чем через 4 задержки распространения сигналов в магистрали (плюс задержки реакции модулей по AL-шинам на сравнение кодов) на шинах $ALO + AL5$ сегмента устанавливается код наивысшего приоритета. Таймер приоритета должен задавать длительность цикла установления приоритета не меньше чем двойное время распространения сигнала между наиболее удаленными модулями сегмента, плюс задержка реакции по AL-шинам самого медленного модуля. Сигнал AG снимается схемой АТС при наличии дополнительных условий: $GK = 0$, $AK = 0$, $WT = 0$. Информационный сигнал $VV = 1$, свидетельствующий о том, что на шинах $ALO + AL5$ находится действительное значение вектора приоритета, выставляется таймером приоритета через 4 задержки магистрали после $AG(d)$ и сбрасывается следующим сигналом $AG(u)$. По сигналу $AG(d)$ модуль, вектор приоритета которого находится на $ALO + AL5$, выдает сигнал $GK(u)$, устанавливая контроль над магистралью сегмента, и сохраняет его столько времени, сколько ему необходимо для работы с магистралью. Снятие сигнала GK рекомендуется производить несколько ранее момента окончания пользования магистралью (после последнего адресного цикла), чтобы заранее запустить следующий цикл установления приоритета, который проходит независимо от циклов передач данных. Работающий модуль продолжает удерживать магистраль, поскольку в этом интервале $AK = 1^*$.

Из 63 возможных уровней приоритета (нулевой уровень не используется) уровни с I по 3I определяют приоритет внутри каждого локального сегмента, а старшие уровни задают т.н. системный приоритет. Когда

* В принципе, работающий модуль после подготовки следующего приоритета может снова установить контроль над магистралью, выставив $GK = 1$.

модуль связи соединяет ведущий модуль с другим сегментом, он использует свой уровень приоритета. Однако, если ведущий модуль имеет один из системных приоритетов, то 3I передает его в другой сегмент. Использование системных приоритетов может быть полезно для передачи важных сообщений, в частности, при групповой адресации.

Организация прерываний. Прерывание может достигаться с помощью обычной операции записи в соответствующий управляющий регистр модуля, способного обслужить это прерывание. Вторым способом является распознавание источника запроса, что необходимо для простых модулей, которые не могут сами работать как ведущие. В этом случае используется шина запросов обслуживания SR.

Конструкция модулей и крейта. Печатная плата модуля имеет размеры 400×322 мм². Ширина передней панели модуля единичной ширины 16 мм. С задней стороны внизу к печатной плате припаивается 130-контактный двухрядный гнездовой разъем, соединяющий её с магистралью.

На магистраль должно выходить не более одного приемника и драйвера сигналов, работающих в уровнях ЭСЛ. Величина привносимой емкости в магистраль не должна быть более 10пФ. Мощность рассеяния в модуле единичной ширины не должна превышать 75 Вт.

Обычный крейт FASTBUS типа А (с принудительным воздушным охлаждением) вмещает 26 единичных модулей, его размеры 483×355 мм² и глубина 400 мм. Система охлаждения крейта должна создавать воздушный поток у поверхности модуля не менее 2,7 м/с.

ЗАКЛЮЧЕНИЕ

Целесообразно, видимо, провести некоторое сравнение стандарта FASTBUS с широко используемым стандартом КАМАК. В стандарте КАМАК магистраль крейта и ветвь имеют совершенно разную логику обмена, а в стандарте FASTBUS она едина, что снижает число типов модулей и упрощает программирование. Цикл КАМАК жестко задан во времени; в стандарте FASTBUS, т.к. работа идет в режиме "запрос-ответ", не накладываются ограничения на быстродействие модулей. Стандарт КАМАК не приспособлен для обработки данных несколькими процессорами в разных крейтах, а в случае одного крейта необходимо использование дополнительной весовой магистрали. В стандарте КАМАК мало адресное пространство, не предусмотрены меры контроля информации (по четности) и диагностика, затруднено резервирование.

Как показано в работе /II/, за счет гораздо более высокого быстродействия, стоимость пересылки одного байта информации и стоимость обработки запроса, при работе на предельных скоростях, в стандарте FASTBUS дешевле соответственно в 10 и 7 раз, чем в стандарте КАМАК.

В простейших системах с малой интенсивностью потоков данных применение FASTBUS, видимо, будет экономически невыгодно для сбора данных, но для целей обработки может оказаться оправданным, если алгоритм достаточно сложен и его можно реализовать последовательными методами.

ЛИТЕРАТУРА

1. Larsen R.S. "FASTBUS" - status of development of a standard high speed data acquisition bus for high energy physics. IEEE Trans. on Nucl. Science, v. NS-25, No.1, 1978, p. 735-739.
2. Larsen R.S. Status of the interlaboratory development of a high speed standard data bus - "FASTBUS". IEEE Trans. on Nucl. Science, v. NS-26, No.1, 1979, p. 679-685.
3. Downing R.W. FASTBUS - details of addressing and mastership. IEEE Trans. on Nucl. Science, v. NS-26, No.4, 1979, p. 4525-4530.
4. Droege T.F., Turner K.T. A fast pass at the future FASTBUS. IEEE Trans. on Nucl. Science, v. NS-26, No.4, 1979, p. 4543-4547.
5. Wadsworth B. A system overview of FASTBUS. IEEE Trans. on Nucl. Science, v. NS-27, No.1, 1980, p. 612-621.
6. Downing R.W. FASTBUS mechanics. IEEE Trans. on Nucl. Science, v. NS-27, No.1, 1980, p. 622-626.
7. Johnson M. Status of FASTBUS software. IEEE Trans. on Nucl. Science, v. NS-27, No.1, 1980, p. 627-630.
8. Modular High Speed Data Acquisition System for High Energy Physics and other Applications, Draft Tentative Specification, US NIM Committee Report, 13.03.80, USA.
9. FASTBUS, Modular High Speed Data Acquisition System for High Energy Physics and other Applications, Tentative Specification, US NIM Committee Report, July 1980, USA.
10. Gustavson D.B., Holmes T.L., Paffrath L. et al. A "front panel" human interface for FASTBUS. Report SLAC-PUB-2640, Oct. 1980, USA.
11. Черных Е.В. Выбор стандартных интерфейсов многопроцессорных систем. Сообщение ОИИИ Ю-80-812, Дубна, 1981.

Рукопись поступила в издательский отдел
14 мая 1981 года.