

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

ДУБНА



28/к-74

Б-272

13 - 8044

4234/2-74

С.Г.Басиладзе

БЫСТРЫЙ ДЕСЯТИЧНЫЙ СЧЕТЧИК
С ИНДИКАЦИЕЙ В СТАНДАРТЕ КАМАК

1974

ЛАБОРАТОРИЯ ВЫСОКИХ ЭНЕРГИЙ

13 - 8044

С.Г.Басиладзе

**БЫСТРЫЙ ДЕСЯТИЧНЫЙ СЧЕТЧИК
С ИНДИКАЦИЕЙ В СТАНДАРТЕ КАМАК**

Направлено в ПТЭ

**Объединенный институт
передовых исследований
БИБЛИОТЕКА**

К настоящему времени в стандарте КАМАК разрабатывались в основном двоичные счетчики без индикации на передней панели. Применение таких счетчиков целесообразно при использовании в электронной установке малой ЭВМ с дисплеем. Однако в ряде случаев, - например, для автономных крейтов КАМАК, а также на этапах отладки отдельных частей установок, удобнее иметь визуальную индикацию состояния счетчиков непосредственно в крейте. Кроме того, часто информацию удобнее получать в двоично-десятичном коде, - например, при выдаче данных на цифropечать.

В данной работе описывается быстрый десятичный счетчик с индикацией на передней панели и выводом данных в двоично-десятичном коде на магистраль КАМАК. Емкость счетчика - 10^8 , он может использоваться и как две отдельных пересчетки емкостью по 10^4 . Предусмотрены также режимы: остановки по переполнению заданной декады, в пределах от одной до восьми; старто-стопный /ручной и с магистрали/; внешнего стробирования /с передней панели и с магистрали/. Блок размещен в ячейке КАМАК единичной ширины.

Блок-схема счетчика приведена на *рис. 1*. Он состоит из двух частей по четыре декады в каждой, с отдельными формирователями входных сигналов. Имеются также схема управления и узел, реализующий функции КАМАК. Первая декада для обеспечения повышенного быстродействия собрана по схеме: кольцо на пять, плюс двойка на D_1 - триггере и выполнена так же, как формирователи - на интегральных схемах с эмиттерной связью Π /. Все остальные узлы реализованы на интегральных схемах ТТЛ.

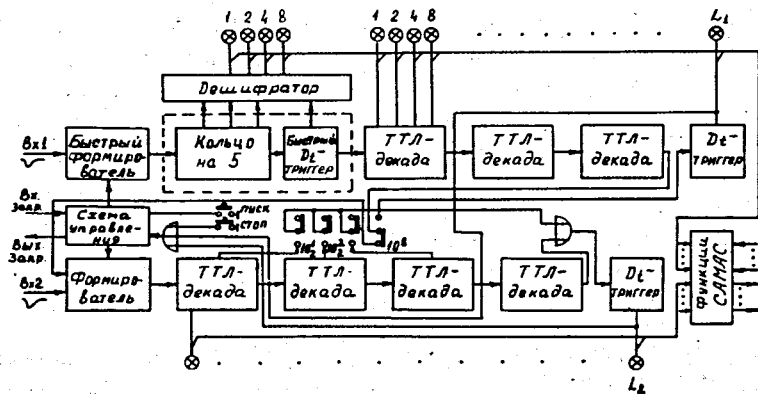


Рис. 1. Блок-схема счетчика.

Перевод состояния первой декады в двоично-десятичный код осуществляется специальным дешифратором. ТТЛ-декады работают в коде 1-2-4-8 и не нуждаются в дешифраторах. Индикация осуществляется миниатюрными лампочками накаливания. Переключения "один счетчик на 10^8 " либо "2 на 10^4 ", а также остановка на заданную декаду производятся с помощью счетверенного клавишного переключателя, расположенного на задней панели. Остановка по выходам 1 ÷ 3 декад производится по второй половине счетчика /во включении "2 на 10^4 "/, остановка по выходам 4 декад осуществляется обеих половин. Во включении "1 на 10^8 " производится остановка по выходам 5 ÷ 8 декад. Остановка достигается с помощью дополнительных D_1 -триггеров, сбрасывающих старт-стопный триггер в схеме управления. Индикация переполнения осуществляется специальными лампочками L_1 , L_2 на передней панели. Схема управления имеет вход для запрета прохождения импульсов через формирователи обеих половин и выход запрета /со старт-стопного триггера/ для управления режимами работы других пересчетов. На передней панели имеются также кнопки: "Пуск", "Стоп" и "Сброс".

На рис. 2 приведена принципиальная схема быстрого формирователя и первой декады с дешифратором в двоично-

десятичный код. Переходник уровней NIM-ECL выполнен на диоде D_1 , для обеспечения повышенного быстродействия. На интегральной схеме M_1 собраны входные нормально открытые ворота и схема суммирования импульсов от сигналов $F(25) \cdot A(0) \cdot S_1$. На интегральной схеме M_2 выполнен триггер Шмитта, обостряющий перепады входного сигнала, и буферные каскады, дающие паразитные сигналы для кольцевой пересчетки. Кольцо на 5/2/ реализовано на интегральных схемах $M_4 \div M_8$. Каждая ячейка состоит из RS-триггера, вентилей его установки и сброса /на рис. 2 показано для первой ячейки/. Схема

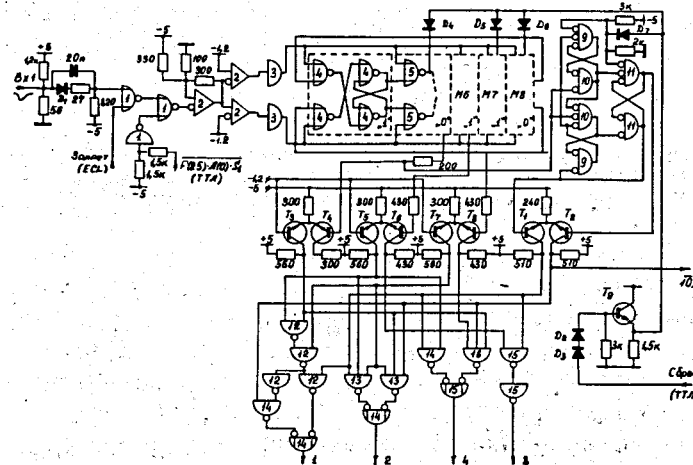


Рис. 2. Принципиальная схема быстрого формирователя и первой декады с дешифратором в двоично-десятичный код. $M_1, M_4 \div M_8$ - 1ЛБ383, M_2 - 1ЛП381, M_3 - 1ЛБ384, $M_9 \div M_{11}$ - 1ЛБ372, M_{12}, M_{14}, M_{15} - 1ЛБ553, M_{13}, M_{16} - 1ЛБ551, $T_1 \div T_9$ - КТ315, D_1 - КД513, $D_2 \div D_7$ - Д104.

имеет потенциальный режим работы /2/, что при наличии триггера Шмитта в цепи формирования обеспечивает отсутствие ограничений на фронты и длительности входных сигналов. На интегральных схемах $M_9 \div M_{11}$ собран D_1 -триггер деления на 2/3/. Сигналы сброса подаются на декаду через диоды $D_4 \div D_7$. Переходники уровней

ECL - TTL для дешифратора выполнены на транзисторах $T_1 \div T_8$. Сам дешифратор /M12 ÷ M16/ эквивалентен описанному в работе /4/.

На рис. 3 показана схема формирователя второй поло-

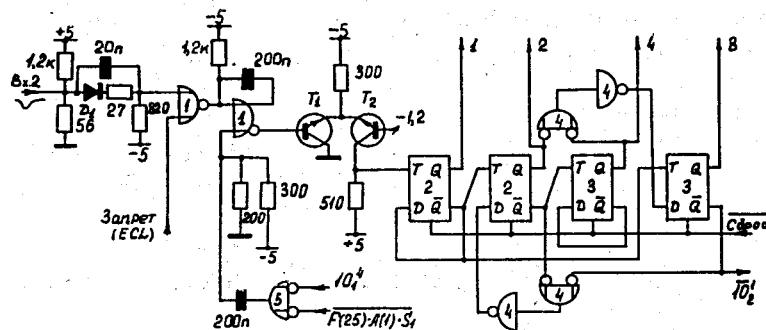


Рис. 3. Принципиальная схема формирователя второй половины счетчика и TTL-декады. M1 - 1ЛБ382, M2, M3 - 7474, M4, M5 - 1ЛБ553, T1, T2 - КТ315, D1 - КД513.

вины счетчика и TTL-декады. На интегральной схеме M1 реализованы входные ворота и одновибратор, расширяющий короткие входные сигналы до 50 нсек. Одновибратор имеет логику с продлением выходного сигнала при сдвоенных входных импульсах /5/. Он имеет суммирующий вход TTL-сигналов с четвертой декады и импульсов $F(25) \cdot A(1) \cdot S_1$. Переходник уровней ECL-TTL собран на транзисторах T_1, T_2 . Схема декады является модификацией под элементы И-НЕ декады, описанной в /6/.

Краткие характеристики счетчика

Входы

Входное сопротивление	- 50 Ом.
Уровни сигналов	- /0 ± 0,1 В/ ÷ ÷ /-0,8 ± 0,1 В/.
Допустимая длительность сигналов	- любая, свыше 4 нсек.

Допустимая длительность фронтов - любая.

Максимальная частота счета:
а/ для 1 входа - 120 МГц,
б/ для 2 входа - 10 МГц.

Минимально допустимая длительность пауз между сигналами:
а/ по 1 входу - 4 нсек,
б/ по 2 входу - 50 нсек.

Выход запрета

Уровни сигналов - /0 ± 1 мА/ ÷ /-16 ± 1 мА/.

Функции и сигналы КАМАК

Субадрес	- A(0) - 1 половина счетчика.
	- A(1) - 2 половина счетчика.
$F(0) \cdot [A(0), A(1)]$	- чтение содержимого частей счетчика /по шинам R1 ÷ R16 /.
$F(8) \cdot [A(0), A(1)]$	- проверка сигналов переполнения L1, L2.
$F(9) \cdot [A(0), A(1)] \cdot S_2$	- сброс состояний частей счетчика.
$F(10) \cdot [A(0), A(1)] \cdot S_2$	- сброс D _i -триггеров переполнения.
$F(25) \cdot [A(0), A(1)] \cdot S_1$	- добавление "1" к одной из половин счетчика.
$F(26) \cdot A(0) \cdot S_1$	- пуск счетчика.
$F(24) \cdot A(0) \cdot S_1$	- остановка счетчика.
L	- сигнал переполнения одной из частей счетчика.
Q	- сигнал ответа, появляющийся при подаче команд F(0) и F(8). При необходимости этот сигнал может выдаваться только при остановке счетчика.

* Можно использовать также субадрес A(1).

- X - сигнал ответа, появляющийся при подаче любой из команд и при наличии питания - 5 В.
- Z, C - начальный и общий сброс. Могут быть сопряжены с пуском счетчика.
- I - сигнал запрета на ворота формирователей.
- Токи, потребляемые блоком
- | | |
|---------|---------|
| - +6 В | - 0,8 А |
| - - 6 В | - 0,6 А |

В заключение автор считает своим долгом выразить благодарность В.И.Какуриной за техническую помощь.

Литература

1. К.А.Валиев и др. *Электронная промышленность*, 7, 1972, 56-59.
2. С.Г.Басиладзе. *Препринт ОИЯИ, 13-7491, Дубна, 1973.*
3. *Integrated Circuits Catalog from Texas Instruments, USA, 1970.*
4. З.Гузик, Р.Красовски, М.Турала. *Сообщение ОИЯИ, P13-5793, Дубна, 1971.*
5. С.Г.Басиладзе, В.Тлачала. *Препринт ОИЯИ, 13-7166, Дубна, 1973.*
6. *Manual d'application des circuits integres digitaux TTL II edition Texas Instruments, France, 1970.*

Рукопись поступила в издательский отдел
25 июня 1974 года.